

座位号：

杭州电子科技大学学生考试卷（ B ）卷

考试课程	计算机组成原理		考试日期	2015 年 月 日		成绩	
课程号	A0507150	教师号		任课教师姓名			
考生姓名		学号（8 位）		年级		专业	

答题请写在答题纸上，写在其他地方一律无效。请在每张试卷上（含答题纸）的左上角写上座位号。交卷时请将试题纸与答卷纸分开交。

一. 单选题（共 20 分，每题 2 分）

1. 计算机系统包括（1）。

A. 五大部件B. 硬件系统和软件系统C. 主机和外设D. 系统软件和应用软件

2. 假设一补码机器数为 10000000，则其十进制真值是（2）。

A. +128B. +127C. -128D. -127E. 0

3. ASCII 码是对（3）进行编码的一种方案。

A. A. 图形符号B. 汉字B. 西文字符D. 声音

4. 下列选项中，描述 CPU 运算能力的 MIPS 单位含义是：（4）。

A. 千万指令每秒B. 百万指令每秒C. 万指令每秒D. 百万浮点运算每秒

5. 指令和数据均存放在存储器中，由（5）来区分哪些是指令字，哪些是数据字。

A. 运算器B. 操作系统C. 控制器D. 适配器

6. 某计算机字长 16 位，其存储容量为 2MB，若按半字编码，它的寻址范围是（6）。

A.0~8M-1B.0~4M-1C.0~2M-1D.0~1M-1

7. 由于 CPU 内部的操作速度较快，而 CPU 访问一次主存所花的时间较长，因此机器周期通常用（7）来规定

A. 主存中读取一个指令字的最短时间B. 主存中读取一个数据字的最长时间C. 主存中写入一个数据字的平均时间D. 主存中读取一个数据字的平均时间

8. 一般来说，在相同的工艺条件下，CPU 采用多总线结构与单总线结构相比（8）。

A. 运算功能增加，可提高 CPU 的功能B. 硬件复杂，造成线路延迟时间增加，速度变慢C. 因为并行性提高，速度快，硬件成本高D. 以上都不是

9. 采用多体交叉存储器：能提高存储器带宽原因是__（9）__。

A. 能进行存储器并行操作B. 内存容量扩大C. 存储器字长加长D. 采用了多个 CPU

10. 某机主频为 5MHz，每个机器周期包含 4 个节拍，每条指令执行需要 2 个机器周期，该机的平均指令周期是多少时间：（10）。

A. 400nsB. 800nsC. 1600nsD. 1200ns

二、计算题（共 3 题，共 26 分）

要求：每题均要有计算过程，没过程直接给结果将不得分!!!

1. （10 分）设浮点数的格式为：阶码 5 位，包含一位符号位，尾数 6 位，包含一位符号位,阶码和尾数均用补码表示，排列顺序为：

阶符（1 位）	阶码（4 位）	数符（1 位）	尾数（5 位）
---------	---------	---------	---------

（1）（2 分）若 X=15/64，则求 X 的规格化浮点数表示形式。

（2）（2 分）已知 Y 的规格化浮点表示为 763H，求 Y 的十进制真值。

（3）（6 分）求 [X-Y]_浮（要求用补码计算，列出计算步骤）。

2. （6 分）设一存储容量为 40K*8 位的存储系统中，有 32K*8 位的 SRAM 芯片和 8K*8 位的 DRAM 芯片各一片。问：

（1）（3 分）该 SRAM 芯片存储位元共有多少个？欲设计一种与该 SRAM 芯片存储位元数相同的芯片，使地址线 and 数据线位数和最少，试确定这种芯片的地址线 and 数据线位数，并说明有几种选择。

（2）（3 分）假设该 DRAM 芯片内部采用 256*256 存储矩阵，存储周期为 0.1uS。设刷新周期为 T，分别求集中式刷新、异步式刷新 and 分散式刷新的刷新时间间隔 t。

3. （10 分）设主存容量 128MB，存储器按字节编址；Cache 容量 16KB，每块 16B，Cache 按照 4 路组相联方式组织。求：

（1）主存的字节地址格式，并说明地址格式中的不同字段位数。（4 分）

（2）主存地址 1234H 映射到 Cache 的第几组？（2 分）

（3）假设 CPU 总是从 Cache 取得数据，在一段时间内，Cache 完成存取的次数为 2400 次，主存完成的存取次数为 100 次，已知 cache 的存储周期为 25ns，主存的存储周期为 100ns。分别求：Cache 的命中率 and Cache/主存系统的效率。（4 分）

三.问答题（共 3 题，14 分）

1. 运算器主要有那些部件组成？(4 分)

2. 简述 SRAM 和 DRAM 的区别 （6 分）

3. 解释名词：指令系统、存储周期(4 分)

四、综合设计题（共 4 题，共 40 分）

要求：每题均要有计算过程，没过程直接给结果将不得分!!!

第 1 页 共 4 页

座位号：

1. (10 分) 若某机器指令长 16 位，指令中每个操作数地址码长 4 位，采用扩展码技术：
- (1) (6 分) 设计一个指令系统，三地址指令 12 条，两地址指令 50 条，单地址指令 20 条，没有零地址指令；写出编码方案；
- (2) (4 分) 假设指令系统有三地址指令 M 条，两地址指令 N 条，没有零地址指令。问：该指令系统最多有多少条一地址指令？
2. (10 分) 设某 8 位计算机指令格式如下：

Opcode (4 位)	M (2 位)	Rd (2 位)
A (8 位)		

其中，各部分的含义如下：

Opcode=	源操作数的寻址方式 M=	Rd=
0000——MOV	00——直接寻址	00——R0
0001——ADD	01——间接寻址	01——R1
0010——JMP	10——变址寻址（变址寄存器为 R3）	10——R2
... ..	11——相对寻址	11——R3
1111——HALT		

主存部分单元的内容如下表：

地址：	内容	地址：	内容	地址：	内容
00H:	01H	04H:	19H	30H:	22H
01H:	30H	05H:	22H	31H:	33H
02H:	15H	06H:	F0H	32H:	34H
03H:	31H	07H:	00H	33H:	35H

假设当前 (PC) =00H；变址寄存器 (R3) =10H，问：

- (1) (2 分) 这时 CPU 启动程序运行，机器执行到第几条指令后停机？
- (2) (8 分) 写出 CPU 所执行的每一条指令的功能、寻址方式、操作数及执行结果。
- 3、(13 分) 某 CPU 地址总线 16 位，数据总线 8 位，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。若用若干个 8K×8 位的 SRAM 芯片形成 32K×8 位的 RAM 存储区域，起始地址为 0000H，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端；求：
- (1) 试写出 RAM 的地址范围；(6 分)

- (2) 画出 SRAM 与 CPU 的连接图（请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接）。(7 分)

- 4、(7 分) 为实现 MIPS 核心指令子集，设计一个计算机系统，其单周期 CPU 的结构和数据通路如图 1 所示。其中 ALU 可完成 4 种运算，假设在其上实现一条 I 型指令 addi rt, rs, imm，功能是 (rs) +imm→rt，即带符号数的立即数加法指令。为实现 addi 指令的数据通路，写出译码与控制单元所需设置的控制信号，填入表 2。

表 1

ALU_OP	运算
00	逻辑与
01	加法
10	减法
11	逻辑或

表 2

指令	rd_rt_s	imm_s	rt_imm_s	alu_mem_s	ALU_OP	Write_Reg	Mem_Write
addi rt, rs, imm							

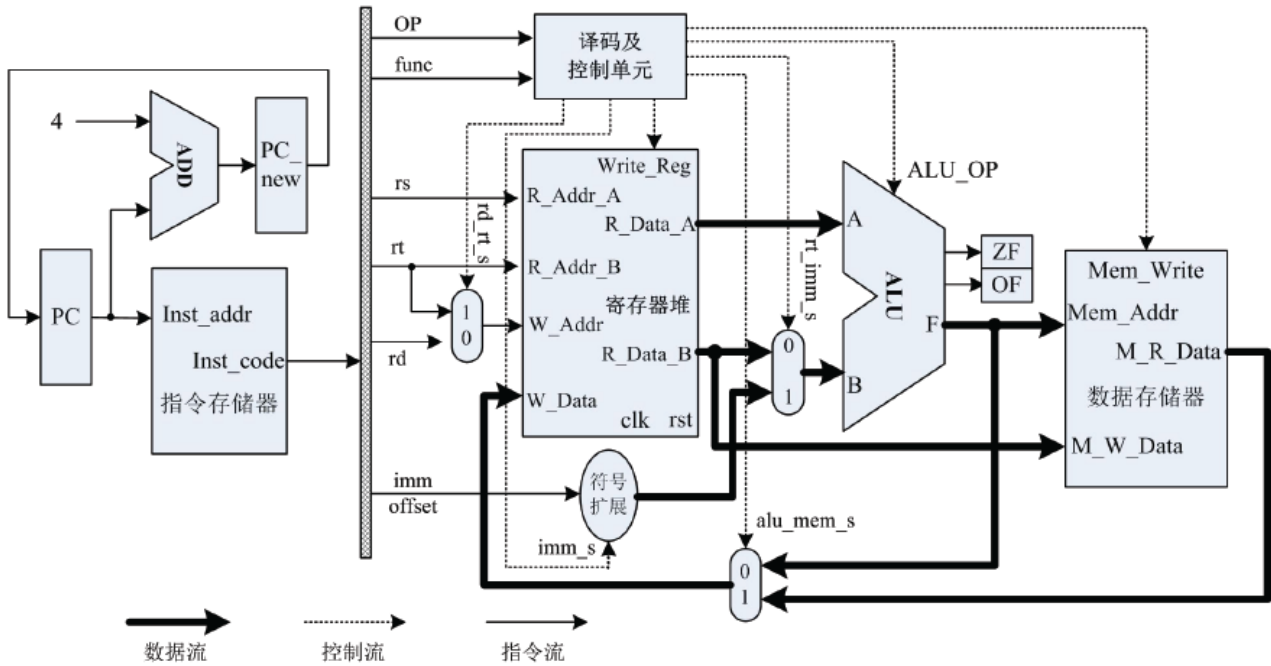


图 1 MIPS CPU 数据通路

座位号：

杭州电子科技大学学生考试卷（B）卷										
考试课程	计算机组成原理			考试日期	2015 年 月 日		成 绩			
课程号	A0507150		教师号			任课教师姓名		曾虹		
考生姓名			学号（8 位）			年 级			专 业	

题号	一	二			三	四				总分
		1	2	3		1	2	3	4	
分数	20	10	6	10	14	10	10	13	7	100
得分										

所有试题均做在答题纸上，否则不计分！

答题纸

一、单项选择题（20 分，每题 2 分）

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)	(10)

二、计算题（共 3 题，共 26 分）

三.问答题（共 3 题，14 分）

座位号：

四、综合设计题（共 4 题，共 40 分）

4

表 2

指令	rd_rt_s	imm_s	rt_imm_s	alu_mem_s	ALU_OP	Write_Reg	Mem_Write
addi rt, rs, imm							