

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2018 年 7 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8 位）		年 级		专 业	

所有试题均做在答题纸上，否则不计分！

题号	第一大题							总分
	1	2	3	4	5	6	小计	
分数	12	6	14	12	10	4	58	
得分								
题号	第二大题							
	7	8	9	10	11	12	小计	
分数	6	3	5	5	11	12	42	
得分								

答题纸

一、（58分）

1.（12 分）

（1）（3 分）使用规格化浮点数表示数据，有什么优点？

（2）（2 分）写出 X 的规格化浮点数表示形式

（3）（2 分）求 Y 的二进制真值

（4）（5 分）求 X-Y 浮点数 $[X-Y]_{\text{浮}}$ （采用 0 舍 1 入法，列出计算步骤）。

2.（6分）

座位号：

3. (14分) 每空1分

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1				--
2				--
3				(R1) = (FR) =

12) _____ 13) _____ 14) _____

4. (12 分)

(1) (4 分)

(2) (4分)

①

②

③

(3) (4 分)

5. (10分)

(1) (4 分)

(2) (6 分)

6. (4 分)

15) _____ 16) _____

二、(42分)

7. (6分)

17) _____ (2分) 18) _____ (2分)

19) _____ (1分) 20) _____ (1分)

8. (3分)

9. (5分)

座位号：

10. （5分）

11. （11分）

(1) （5分） 21) _____ 22) _____ 23) _____ 24) _____
25) _____

(2) （6 分）

表 6 指令控制信号表

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s
addi								
lw								
bne								

12. （12分）

(1) （2 分） 26) _____ 27) _____

(2) （4 分）

(3) （6分）

座位号：

试 题

所有试题均做在答题纸上，否则不计分！

一、（58分）图1是某8位模型机的结构框图，其中IR为指令寄存器，PC为程序计数器，MEM为主存，MAR为地址寄存器，R0~R3是通用寄存器，ALU能完成算术加、减运算、自加1和逻辑异或运算。各部件的控制信号均已标出，所有21个控制信号均为高电平有效，例如DR_{in}为1表示允许数据从DB打入目的寄存器DR，SR_{out}为1表示允许源寄存器SR的数据送上数据总线DB，IDC控制指令译码器工作。变址寄存器SI隐含规定为R₂。

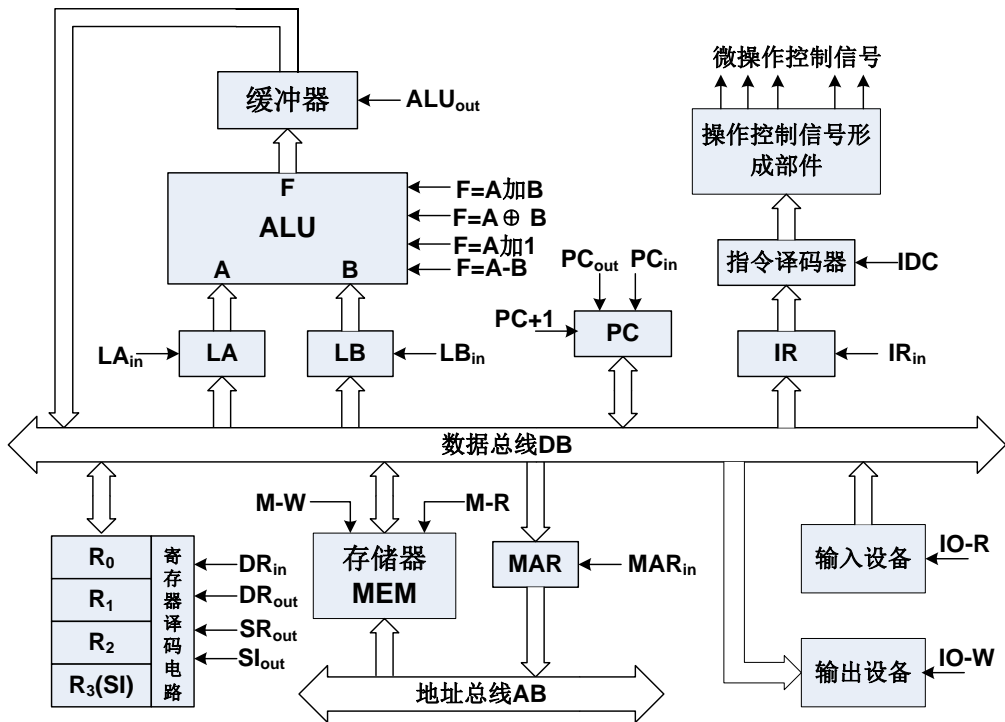


图1 模型机结构框图

1.（12分）假如该机另具有浮点运算部件（图1中未画出），浮点数格式为

数符（1位）	阶符（1位）	阶码（7位）	尾数（7位）
--------	--------	--------	--------

其中阶码用移码表示；尾数用补码表示。已知： $(X)_{10}=15/64$ ，Y的规格化浮点表示为C2BBH。

- （1）（3分）使用规格化浮点数表示数据，有什么优点？
- （2）（2分）写出X的规格化浮点数表示形式
- （3）（2分）求Y的二进制真值
- （4）（5分）求X-Y浮点数 $[X-Y]_{浮}$ （采用0舍1入法，列出计算步骤）。

2.（6分）使用二进制并行加法器和其他一些组合逻辑电路，设计一个补码加减法器，要求画出逻辑框图（简图），说明信号功能和工作原理。

3.（14分）设该计算机的双字指令格式如下：

OP（4位）	MOD（2位）	RD（2位）
ADDR/ DATA / DISP/PORTAR		

单字指令格式同上述指令格式的第一字，其中，RD为目的寄存器号，MOD为寻址方式码字段（该字段对于单字指令无意义，可以填入任意编码，如00），指令第二字为地址、数据或偏移量；源操作数由MOD字段和指令第二字共同确定。除了HALT和INC指令为单字指令外，其他指令均为双字指令；各字段解释如表1，内存地址的部分单元内容如表2。已知一段程序中的6条指令，其中L0和L1是标号。

L0: 指令1
指令2
L1: 指令3
OUT [00H], R1
INC R2
JMP L1 ; 相对寻址

（1）设该机有一个标志寄存器FR，其高4位为0，低4位分别为CF、OF、ZF、SF。若 $(PC)=20H$ ，变址寄存器 $(SI)=10H$ ，此时启动程序从L0开始执行，则程序执行的前三条指令如表3，请填写完整。（对于算术类运算，为带符号数运算，并按如下方式进行：目的操作数 op 源操作数→目的操作数）

表1

指令助记符	OP	指令助记符	OP	MOD	寻址方式	RD	寄存器
MOV	0000	ADD	0100	00	立即寻址	00	R0
SUB	0001	JMP	1000	01	直接寻址	01	R1
INC	0010	10	变址寻址（SI）	10	R2
IN	0011	HALT	1111	11	相对寻址	11	R3

表2

单元地址	内容	单元地址	内容	单元地址	内容
16H	22H	20H	01H	24H	49H
17H	90H	21H	30H	25H	26H
18H	10H	22H	15H
19H	11H	23H	16H	36H	F9H

座位号：

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1)	2)	3)	
2	4)	5)	6)	
3	7)	8)	9)	(R1) =10) (FR) =11)

- (2) 指令 INC R2 机器码为 12)。
- (3) 无条件转移指令 JMPI1 第一个字的地址为 13)，按照相对寻址方式，其 8 位二进制偏移量（指令第二字）是 14)。
4. (12 分) 如果模型机采用微程序控制器
- (1) (4 分) 某条指令的指令执行流程图如图 2 所示，写出该条指令的功能和操作数的寻址方式。
- (2) (4 分) 写出图 2 中标注①、②、③的 3 条微指令必须发送的微操作控制信号。
- (3) (4 分) 如果微指令的控制字段采用直接控制法，下址字段 8 位，微程序分支的条件有 3 种（采用直接编译法），设计微指令格式，并计算控制存储器容量。

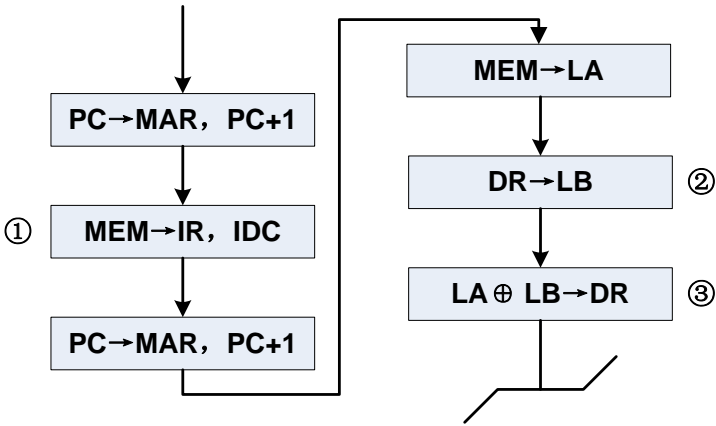


图 2 指令执行流程图

5. (10 分) 图 1 所示模型机经改造升级后，扩大了主存容量，并在 CPU 与主存之间添加了一个 Cache，假设 CPU 总是从 Cache 取得数据，设升级后主存容量为 1MB，存储器按字节编址；Cache 容量 8KB，每块 8B，Cache 按照 4 路组相联方式组织。
- (1) (4 分) 写出访问 Cache 时，主存的地址格式划分。主存地址 48FBDH 时映射 Cache 哪一组？
- (2) (6 分) 比较 DRAM 和 SRAM，并结合 Cache 的特点说明为什么 Cache 一般采用 SRAM 构成。
6. (4 分) 假如该模型机经过改造升级，数据存储器容量扩展为 1M×8 位，由 128 个 64K×1 位的 DRAM 芯片（芯片内是 4 个 128×128 结构）构成，存储器读/写周期为 100ns，刷新闻隔为 2ms，那么，如果采用集中刷新方式，则刷新周期为 15)，采用异步刷新方式，存储器刷新信号周期是 16)。

二、(42 分) 图 3 是实现 MIPS 单周期的模型机结构和数据通路。ALU 有 16 种运算功能，加法时 ALU_OP=0100；减法时 ALU_OP=0101；逻辑左移 ALU_OP=0011；位与运算 ALU_OP=0010。该机三种指令格式如表 4 所示。

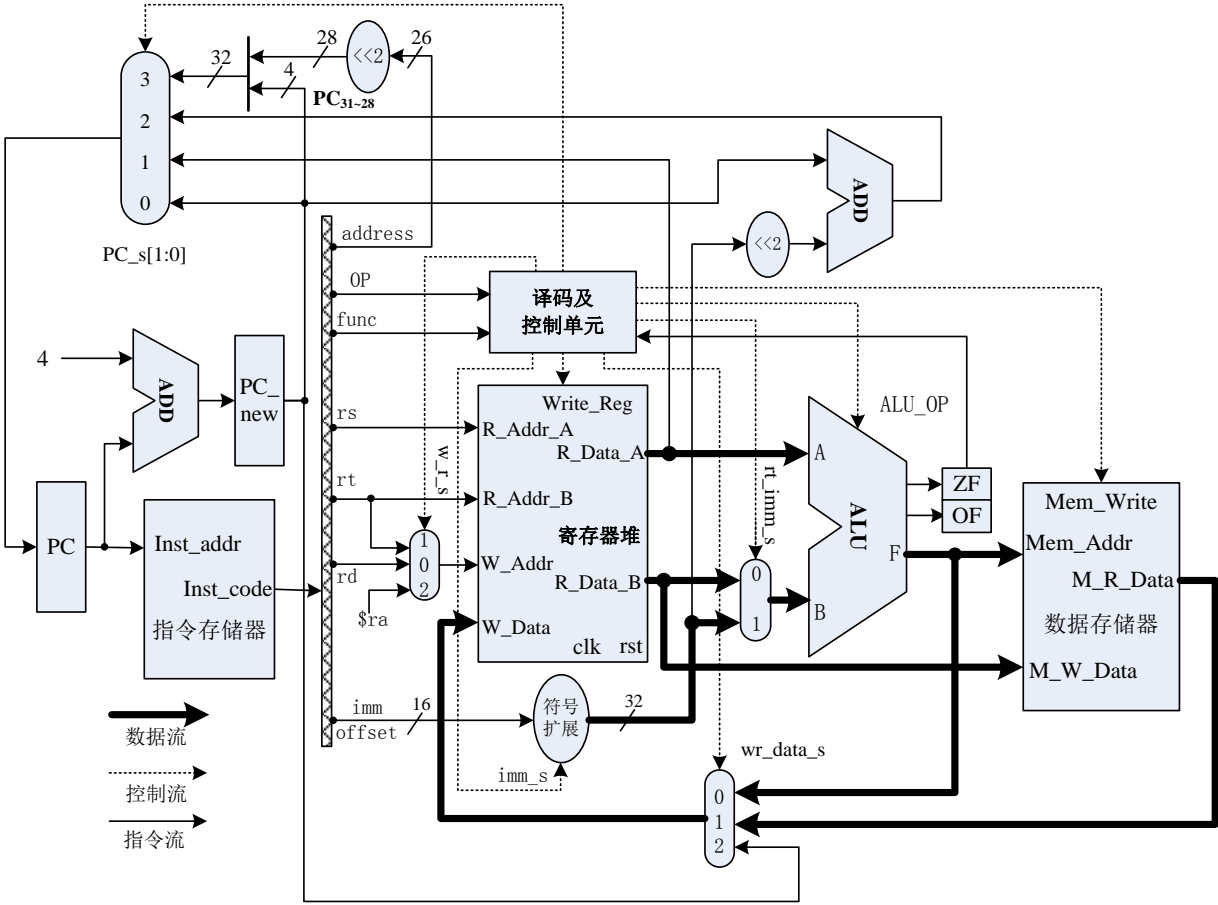


图3 MIPS单周期CPU结构图

表4 MIPS指令格式

R型 指令	字段	OP	rs	rt	rd	shamt	func
	位数	6	5	5	5	5	6
I型 指令	字段	OP	rs	rt	offset/imme		
	位数	6	5	5	16		
J型 指令	字段	OP	address				
	位数	6	26				

座位号：

7. (6分) 设该机32位的浮点寄存器FR1中存放了IEEE754单精度浮点数 $X=-0.25$ ，则FR1中的内容是 17) (用16进制编码)。FR2寄存器的内容是C30FC000H，如果它是IEEE754单精度浮点数，其对应的十进制真值为 18)；如果它是一个补码定点小数，则对其算术右移1位后结果的16进制编码为 19)，对其算术左移1位后结果的16进制编码为 20)。
- (提示：IEEE754单精度浮点数，阶码8位，用127的移码表示；尾数24位，用原码表示，含隐藏位在整数位，数符在最高位)
8. (3分) 该模型机为何要使用两个存储器？说出这种结构的名称，并谈谈它和冯·诺依曼体系结构有何不同。
9. (5分) 图1用了微程序控制器，图3用了硬布线控制，两种控制器是如何划分的？说说各自的优点。
10. (5分) 图3所示模型机结构能否实现sll指令的功能？如能实现，描述其指令执行过程；如果不能，则需要添加什么部件或者功能才能实现？
- sll rd,rt,shamt ；逻辑左移： $(rt \ll shamt) \rightarrow rd$ ，shamt为R型指令字段
11. (11分) 已知数组A和数据变量k，以下程序段
- ```
while (A[i] == k)
 i+=1;
```
- 假设分别用寄存器\$*s*0(\$16)和\$*s*1 存放变量*i* 和 *k* 的值，寄存器\$*t*1 存放取出的数组元素，寄存器\$*t*0 (\$8) 存放数组 A 的 起始地址，则上述循环语句对应的 MIPS 汇编程序为：
- ```
add $s0,$zero,$zero
label1: sll $t3,$s0,2      #左移：(rt << shamt)→rd
add $t3,$t3,$t0          #算术加，得 A[i]的地址
lw $t1,0($t3)            #取数：mem(rs +offset)→rt
bne $t1,$s1,label2      #不相等转移：if (rs≠rt) then PC+4+offset×4→PC
addi $s0,$s0,1          # $s0 加 1，i+1
j label1                #无条件跳转：{(PC+4)高 4 位,addr,0,0}→PC
label2: . . .
```
- (1) (5分) 设label1指令的地址为40000，表5为label1开始的各指令的机器代码，则表5中rs、rt、offset 和address分别等于 21) 22) 23) 24)，数组A中每个元素 25) 位。

- (2) (6分) 写出表6中各指令的数据通路对应的控制信号之值。若某信号无论取何值都不影响指令的功能，则该信号填“-”。

表5 指令机器代码

地址	6 位	5 位	5 位	5 位	5 位	6 位
40000	0	0	16	11	2	0
40004	0	11	8	11	0	2
40008	35	rs	rt	0		
40012	5	9	17	offset		
40016	8	16	16	1		
40020	2	address				
40024					

表 6 指令控制信号表

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s
addi								
lw								
bne								

12. (12 分) 假如该 MIPS 单周期 CPU 外接一个数据存储器，其容量为 32M×32 位，位于存储器空间的最高端。CPU 地址线 32 位，数据线 32 位，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），Mem_Write（读写控制，高电平为写信号，低电平为读信号）。
- (1) (2 分) 数据存储器的地址范围是： 26) H~ 27) H。
- (2) (4 分) 如果由 8M×16 位的 SRAM 存储器构成其数据存储器，分析各组芯片的地址范围。
- (3) (6 分) 设计地址译码电路，并画出 CPU 与所选芯片的连接图，设 SRAM 片内读写控制信号为 \overline{WE} ，低电平表示写有效。