杭州电子科技大学学生考试卷（B）卷

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **考试课程** | **计算机组成原理（甲）** | | **考试日期** | **2017 年 月 日** | | | **成 绩** |  |
| **课程号** | A0507030 | **教师号** |  | | **任课教师姓名** | |  | |
| **考生姓名** |  | **学号（8位）** |  | | **年级** | **15** | **专业** |  |

**所有试题均做在答题纸上，否则不计分！**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **题号** | **第一大题** | | | | | | | | | | | | | | | | **总分** |
| 1 | 2 | | 3 | | 4 | | 5 | 6 | | 7 | | 8 | | 9 | 小计 |
| **分数** | 15 | 3 | | 5 | | 6 | | 12 | 6 | | 6 | | 4 | | 2 | 59 |  |
| **得分** |  |  | |  | |  | |  |  | |  | |  | |  |  |
| **题号** | **第二大题** | | | | | | | | | | | | | | | |
| 1 | | 2 | | 3 | | 4 | | | 5 | | 6 | | 7 | | 小计 |
| **分数** | 4 | | 6 | | 8 | | 4 | | | 4 | | 3 | | 12 | | 41 |
| **得分** |  | |  | |  | |  | | |  | |  | |  | |  |

**答题纸**

一、1.

(1)（2分）

(2)（2分）

(3)（5分）

（4）（3分）

（5）（3分）

2.（3分）

|  |  |  |
| --- | --- | --- |
| 操作控制字段 | 判别测试字段 | 下址字段 |
| 位 | 位 | 位 |

1. （5分）

|  |  |  |
| --- | --- | --- |
| ① | ② | ③ |
|  |  |  |

1. （6分）
2. （12分）

（1）（2分）指令ADD机器码第一字节为 H，第二字节为 H。

（2）（10分）

|  |  |  |  |
| --- | --- | --- | --- |
| 指令序号 | 指令助记符 | 源操作数及寻址方式 | 执行结果 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

1. （6分）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ④ | ⑤ | ⑥ | ⑦ | ⑧ | ⑨ |
|  |  |  |  |  |  |

1. （6分）

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |

8.（4分） 9.（2分）

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  |  |  |  |  |

二、1.（4分） 表1

|  |  |
| --- | --- |
| 指令 | 功能描述 |
| xori rt,rs,imm | 逻辑异或: rs⊕imm→rt |
|  |  |
|  |  |

2.（6分） 表2

| 指令 | w\_r\_s | IO\_R | IO\_W | imm\_s | rt\_imm\_s | wr\_data\_s | ALU\_OP | Write\_Reg | Mem\_Write | PC\_s |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in |  |  |  |  |  |  |  |  |  |  |
| out |  |  |  |  |  |  |  |  |  |  |

3.（8分） 表3

| 指令 | w\_r\_s | imm\_s | rt\_imm\_s | wr\_data\_s | ALU\_OP | Write\_Reg | Mem\_Write | PC\_s | 指令  格式 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| nor |  |  |  |  |  |  |  |  |  |
| andi |  |  |  |  |  |  |  |  |  |
| sw |  |  |  |  |  |  |  |  |  |

4.（4分） 5.（4分）

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  |  |  |  |  |

6.（3分）

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |

7.（12分）（1）、（2）

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |

（3）画图：（6分）

**试 题**

**所有试题均做在答题纸上，否则不计分！**

一．（59分）图1是某单总线结构计算机，机器字长8位，IR为指令寄存器，PC为程序计数器，M为主存，AR为地址寄存器，DR为数据缓冲寄存器， ALU能完成算术加、减运算和逻辑运算，R0~R3是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘-’符号前的是数据发送方部件，‘-’符号后的是数据接收方部件， 并且控制信号中的B表示IB总线，另外，J1#控制指令译码，R/W#控制存储器读/写（=1：读；=0：写），CS#是存储器的片选信号。例如B-DA1表示由总线IB将数据打入暂存器DA1的控制信号。



图1 模型机结构框图

1. （15分）假如该机另具有浮点运算部件（图1中未画出），两个二进制补码数据X和Y分别放在浮点寄存器f0和f1中，浮点数格式为：阶码4位，包含1位符号位，尾数8位，包含1位符号位，阶码和尾数均用补码表示，排列顺序为：

|  |  |  |  |
| --- | --- | --- | --- |
| 阶符（1位） | 阶码（3位） | 数符（1位） | 尾数（7位） |

已知：（X）10= -2.875，Y的规格化浮点表示为F64H。

1. （2分）写出X的规格化浮点数表示形式。
2. （2分）求Y的二进制真值。
3. （5分）求〔X+Y〕补（要求用补码计算，采用0舍1入法，列出计算步骤）；
4. （3分）假如使用图1中的ALU和相关部件来完成浮点数乘法中的阶码运算，两个阶码分别存放 在R0和R1中，“和”存放在R0中，请用微程序流程图描述阶码加法运算的过程。
5. （3分）按照该浮点数格式，写出其规格化浮点数可表示数据的范围。

2.（3分）假如该机采用微程序控制器，其控制存储器容量为256\*40位，下址字段可寻址整个控制存储器，有7个转移控制状态（采用译码形式），微指令格式如下，其3个字段分别是几位？

|  |  |  |
| --- | --- | --- |
| 操作控制字段 | 判别测试字段 | 下址字段 |

3.（5分）有一段程序在图1所示模型机上运行，该程序段用汇编语言描述如下所示，已知所有指令都是2字节，假如存储器按字节编址，该程序被装入内存地址低端，起始地址为0，请问存放最后一条指令JMP LL内存地址是 ① 和 ② ，LL是标号，按照相对寻址方式，无条件转移指令JMP LL的8位二进制偏移量是 ③

LL: MOV R0，40H； 40H→R0

ADD R0，[10H]； R0＋[10H]→R0

STA [10H]，R0； R0→[10H]

OUT [PORTAR]，R0； R0→LED

JMP LL； PC+偏移量→PC

1. （6分）结合图1所示的模型机实例，谈谈微程序控制器由哪些部件组成，各部件主要功能是什么？
2. （12分）假如该模型机支持的机器指令格式如下，根据指令功能，指令字长可为1~2字节。

|  |  |  |
| --- | --- | --- |
| OP（4位） | MOD（2位） | RD（2位） |
| ADDR/ DATA / DISP | | |

其中，RD为源/目的寄存器号，MOD为寻址方式码字段，指令第二字为地址、数据或偏移量；源操作数由MOD字段和指令第二字共同确定。除了HALT指令为单字指令外，其他指令均为双字指令；操作码字段解释见表1-1，MOD字段解释见表1-2，RD字段解释见表1-3 。

表1-1

|  |  |  |  |
| --- | --- | --- | --- |
| 指令助记符 | 操作码 | 指令助记符 | 操作码 |
| MOV | 0000 | SBB | 0100 |
| ADD | 0001 | JMP | 1000 |
| SUB | 0010 | …… | …… |
| AND | 0011 | HALT | 1111 |

表1-2 表1-3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MOD | 寻址方式 |  | RD | 寄存器 |
| 00 | 立即寻址 |  | 00 | R0 |
| 01 | 直接寻址 |  | 01 | R1 |
| 10 | 变址寻址(SI) |  | 10 | R2 |
| 11 | 间接寻址 |  | 11 | R3 |

（1）（2分）指令ADD R1，((40H)) 的功能：R1 = ((40H))+R1；指令使用间接寻址，则该指令机器码第一字节为 H，第二字节为 H。

（2）（10分）内存地址的部分单元内容如表2：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 单元地址 | 内容 | 单元地址 | 内容 | 单元地址 | 内容 |
| 10H | 80H | 20H | 10H | 24H | 39H |
| 11H | 90H | 21H | 11H | 25H | 03H |
| 12H | 10H | 22H | 05H | 26H | F0H |
| 13H | 11H | 23H | 12H | 27H | 20H |

表2

若（PC）＝20H，变址寄存器（SI）＝10H，R0、R1和R3寄存器内容初始为0；则此时启动程序执行，问执行了几条指令程序停止？请按以下格式，写出每条指令的助记符、寻址方式、EA、操作数和执行结果。

|  |  |  |  |
| --- | --- | --- | --- |
| 指令序号 | 指令助记符 | 源操作数及寻址方式 | 执行结果 |

1. （6分）图1所示模型机经改造升级后，扩大了主存容量，并在CPU与主存之间添加了一个Cache，假设CPU**总是**从Cache取得数据，在一段时间内，Cache完成存取的次数为2100次，主存完成的存取次数为400次，已知Cache的存储周期为12ns，主存的存储周期为80ns。则Cache的命中率为 ④ ，Cache/主存系统的平均访问时间为 ⑤ ns。设升级后的主存容量为128KB，存储器**按字节编址**；Cache容量8KB，每块8字节，Cache按照4路组相联方式组织，则主存字节地址 ⑥ 位；其中“标记”字段 ⑦ 位，Cache组地址 ⑧ 位，主存地址09B3H映射到Cache的 ⑨ 组。
2. （6分）假如图1所示模型机的存储器采用4体交叉方式进行组织，当连续读出多个字，访存时间比顺序编址方式 （长/短）。为了提高访问存储器的速度还可以采用 存储器。虚拟存储器指的是 ，设置虚拟存储器的主要目地是 。
3. （4分）假如图1所示模型机连接的输出设备是一台打印机，打印采用16×16的点阵汉字字形，现需要打印一篇20个汉字构成的短文，请问：这篇短文占用内存 字节的存储容量来存储其纯文本。假如20个字不重复，打印这篇短文使用的字模码一共是 字节。

9.（2分）假如图1所示模型机与接口进行通信时采用海明码进行校验，8位数据采用4位偶校验码，若接收到的编码为100110111100，试判断该海明码是否有误： 。若有，则写出正确的8位有效信息 。

1. （41分）图2是实现32位MIPS单周期的CPU结构和数据通路，ALU有16种运算功能，加法时ALU\_OP=0100；减法时ALU\_OP=0101；位或非运算ALU\_OP=0011；位与运算ALU\_OP=0010。
2. （4分）访问IO设备实际上就是通过端口地址访问IO接口中的寄存器，假如为实现独立编址的输入输出功能，**使用I型指令格式**实现输入指令in和输出指令out的功能，端口地址由指令低16位I15-0提供，读写IO设备的控制信号分别是IO\_R和IO\_W，按照表1格式，仿照xori指令的写法，分别写出in和out指令的格式和指令功能描述。

表1

|  |  |
| --- | --- |
| 指令 | 功能描述 |
| xori rt,rs,imm | 逻辑异或: rs⊕imm→rt |
|  |  |
|  |  |

1. （6分）为实现IN和OUT指令的数据通路，写出译码与控制单元所需设置的控制信号以**二进制**形式填入表2。若某信号无论取何值都不影响指令的功能，则该信号填“**-**”。

表2

| 指令 | w\_r\_s | IO\_R | IO\_W | imm\_s | rt\_imm\_s | wr\_data\_s | ALU\_OP | Write\_Reg | Mem\_Write | PC\_s |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in |  |  |  |  |  |  |  |  |  |  |
| out |  |  |  |  |  |  |  |  |  |  |

1. （8分）假如图2所示MIPS系统中，有如下3条指令，

|  |  |
| --- | --- |
| **指令助记符** | **指令功能描述** |
| nor rd，rs，rt | ；位或非：~(rs|rt)→rd |
| andi rt，rs，imm | ；位与：(rs)&imm→rt |
| sw rt，offset(rs) | ；存数：rt →mem(rs +offset) |

写出上述3条指令的数据通路对应的控制信号之值、指令格式类型填入表3。

表3 指令格式与控制信号表

| 指令 | w\_r\_s | imm\_s | rt\_imm\_s | wr\_data\_s | ALU\_OP | Write\_Reg | Mem\_Write | PC\_s | 指令  格式 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| nor |  |  |  |  |  |  |  |  |  |
| andi |  |  |  |  |  |  |  |  |  |
| sw |  |  |  |  |  |  |  |  |  |

1. （4分）图2所示MIPS系统中，如果数据存储器是采用DRAM材料，那么该DRAM是利用 存储电荷来表示‘0’和‘1’信息的，访问DRAM的速度 （快/慢）于SRAM的速度。
2. （4分）假如该MIPS系统经过改造升级，数据存储器容量扩展为32K×16位，由32个16K×1位的DRAM芯片（芯片内是128×128结构）构成，存储器读/写周期为100ns，那么，如果采用集中刷新方式，则刷新一遍需要 μs，采用异步刷新方式，存储器行刷新周期是 μs。
3. （3分）CISC是指 ，RICS是指 ，硬布线控制器适合于 。
4. （12分）假如该MIPS系统的数据存储器容量为32M×32位，位于存储器空间的最低端，试问：

（1）（4分）数据存储器的地址范围是： H~ H。

（2）（2分）如果由8M×16位的SRAM存储器构成其数据存储器，则需要 个芯片。

（3）（6分）画出上述SRAM芯片扩展成数据存储器的连接图，请清晰标示地址、数据和控制信号线。



图2 MIPS单周期CPU结构和数据通路