

Pontifícia Universidade Católica de Minas Gerais
Instituto de Ciências Exatas e Informática – ICEI
Arquitetura de Computadores I

ARQ1 _ Aula_07

Tema: Introdução à linguagem Verilog e simulação em Logisim

Preparação

Vídeos recomendados

https://www.youtube.com/watch?v=_Wta-lt79RU

<https://www.youtube.com/watch?v=o8aHEaAsLw8>

<https://www.youtube.com/watch?v=bh1c5pv56lY>

Orientação geral:

Apresentar soluções em formato texto (.txt).

Programas em Verilog deverão ser entregues em formato (.v) com previsão de testes.

Os arquivos para simulação em Logisim (.circ) deverão ser identificados internamente e entregues, acompanhados (ou não) de figuras equivalentes exportadas pela ferramenta.

Separar as versões completas (a) das simplificadas (b).

Atividade: Projeto de unidade lógica e aritmética

Para os exercícios a seguir, considerar o exemplo abaixo em Verilog.

```
// -----  
// Exemplo_0701 - GATES  
// Nome: xxx yy zzz  
// Matricula: 999999  
// -----  
  
// -----  
// f7_gate  
// -----  
module f7 ( output s,  
            input a,  
            input b );  
  
// descrever por portas  
  
endmodule // f7
```

```

// -----
// multiplexer
// -----
module mux ( output s,
              input a,
              input b,
              input select );

// definir dados locais
wire not_select;
wire sa;
wire sb;

// descrever por portas
not NOT1 ( not_select, select );

and AND1 ( sa, a, not_select );
and AND2 ( sb, b, select );

or OR1 ( s, sa, sb );
endmodule // mux


module test_f7;
// ----- definir dados
    reg x;
    reg y;
    reg s;
    wire w;
    wire z;

    f7 modulo ( w, x, y );

    mux MUX1 ( z, x, y, s );

// ----- parte principal

initial
begin : main
    $display("Exemplo_0701 - xxx yyy zzz - 999999");
    $display("Test LU's module");
    $display(" x y s z");

    x = 1'b0; y = 1'b1; s = 1'b0;

    // projetar testes do modulo
    #1 $monitor("%4b %4b %4b %4b", x, y, s, z);
    #1 s = 1'b1;

end

endmodule // test_f7

```

- 01.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com operações AND e NAND, com duas saídas simultâneas (paralelas, 2 respostas), para variáveis de entrada 01 com bit cada. O nome do arquivo deverá ser Exemplo_0701.v, e poderá seguir o modelo descrito abaixo. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
- 02.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com operações OR e NOR, com uma saída selecionável (1 resposta), para variáveis de entrada com 01 bit cada. O nome do arquivo deverá ser Exemplo_0702.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o sinal extra para a seleção (0-OR;1-AND).
- 03.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações AND e NAND, com uma saída só para ambas, para variáveis de entrada com 01 bit cada, além de OR e NOR na mesma situação. Os resultados de cada grupo serão selecionados por uma primeira chave (2x1); para selecionar uma porta em cada grupo, e outra chave (2x1) que selecionará entre o grupo (AND, NAND) ou o grupo (OR, NOR). O nome do arquivo deverá ser Exemplo_0703.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o primeiro sinal para a seleção (0-AND/NAND;1-OR/NOR). Usar para o segundo sinal para a seleção (0-grupo AND/NAND;1-OR/NOR).
- 04.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações XOR e XNOR, , com uma saída só para ambas, para variáveis de entrada com 01 bit cada, além de OR E NOR; na mesma situação. Os resultados de cada grupo serão selecionáveis entre o grupo (XOR, XNOR) ou o grupo (OR, NOR), seleção (4x1). O nome do arquivo deverá ser Exemplo_0704.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o sinal extra de 2 bits para a seleção (00-OR; 01-NOR;10-XOR; 11-XNOR).
- 05.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações NOT, OR, NOR, AND, NAND, XOR, XNOR, simultâneas, com apenas 1 saída, selecionável (7x1). O nome do arquivo deverá ser Exemplo_0705.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar um sinal extra de 3 bits para a seleção.

Extras

- 06.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com um comparador de bits usando portas XOR e XNOR para calcular a igualdade ou desigualdade, para variáveis com 2 bits cada, selecionável (0-igual; 1-diferente).
O nome do arquivo deverá ser Exemplo_0706.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.
- 07.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com um comparador de bits usando apenas portas básicas (NOT, AND, OR) para calcular a magnitude (se maior ou menor), para variáveis com 2 bits cada, selecionável (0-menor; 1-maior).
O nome do arquivo deverá ser Exemplo_0707.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.