

赛灵思 - All Programmable > 技术支持 > AR# 65459: 电源 — 减少电源系统谐振的影响。

AR# 65459

电源 — 减少电源系统谐振的影响。

Description

有没有任何与电源系统谐振有关的文档？

我如何识别和 减少 FPGA 设计所产生的噪声？

解决方案

由于存在芯片 / 封装电阻、电容和电感，因此电源轨谐振是所有半导体器件的内在特征。

每个电源轨都将在这些参数确定的频率下谐振。最理想的系统设计可避免在该谐振频率或接近该谐振频率下运行，从而可降低配电网络上的 AC 摆幅。

谐振的影响

当电路在其谐振频率下运行时，阻抗达到其最大值，这可限制电路负载可接受的电流量。

在 FPGA 使用案例中，其电路是数千或数百万逻辑元件的组合，电流不足可能会引起电压电平下降至规范以下，继而导致：

- 抖动问题，其可导致时钟问题
- 更长的逻辑延迟，这可能有碍于时序
- 功能故障

此外，在谐振或接近谐振的频率下运行，还可导致电路对任何负载增加特别敏感。

负载增加会导致流耗增加，这将使电路消耗更多电流，为电源电压带来更大的压力，从而会进一步恶化抖动和时序裕量。

图 1 是几个 7 系列 FPGA 上的 VCCINT 谐振频率。在谐振频率下，芯片电路的阻抗达到最大值。

在谐振下运行将提供最低裕量，以确保电源轨不超出规范的限定。建议最大限度减少在 +/-20% 谐振频率下的运行，以确保最佳性能。

AR# 65459	
日期	09/22/2015
状态	Active
Type	综合文章
器件	<ul style="list-style-type: none">• FPGA Device Families

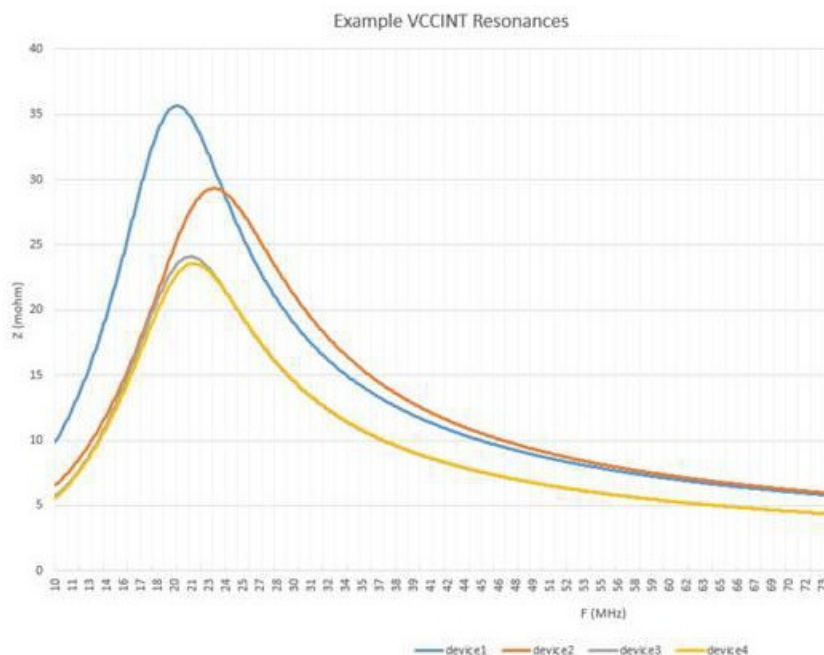


图 1：谐振 VCCINT 频率示例

7 系列器件具有约 20 至 85MHz 的广泛谐振频率（在所有芯片/封装组合中）。需要时，可以直接向 Xilinx 申请特定的谐振频率数据。

应避免在器件特定谐振频率 ($\pm 20\%$) 下以高翻转率（大于 25%）运行大量的逻辑（超过 50% 的器件）。

如果无法避免在器件特定频率 ($\pm 20\%$) 下运行，则可使用以下方法来减少谐振影响：

减少谐振影响

避免谐振频率运行的最佳方法是在设计的初始规划阶段对其进行周密计划。在初始设计阶段之后，仍可使用其它步骤来减少谐振影响。

优化时钟拓扑：

保持路径简短且封闭，可降低在谐振频率下运行时所加剧的延迟（抖动、时序裕量）。

要获得最佳效果：

- MMCM 或 PLL 必须与输入处于同一个 bank 中，以便从输入缓冲器直接连接
- MMCM 和 PLL 不得级联
- BUFG 不得级联

将时钟域拆分为多个相位

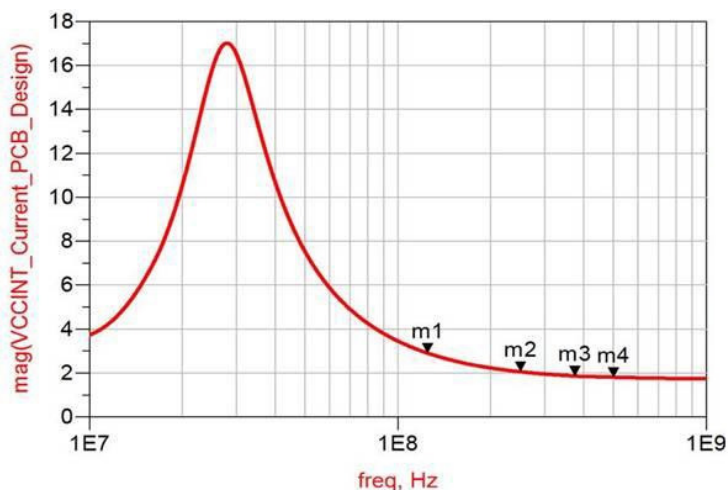
参见图 2 和以下示例，了解其工作方式：

示例：将大约一半的入侵逻辑、BRAM 和 DSM 置于 0，另一半置于 180。

- 可将同步切换事件的数量减少 50%
- 能够以 2 倍的频率增加扩展有效切换速率
- 更高的频率切换能够以较低的阻抗影响阻抗曲线
- 这是一个一举两得的事情
 - 阻抗可从 m_0 ($f_1=77.76\text{MHz}$) 降低到 m_2 ($2*f_1=155.52$)

MHz)

- 切换元件的数量可减少 50%



$$Z_{m2} / Z_{m0} = 2 / 4.4 = 0.45$$

$$I_{split} / I_{nosplit} = 0.5$$

Effective Noise/Jitter = 0.22 vs. non-split

图 2：通过将时钟拆分为多个相位来缓解谐振

结论

谐振频率以及围绕减少其影响进行设计的知识有助于确保最终将取得成功的稳健的、功能性设计。

本答复记录是否对您有帮助？

匹配

不匹配

Download XilinxGo Mobile app



© COPYRIGHT 2017 XILINX INC.

[保密性](#) | [商标](#) | [法律声明](#) | [网站反馈](#) | [供应链透明度](#) | [联系我们](#)