

## 赛灵思中文社区

登 录 免费注册 🔝

首页 新闻 视频 博客 互动专区 技术文章 下载中心 Xilinx 午后加油站

Xilinx Wiki Xilinx 大学计划 活动 商城

## 专家秘笈连载十五: SFP+光模块接口设计调试优化方法

由 技术编辑archive1 于 星期日, 09/22/2013 - 15:42 发表

0

-12

-14

-16

0

大多数的SFP+光模块内部电口不含Retimer,只是简单的限幅放大器。由于限幅放大器的行为是非线性的,入口上的可被均衡码间干扰(ISI)会被固定下来成为不可被均衡的限定性不相关抖动(bounded uncorrelated jitter (BUJ))。工业界为了解决Host与模块间的电气互操作,制定了电气标准SFF8431。该规范规定了SFP+模块和与之接口的Host的电气指标,测量方法。

SFF8431详细规定了SFP+模块和与之接口的Host的建议走线长度(表1)或插入损耗(图1)。

Туре	Material	Trace Width (mm)	Loss Tangent	Copper Thickness (oz) see L	Copper Thickness (µm)	Trace Length (mm)
Microstrip	FR4-6/8	03	0.022	- SCARIO	35	200
	Nelco 4000-13	032-AF	0.016	224	35	300
Stripline	FR4-6/8	0.125	0.022	0.5	17.5	150
	Nelco 4000-13	0.125	0.016	0.5	17.5	200

<sup>1.</sup> Copper (oz) is defined as an ounce of copper over one square foot of laminate.

3

4

## -4 -6 (8p) 17200S -10 Example of a Compliant Channel Maximum Allowed Channel Transfer

Minimum Allowed

10

11

Channel Transfer

表1 Host板可实现的走线长度

图1 Host板建议的无源链路插入损耗

Frequency (GHz)

6

7

8

9

用户在PCB互联设计时,必须遵循该要求。特别是HOST到光模块侧,因为大多数SFP+光模块内部没有均衡器且接收灵敏度不是太高。但从SFP+光模块到HOST侧,则有优化空间。XILINX的7系列高速收发器GTX和GTH的接收机有很强的自适应均衡器(CTLE+DFE),可以抵偿更多的因插损造成的码间干扰(ISI)。这就给我们提供了一种成本优化的可能,我们可以将GTX或GTH的发送侧放在最优先的PCB布线策略上。比如:发送侧表层走线,最少过孔,最短走线。接收侧走内层,可以绕线,更多过孔。

当用户完成设计、安装后,进入调试阶段。怎样设定HOST的发送、接收参数?发送侧:建议将发送摆幅TXDIFFCTRL[3:0]开到最大(1000mV),TXPRECURSOR[4:0]开到0.22或0.45dB,TXPOSTCURSOR[4:0]视链路插损情况定;如果HOST PCB在来奎斯特频率上

1 of 2 11/22/2017, 3:21 PM

的插入损耗是4.5dB,建议TXPOSTCURSOR[4:0]设成5.5dB。因为连接器+模块内部插损还有约1dB(见图2),单侧取一半。接收侧:由于XILINX的7系列接收机是自适应的,因此,接收侧可以不做调试。

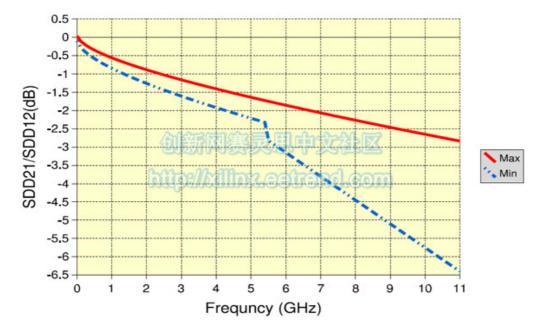


图2 对插MCB-HCB差分插入损耗模板

怎样用实验方法来验证和优化参数呢?可以在发端发送PRBS31,将上一步得到的大致参数设到发送端,插上HCM板,通过SMA同轴线接到眼图仪表上。调整TXPOSTCURSOR[4:0]使得TJ最小,有条件的话,还可以进一步做不同温度,电压下的TJ最优化。到此,调试就算完成了,并且性能最优化。

实践证明,该方法快捷、可靠、性能最优化。已经广泛用于某大客户SFP+光模块接口设计、调试以及优化。

## 相关文章

- 视频: Vivado中的"部分重配置"介绍
- 带有Xilinx Hard IP 'lite DMA' 的最佳Plug-and-Play PCIe 3.0/2.0控制器
- FPGA可编程控制器荣最佳技术创新奖器
- 巧用FPGA中资源
- 视频: 在 Xilinx 7 系列 FPGA 实现 Intel QPI 协议
- Xilinx 7系列FPGA使用之CLB探索(三)之多路复用器
- Xilinx 7系列FPGA使用之CLB探索(二)
- 视频: XILINX 7系列 10G Base-KR背板解决方案
- NI 将软件设计仪器拓展到电子测试领域
- 白皮书: 了解并减少 Xilinx 7 系列器件中的系统级 ESD 和 EOS 活动

村田中文技术社区[Imagiantion中文技术社区 | 创新网Xilinx中文社区 | 创新网Altium中文社区研讨会大全 | SDN社区关于我们 | 联系我们 | 广告服务 | 法律声明 | 网站地图 | 友情链接--电子创新网--粤ICP备12070055号

2 of 2 11/22/2017, 3:21 PM