



## SFP+光模块接口设计调试优化方法

作者: Jinhua Li, Xilinx SystemIO 专家

### All Programmable FPGA

#### 在多工艺节点中的 FPGA 领先地位

Xilinx 提供综合而全面的多节点产品系列充分满足各种应用需求。除以上系列器件外, 该系列还包含采用业界一流 28nm HPL 工艺技术的 7 系列 All Programmable FPGA 其可在优化性能价格与功耗比的同时, 实现突破性性能、容量与系统集成度。

#### 快速链接

- [可编程器件资料](#)
- [开发工具](#)
- [开发板与套件](#)
- [IP 核](#)
- [技术解决方案](#)

Xilinx 20nm [UltraScale™](#) 器件是本公司 Virtex® 与 Kintex® FPGA 以及 3D IC 系列的扩展部件, 不但可提供前所未有的系统集成度, 同时还支持 ASIC 类系统级性能。更深入地了解 Xilinx 如何在 28nm 实现超越一代的领先地位, 以及在 [20nm 继续保持超越一代的领先地位](#)。

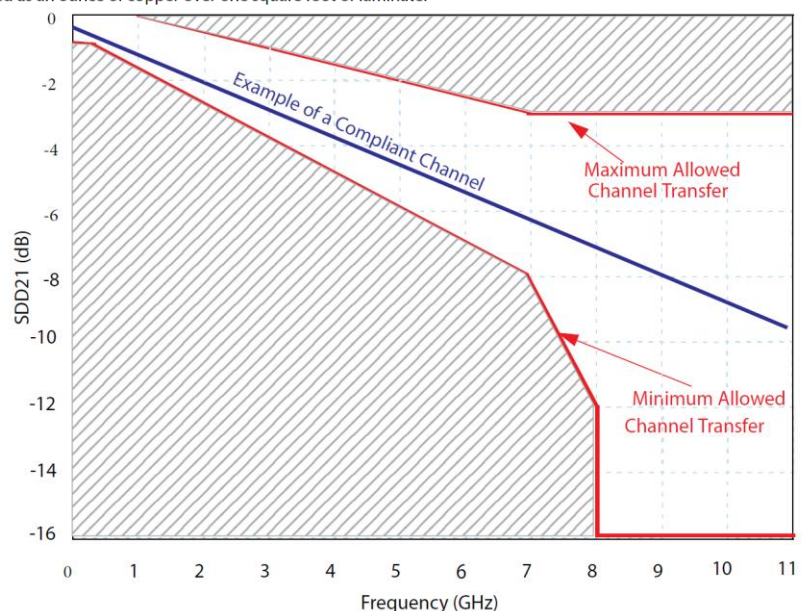
大多数的 SFP+光模块内部电口不含 Retimer, 只是简单的限幅放大器。由于限幅放大器的行为是非线性的, 入口上的可被均衡码间干扰 (ISI) 会被固定下来成为不可被均衡的限定性不相关抖动 (bounded uncorrelated jitter (BUJ))。工业界为了解决 Host 与模块间的电气互操作, 制定了电气标准 SFF8431。该规范规定了 SFP+模块和与之接口的 Host 的电气指标, 测量方法。

SFF8431 详细规定了 SFP+模块和与之接口的 Host 的建议走线长度 (表 1) 或插入损耗 (图 1)。

表 1 Host 板可实现的走线长度

Type	Material	Trace Width (mm)	Loss Tangent	Copper Thickness (oz) see 1	Copper Thickness (μm)	Trace Length (mm)
Microstrip	FR4-6/8	0.3	0.022	1	35	200
	Nelco 4000-13	0.3	0.016	1	35	300
Stripline	FR4-6/8	0.125	0.022	0.5	17.5	150
	Nelco 4000-13	0.125	0.016	0.5	17.5	200

1. Copper (oz) is defined as an ounce of copper over one square foot of laminate.



用户在 PCB 互联设计时，必须遵循该要求。特别是 HOST 到光模块侧，因为大多数 SFP+光模块内部没有均衡器且接收灵敏度不是太高。但从 SFP+光模块到 HOST 侧，则有优化空间。XILINX 的 7 系列高速收发器 GTX 和 GTH 的接收机有很强的自适应均衡器 (CTLE+DFE)，可以抵偿更多的因插损造成的码间干扰 (ISI)。这就给我们提供了一种成本优化的可能，我们可以将 GTX 或 GTH 的发送侧放在最优先的 PCB 布线策略上。比如：发送侧表层走线，最少过孔，最短走线。接收侧走内层，可以绕线，更多过孔。

当用户完成设计、安装后，进入调试阶段。怎样设定 HOST 的发送、接收参数？发送侧：建议将发送摆幅 TXDIFFCTRL[3:0] 开到最大 (1000mV)，TXPRECURSOR[4:0] 开到 0.22 或 0.45dB，TXPOSTCURSOR[4:0]视链路插损情况定；如果 HOST PCB 在来奎斯特频率上的插入损耗是 4.5dB，建议 TXPOSTCURSOR[4:0]设成 5.5dB。因为连接器+模块内部插损还有约 1dB (见图 2)，单侧取一半。接收侧：由于 XILINX 的 7 系列接收机是自适应的，因此，接收侧可以不做调试。

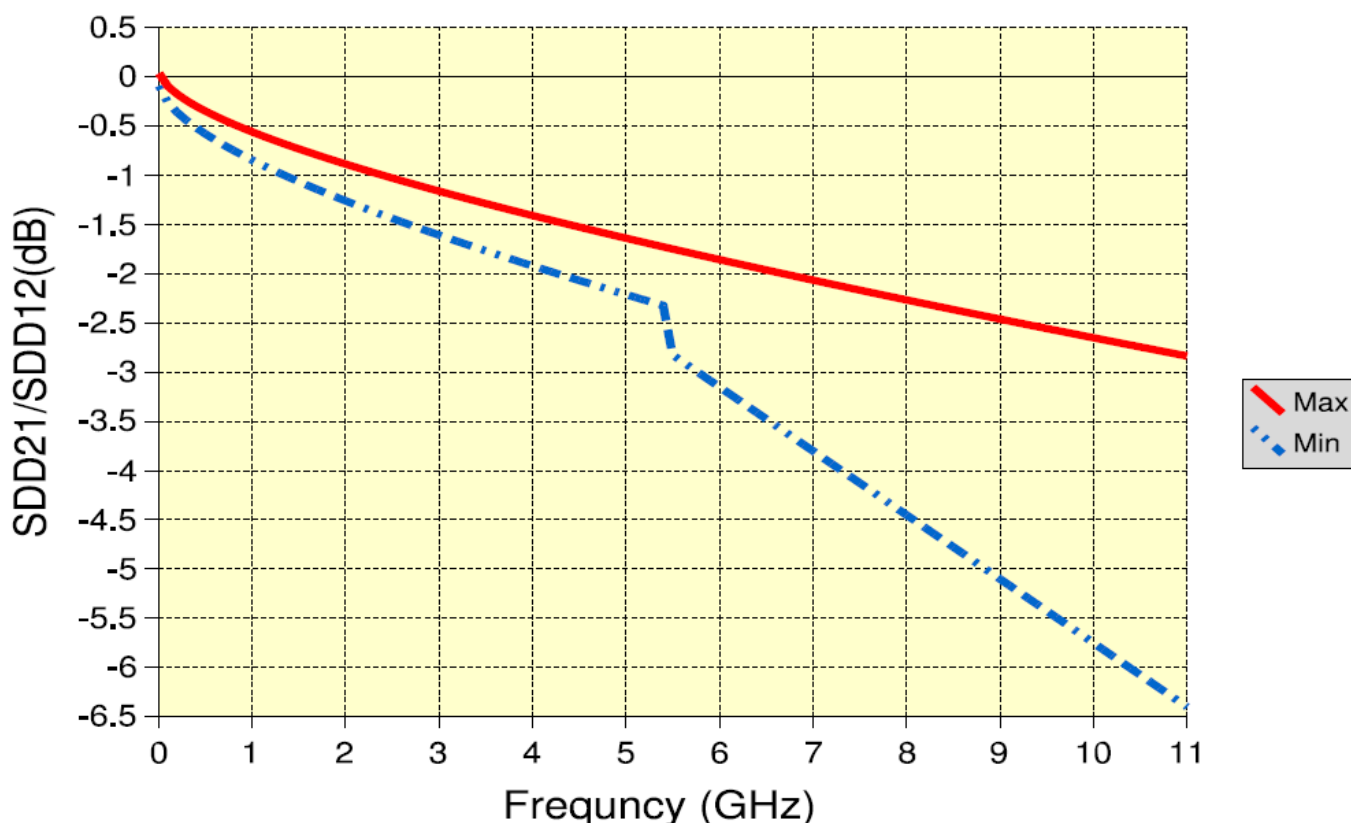


图 2 对插 MCB-HCB 差分插入损耗模板

怎样用实验方法来验证和优化参数呢？可以在发端发送 PRBS31，将上一步得到的大致参数设到发送端，插上 HCM 板，通过 SMA 同轴线接到眼图仪表上。调整 TXPOSTCURSOR[4:0]使得 TJ 最小，有条件的话，还可以进一步做不同温度，电压下的 TJ 最优化。到此，调试就算完成了，并且性能最优化。

实践证明，该方法快捷、可靠、性能最优化。已经广泛用于某大客户 SFP+光模块接口设计、调试以及优化。