

# 一种基于 FPGA 的微波时钟恢复的设计与实现

张丽,徐妍,马丽珍

(中兴通讯股份有限公司 上海研发中心,上海 201203)

**摘要:**在微波通信系统中,受天气情况的影响,发送端的时钟频率可能随时变化。在接收端如何进行时钟恢复是微波通信的难点。本文给出了一种基于 FPGA 的微波无线口时钟恢复的设计。该设计使用 FPGA 内的 PLL 和 FIFO,实时调整时钟频率,保证接收端恢复时钟的频率与发送端无线口的发射时钟信号频率一致,且减少了 PLL 个数,避免了 PLL 失锁及其引发的复位重新锁定过程。

**关键词:**微波通信;时钟恢复;FPGA;PLL

**中图分类号:** TN925+.9

**文献标识码:** A

**文章编号:** 1674-7720(2016)05-0081-03

**引用格式:**张丽,徐妍,马丽珍. 一种基于 FPGA 的微波时钟恢复的设计与实现[J]. 微型机与应用,2016,35(5):81-83.

## Design and implementation of microwave clock recovery based on FPGA

Zhang Li, Xu Yan, Ma Lizhen

(Shanghai Development Center, ZTE Corporation, Shanghai 201203, China)

**Abstract:** In the microwave telecommunication system, the sender clock is changing in anytime. Clock recovery in receiver is the difficulty of microwave telecommunication. In this paper, we introduce a FPGA design of microwave telecommunication clock recovery. This design utilizes FPGA internal PLL and FIFO cores, which can adjust clock frequency instantly, ensure the receiver's recovered clock have the same frequency with the sender clock. It also reduces the number of PLLs, and avoids the process of PLL re-lock after the PLL losing lock.

**Key words:** microwave telecommunication; clock recovery; FPGA; PLL

### 0 引言

微波通信是一种重要的电磁波通信手段,广泛应用于地球与空间站之间、城市两个建筑物之间以及很大的无法实际布设电缆的开阔区域<sup>[1]</sup>。但是微波通信极易受天气影响,如风沙、雨雾等。微波通信系统需要在不同的天气情况下选择不同的工作带宽和时钟频率,以确保传输质量。对于这种时钟频率可能随时变化的通信系统,如何保证发送端和接收端时钟信号一致、稳定可靠,显得尤为重要。本文在介绍传统的微波时钟恢复方法的基础上,给出了一种基于 FPGA 的微波无线口时钟恢复的设计并对设计的逻辑控制过程进行了详细说明。

### 1 现有的时钟恢复设计

微波通信系统在不同的环境条件下工作在不同的带宽和时钟频率,如时钟频率为 7 MHz、14 MHz、28 MHz、49 MHz 等。现有的微波时钟恢复方法如图 1 所示。该设计中包含时钟提取模块、分频模块、PLL 倍频模块、小数分频模块、时钟选择模块、时钟鉴相模块、时钟调整模块和监控模块。假设有  $N$  种不同的时钟频率,在每种时钟频率下,时钟提取模块从空中接收的数据信号帧中提取出的无线口时钟信号通常是不均匀的,会存在一定的脉冲缺失<sup>[2]</sup>,然后  $N$  个时钟分频模块将其对应的不均匀的时钟信号分

频,将不均匀程度弱化。 $N$  个时钟分频模块的分频系数可以不同。PLL 倍频模块将分频模块弱化不均匀程度后得到的时钟信号倍频,倍频系数也可以不同,接下来小数分频模块要根据实际应用环境,利用 Sigma-Delta 算法实现小数分频<sup>[3]</sup>,将倍频后的时钟信号分频到一个统一的频率,如 50 Hz。时钟选择模块从多路时钟信号中选择一路,如当前系统的时钟频率为 7 MHz,则选择 7 MHz 时钟对应分频得到的 50 Hz 信号输出到时钟鉴相模块,时钟鉴相模块将 50 Hz 信号作为参考时钟,与微波通信系统接收端产生的标准时钟分频得到的 50 Hz 信号比较,得到鉴相值,用鉴相值控制时钟调整模块对接收端产生的标准时钟进行调整,使其跟踪上接收的无线口时钟信号,即发送端的时钟。监控模块实时检测 PLL 倍频模块输出的时钟,一旦发现 PLL 异常无时钟送出时,就复位 PLL。

现有的时钟恢复设计通过 PLL 直接分频和倍频的操作,把不均匀的时钟信号整合成相对均匀的时钟。虽然不均匀的脉冲送入 FPGA 内部的 PLL 之后,可能会导致 PLL 失锁,但是只要不会导致 PLL 异常,从而出现无法恢复的情况,就能保证恢复出来的时钟信号质量。同时系统还需要一个监控机制,实时检测 PLL 发送出来的时钟,一旦发现 PLL 异常,无时钟送出时,就需要复位 PLL,PLL 从复位

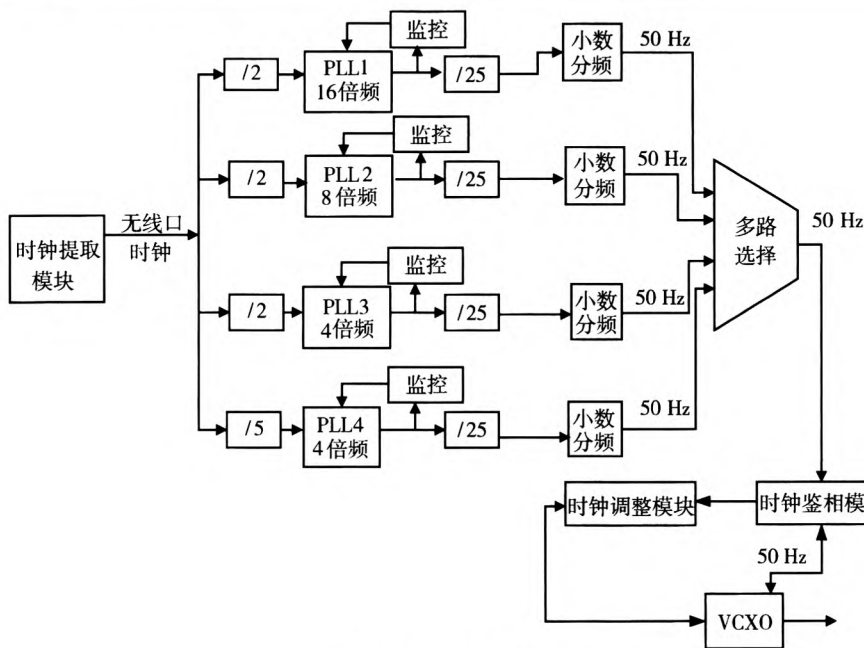


图1 现有的时钟恢复设计

到正常工作一般需要 5 ms,这 5 ms 会导致软件得到的鉴相值跳变,软件也需要做相应的滤波机制。

## 2 基于 FPGA 的时钟恢复设计

### 2.1 设计组成及功能

本时钟恢复设计主要由时钟提取模块、晶振、PLL 合成模块、FPGA 和时钟调整模块等构成,如图 2 所示。时钟提取模块从空中接收的数据信号帧中提取出无线口时钟信号;自由震荡的晶振输出 10 MHz 时钟;PLL 合成模块根据接收到的无线口带宽模式,输出标准时钟信号;FPGA 完成时钟恢复,并把恢复后的时钟分频到 50 Hz,与本地 VCXO 分频得到的 50 Hz 信号进行鉴相,输出的鉴相值控制时钟调整模块,最终使本地时钟跟踪上接收的无线口时钟信号。

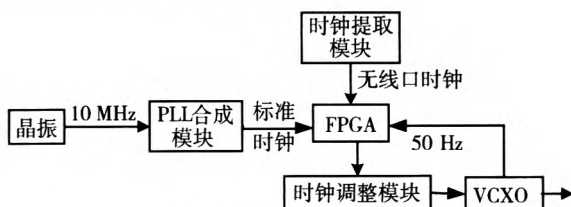


图2 时钟恢复设计组成

### 2.2 FPGA 控制

FPGA 主要由 FIFO 模块、控制模块、可调相位 PLL 模

块、分频模块和鉴相模块组成,如图 3 所示。其中,FIFO1 的空/满决定了可调相位 PLL 的相位调整方向;FIFO2 的空/满决定了可调相位 PLL 的相位调整时机;控制模块根据两个 FIFO 的空/满以及水位信息输出调整信息给可调相位 PLL;可调相位 PLL 的输出即是与无线口时钟频率一致的恢复时钟;分频模块将恢复时钟分频到 50 Hz。

这里 FPGA 选用 ALTERA stratrix IV 芯片,此系列芯片的可调相位 PLL 具有动态相移功能<sup>[4]</sup>,使单个 PLL 输出的输出相位能够相对于参考时钟动态地被调整。每次相位调整只偏移 VCO 频率的 1/8,并且输出时钟在该相位重配置过程中是有效的。PLL 的控制端口:PHASESTEP 为高电平时使能动态相移;

SCANCLK 是与 PHASESTEP 相结合使用的内核自由时钟,最大 100 MHz;PHASEUPDOWN 选择动态相移方向,1 为

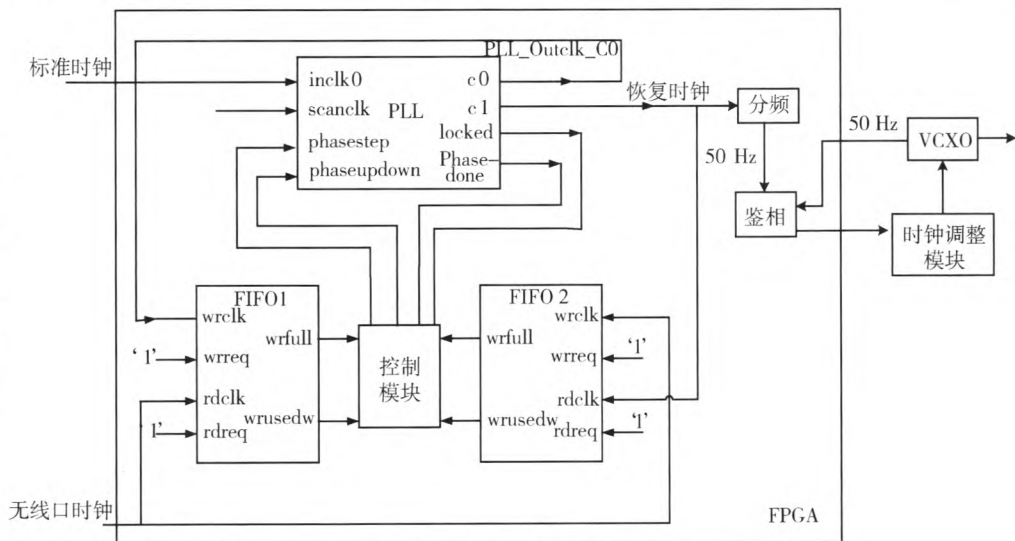


图3 FPGA 内部模块组成

UP,0 为 DOWN,且在 SCANCLK 上升沿寄存在 PLL 中。PLL 的输出端口:PHASEDONE 从低变高时表示相位调整完成,可以启动下一次动态相移;c0/c1 为输出时钟端口。在相位可调 PLL IPCORE 生成过程中需要配置 PLL 具有动态相位配置功能,且 c0 端口为输入标准时钟信号的 1 倍频,而 c1 端口设置的输出频率要与 c0 端口一致,如图 4 所示。

### 2.3 时钟恢复调整过程

可调相位 PLL 刚上电时,其输出就是输入标准时钟信号,也就是将标准时钟信号直接输出到 FIFO1 的写时钟端口 WR\_CLK 和 FIFO2 的读时钟端口 RD\_CLK,时钟提取模块输出的无线口时钟信号则同时输入到 FIFO1 的读时

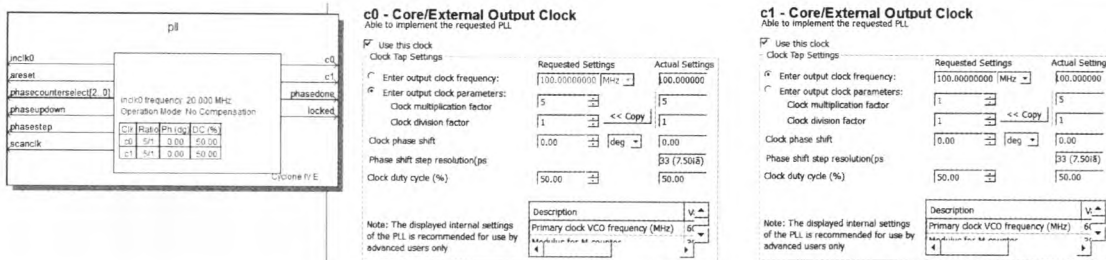


图4 PLL配置参数

钟端口 RD\_CLK 以及 FIFO2 的写时钟端口 WR\_CLK。

假设此时 FIFO1 中保存的数据个数为  $n_1$ , FIFO1 的存储深度为  $m$ , 即  $0 < n_1 < m$ 。FIFO1 在标准时钟信号上升沿的控制下进行数据写操作, 同时在无线口时钟信号上升沿的控制下进行数据读操作, 如果标准时钟信号比无线口时钟信号频率低, 则经过一段时间后, FIFO1 中存储的数据个数会变少, 甚至为

0 (即空); 如果标准时钟信号比无线口时钟信号频率高, 则经过一段时间后, FIFO1 中存储的数据个数会变多, 甚至为  $m$  (即满)。而

FIFO1 通过 wrusedw<sup>[5]</sup> 端口实时将其中保存的数据个数上报给相位调整控制模块, 上报的数据个数就能够反映无线口时钟信号与标准时钟信号的频率 (相位) 差异信息。相位调整控制模块在收到 FIFO1 上报的数据个数变少时, 据此判断出标准时钟信号比无线口时钟信号频率低, 则需提高恢复时钟信号的频率; 相位调整控制模块在收到 FIFO1 上报的数据个数变多时, 据此判断出标准时钟信号比无线口时钟信号频率高, 则需降低恢复时钟信号的频率, 即确定了对恢复时钟信号的频率调整方向。

假设 FIFO2 中保存的数据个数为  $n_2$  ( $n_2 < m$ ), FIFO2 在恢复时钟信号上升沿的控制下进行数据读操作, 同时在无线口时钟信号上升沿的控制下进行写操作, FIFO2 通过 wrusedw 端口实时将其中保存的数据个数上报给相位调整控制模块。当出现无线口时钟信号与恢复时钟信号的频率不同时, FIFO2 上报的数据个数就会发生变化, 此时需要调节。只要相位调整控制模块收到 FIFO2 上报的数据个数不是  $n_2$ , 即发生了变化, 相位调整控制模块就会根据由 FIFO1 确定的频率调整方向对恢复时钟信号的周期、占空比等进行调整, 使恢复时钟信号与无线口时钟信号频率一致。

例如: 图 5 中, 当无线口时钟信号出现脉冲连续空缺时, 需降低恢复时钟信号的频率, 假设恢复时钟信号原来的周期  $T = 10 \text{ ns}$ , 一个周期内高脉冲持续  $5 \text{ ns}$ , 低脉冲持续  $5 \text{ ns}$ , 则每次调整时钟频率的  $1/8$ , 直到 FIFO2 上报的数据个数不发生变化, 则停止对恢复时钟信号的调节。恢复

时钟信号在经过上述调节后会逐渐趋近于无线口时钟信号, 如图 5 所示, 虽然某些经过调整的周期长度与其他周期不同, 但是能够保证在比较长的一段

时间内, 恢复时钟信号与无线口时钟信号的脉冲个数相同, 即这两个信号的频率相同。实际中, 该时间的具体数值与 FIFO1、FIFO2 的存储容量大小有关。此外, 需要说明的是, 标准时钟信号与无线口时钟信号输入 FIFO1 的读、写时钟端口可以交换, 恢复时钟信号与无线口时钟信号输入 FIFO2 的读、写时钟端口也可以交换。

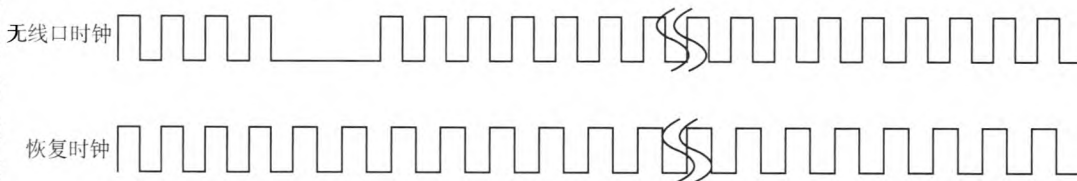


图5 恢复时钟示意图

### 3 结论

本文给出了一种基于 FPGA 的微波无线口时钟恢复的设计。该设计使用 FPGA 内的 PLL 和 FIFO, 实时调整时钟频率, 减少了 PLL 个数, 避免了 PLL 失锁及其引发的复位重新锁定过程, 提高了微波通信系统的稳定性, 降低了系统成本和复杂度。

### 参考文献

- [1] 李兵. 微波通信技术的发展与展望[J]. 电力系统通信, 2011, 32(12): 40-43.
- [2] Provigent Ltd. PVG610 Data Sheet PVG610\_DSH\_002\_I [Z]. 2009.
- [3] 李慧. 基于 VHDL 的小数分频器设计[J]. 微计算机信息, 2010, 26(10): 192-193.
- [4] Altera Corporation. Stratix IV Device Handbook Volume 1 [Z]. 2015.
- [5] Altera Corporation. SCFIFO and DCFIFO IP Cores User Guide [Z]. 2014.

(收稿日期: 2015-11-08)

### 作者简介:

张丽 (1982 -), 通信作者, 女, 硕士, 工程师, 主要研究方向: 无线通信系统中的 FPGA 设计及应用。E-mail: zss202@163.com。

徐妍 (1979 -), 女, 硕士, 高级工程师, 主要研究方向: 无线通信系统中的 FPGA 设计及应用。

马丽珍 (1978 -), 女, 本科, 工程师, 主要研究方向: 无线通信系统中的 FPGA 设计及应用。