

杭州电子科技大学

硕 士 学 位 论 文

题 目：多通道 SFP 光收发模块监测系统的设计与实现

研 究 生 _____ 刘 帅

专 业 _____ 微电子学与固体电子学

指导教师 _____ 洪 慧 副 教 授

完成日期 _____ 2015 年 3 月

杭州电子科技大学硕士学位论文

**多通道 SFP 光收发模块监测系统的设计
与实现**

研 究 生： 刘 帅

指导教师： 洪 慧 副教授

2015 年 3 月

Dissertation Submitted to Hangzhou Dianzi University

for the Degree of Master

**Design and realization of a multi-channel
SFP optical transceiver module
monitoring system**

Candidate: Liu Shuai

Supervisor: Associate Professor Hong Hui

March, 2015

杭州电子科技大学

学位论文原创性声明和使用授权说明

原创性声明

本人郑重声明： 所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。

申请学位论文与资料若有不实之处，本人承担一切相关责任。

论文作者签名：

日期： 年 月 日

学位论文使用授权说明

本人完全了解杭州电子科技大学关于保留和使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属杭州电子科技大学。本人保证毕业离校后，发表论文或使用论文工作成果时署名单位仍然为杭州电子科技大学。学校有权保留送交论文的复印件，允许查阅和借阅论文；学校可以公布论文的全部或部分内容，可以允许采用影印、缩印或其它复制手段保存论文。（保密论文在解密后遵守此规定）

论文作者签名：

日期： 年 月 日

指导教师签名：

日期： 年 月 日

摘 要

随着全球信息化、网络化时代的到来,高带宽、高速率网络通信逐渐融入人们生活,得益于此,光纤通信技术取得了十足的发展。作为光纤通信系统中不可或缺的功能模组,光收发模块也得到了越来越广泛的使用。为了满足市场化与人们的需要,高速和智能化已成为光收发模块迫切的发展方向。至此,带数字诊断功能的智能光收发模块由此诞生,利用该功能可以实时监测光收发模块工作性能参数,保证光通信系统的可靠性和安全性。

本文在研究 SFF-8472、小封装可热插拔(SFP-MSA)光收发器多源协议的基础上,所做的主要工作及成果如下:

(1) 设计并实现了一套实用的、可扩展的多通道 SFP 光收发模块监测系统。该系统使用 32 位微控制器实现对光收发模块性能参数(模块电压、温度、偏置电流、输出/输入光功率)的采集、分析与处理。在系统的显示、控制方案设计中,采用 26 万色触摸液晶屏对模块参数实时显示,并且设计了良好的人机交互界面,维护人员可通过点击触摸屏对系统进行操作,如:监测通道切换、模块信息录入、禁能/使能光收发模块等。为了对多路具有相同设备地址的光收发模块进行监测,系统中使用了切换通信总线物理通道的多机通信方式,达到多通道监测的目的。

(2) 以验证监测系统在实际光通信应用中的可行性为目的,论文中设计了一种 SFP 光收发模块通信平台,该平台由高速串并转换器(Serdes)、SFP 光收发模块电接口、并行总线输入/输出接口等构成,主要功能是实现低速并行信号与 SFP 光收发模块高速差分输入/输出信号之间的相互转换。在 PCB 设计方面,采用四层板实现,并且对 PCB 板中的并行信号线和高速差分线进行了仿真分析。使用光收发模块通信平台和待测光模块搭建了简易的点到点光通信链路系统,使待测 SFP 光收发模块处于正常及切合实际的工作状态。发送端并行信号通过通信平台和待测光模块转换为光信号,经过光纤传输到接收端,接收端光信号通过待测光模块和光通信平台转换为并行信号。

论文中使用光收发模块监测系统对处于光通信链路中的待测光模块进行实时监测和相关功能操作,测试结果表明:该监测系统工作状态稳定,测试结果良好,达到了对 SFP 光收发模块性能参数实时监测的目的。

关键词: 光收发模块, 数字诊断, 串并转换器, 高速差分线, 光通信

Abstract

With the arrival of the global information technology and the network era, high-bandwidth and high-speed network communication gradually integrate into people lives, thanks to this, optical fiber communication technology has made full development. As the core component of optical fiber communication network, optical transceiver module has been more widely used, in order to meet the market and people's need, high speed and intelligence has become the development direction of the optical transceiver module. Thus, optical transceiver module with digital diagnostic function has born, which could monitor the parameters of the optical transceiver module at the real time, this feature greatly simplifies the maintenance of the optical communication system, as well as ensuring the reliability and security of the communication link.

Based on the study of the agreements which include SFF-8472 and SFP-MSA, the main works and achievements as follows:

(1) The graduation thesis designs a multi-channel SFP optical transceiver module monitoring system, the advantage of it that is practical and scalable. The system uses the 32-bit microcontroller to monitor the parameters(module voltage、temperature、bias current、input/output optical power) of optical transceiver module. In the display、control program design, the graduation thesis uses 26 million color LCD touch screen to display parameters at the real-time and designs a wonderful interactive interface, the person could operate the system functions by tapping the touch screen, for example: switching the monitoring channel、entering the information of module、disable/enable the optical transceiver module and so on. In order to monitor multiple optical transceiver module which have the same address at the same time, the graduation thesis uses a multi-machine communication which is based on switching physical channel of communication bus to achieve multi-channel monitoring purposes.

(2) In order to verify the feasibility of the monitoring systems in the actual optical communication applications. The graduation thesis designs a communication platform for optical transceiver module. The platform consists of the high-speed Serdes、electrical connector of SFP optical transceiver and parallel interface and so

on, and its function is to achieve the conversion between the low-speed parallel signals and high-speed differential signals. Also it designs a four-layer PCB, as well as simulates the parallel signal lines and high-speed differential lines. And built a simple point-to-point optical communication link with platform and optical transceiver module, this makes SFP optical transceiver in a normal and realistic condition. Parallel signals are converted to optical signals by the communication platform and optical transceiver module, then the optical signals are sent to the receiver by optical fiber, and converted it to the parallel signals.

The graduation thesis uses the monitoring system to control the optical transceiver modules which in the optical communication link and gets the module parameters at real time, test results indicate that the monitoring system works stable and the test result is better, as well as reaches the purpose which monitors the parameters.

Keywords: Optical transceiver module, Digital diagnostic method, Serdes, High-speed differential lines, Optical communication

目 录

| | |
|--------------------------------|----|
| 摘 要 | I |
| Abstract..... | II |
| 第一章 绪论..... | 1 |
| 1.1 课题研究的背景和意义..... | 1 |
| 1.2 国内外研究现状 | 1 |
| 1.3 课题的研究工作和论文主要内容 | 3 |
| 第二章 带数字诊断功能的 SFP 光收发模块原理 | 5 |
| 2.1 带数字诊断功能的 SFP 光收发模块结构 | 5 |
| 2.2 数字诊断功能原理 | 6 |
| 2.3 相关协议及技术背景..... | 6 |
| 2.4 校准方式及监测参数..... | 8 |
| 2.4.1 内部校准和外部校准 | 8 |
| 2.4.2 SFP 光收发模块监测参数..... | 8 |
| 2.5 数字诊断功能用途 | 10 |
| 2.5.1 模块寿命预测..... | 10 |
| 2.5.2 故障定位 | 11 |
| 2.5.3 兼容性验证 | 11 |
| 第三章 多通道 SFP 光收发模块监测系统设计 | 12 |
| 3.1 监测系统硬件结构 | 12 |
| 3.2 监测系统接口总线 | 13 |
| 3.2.1 可变静态存储控制器接口总线..... | 13 |
| 3.2.2 安全数字输入输出接口总线 | 14 |
| 3.2.3 双线串行接口总线..... | 15 |
| 3.3 多通道电路结构设计..... | 17 |
| 3.3.1 传统多机通信电路结构 | 17 |
| 3.3.2 新型多机通信电路结构设计 | 18 |
| 3.4 监测系统硬件电路设计..... | 20 |
| 3.4.1 触摸液晶显示屏电路..... | 20 |
| 3.4.2 Micro TF 卡接口电路..... | 22 |
| 3.4.3 微处理器系统电路..... | 22 |
| 3.4.4 多机通信电路设计 | 24 |

| | |
|-------------------------------|----|
| 3.4.5 FPGA 系统电路 | 24 |
| 3.4.6 电源电路设计..... | 26 |
| 3.5 监测系统软件设计 | 28 |
| 3.5.1 系统软件拓扑结构..... | 28 |
| 3.5.2 监测系统逻辑控制流程设计 | 29 |
| 3.5.3 数值类型转换程序..... | 30 |
| 3.5.4 双线串行总线读写程序 | 34 |
| 3.5.5 数据录入程序..... | 35 |
| 第四章 SFP 光收发模块通信平台设计..... | 36 |
| 4.1 通信平台拓扑结构 | 36 |
| 4.2 串并转换器选型与介绍..... | 36 |
| 4.3 通信平台系统电路设计..... | 38 |
| 4.3.1 原理图设计工具介绍..... | 38 |
| 4.3.2 Serdes 发送端互连电路 | 39 |
| 4.3.3 Serdes 接收端差分端接电路..... | 42 |
| 4.3.4 Serdes 时钟输入电路 | 44 |
| 4.3.5 SFP 光收发模块接口电路设计 | 45 |
| 4.3.6 通信平台电源设计..... | 48 |
| 4.4 通信平台 PCB 板设计 | 49 |
| 4.4.1 PCB 板信号完整性分析..... | 49 |
| 4.4.2 PCB 板设计工具介绍 | 50 |
| 4.4.3 PCB 设计与板级仿真 | 51 |
| 第五章 SFP 光收发模块监测系统的测试和分析 | 59 |
| 5.1 测试平台与测试方案..... | 59 |
| 5.2 通信平台测试..... | 60 |
| 5.2.1 接收端并行信号测试..... | 60 |
| 5.2.2 FPGA 电平捕获测试..... | 61 |
| 5.3 监测系统测试..... | 63 |
| 5.3.1 监测参数显示..... | 63 |
| 5.3.2 通道切换和数据录入测试 | 65 |
| 5.4 小结..... | 67 |
| 第六章 总结与展望 | 68 |
| 6.1 总结..... | 68 |
| 6.2 展望..... | 69 |

| | |
|------------|----|
| 致 谢 | 70 |
| 参考文献 | 71 |
| 附 录 | 74 |

第一章 绪论

1.1 课题研究的背景和意义

随着英特网的飞速发展,通信技术取得了前所未有的进步,受电信网、广播电视网、互联网三网融合和移动互联网等新型应用对带宽需求的推动,当前网络带宽已不能满足人们对高速数据的需求。数据信息的传输、交换方式和通信链路系统正朝着光网络通信的方向发展。

相比其他有线通信,光纤通信具有传输容量大、保密性好等许多优点,已逐渐成为当前最主流的有线通信方式^[1]。同时,光接入网技术如雨后春笋般崛起,如:FTTH(Fiber To The Home, 光纤到户)、FTTB(Fiber To The Building, 光纤到大楼)、FTTC(Fiber To The Curb, 光纤到路边), FTTSA(Fiber To The Service, 光纤到服务区)等等^[2]。光收发模块作为光纤接入网中必不可少的组件,高普及率和使用率导致人们对其在速率、功能方面的要求愈发苛刻,在这样的大环境下,封装小型化、速率高速化和功能智能化已然成为了未来光收发模块的发展方向^[3]。

光收发模块由发射电路、接收电路和光接口等构成^[4]。光模块内的激光驱动器将电信号转换为调制光信号输出,接收端的光电探测器将光信号转换为微弱的电流信号,然后经跨阻放大器、限幅放大器放大后得到相应码率的电压信号,简单的说,光收发模块的作用是实现光信号与电信号之间的相互转换^[5]。

智能 SFP(Small Form Pluggable, 小型封装可插拔)光收发模块,既带数字诊断功能(Digital Diagnostic Monitoring, DDM)光收发模块,提供低速率电接口。SFF-8472 协议定义了光收发模块数据参数的存储地址和空间大小,在满足通信协议的基础上,外围测试平台系统可以按照标准通信协议与光收发模块进行数据信息的交换,从而实现对协议中规定的光收发模块的温度、供电电压、偏置电流、发射光功率和接收光功率的实时监测,通过对监测数据的分析判断,人们能够在第一时间发现光通信线路中的错误,这样大大提高了系统的可靠性,此外,用户和光收发模块厂商可以自定义产品信息、设置模块参数的警告/报警阈值^[6]。

1.2 国内外研究现状

器件与控制器之间通过标准的通信接口协议互连通信,实时的获取参数与故障信息,同时控制器不断的对参数进行分析与判断,实现对器件、模块的监测已经不再是新型技术。很多的模块器件厂商从上世纪 80 年代开始在一些对系统可靠性要求十分高的电信应用中采用各自独立的光发射机与光接收机,这样做的目的是为了能够实时的监测模块的各项参数,从而对光模块的工作性能进行评估。

与其类似的功能也被使用在集成光收发模块中。

上世纪 90 年代末, 在一些 SFF(Small Form Factor, 小型封装)的光模块中也开始对模块参数进行监测, 主要包括光模块发射光功率、接收光功率和偏置电流。光模块使用五个独立的管脚传输这些监测量, 该监测量并不是数字信号, 而是和电压或者电流成正比的模拟量, 所以开发人员需要对这些模拟信号进行采集, 然后转换成数字量用于系统后续分析操作, 例如: 存储、传输等。在对光模块参数的监测技术研究方面, 国外一直处于十分领先的地位。

2003 年, 光收发模块供应厂商 E20 推出了十分有竞争力的光收发模块。首先, 该模块的数据传输率最高可达 4.25Gbps, 同时支持三路不同的光纤通道速率可供用户自由选择, 分别为 1×、2×和 4×, 其次, 模块采用了 SFP 封装, 工作波长为 850nm, 最主要一点是内部带有数字诊断功能^[7]。

2003 年 5 月, 为了满足企业网与光纤通道存储网的需要, 安捷伦(Agilent)公司推出了带有数字诊断接口、兼容 SFF-8472 MSA 协议的小型封装可插拔(SFP)光收发模块。另外, 该系列模块支持多速率操作。

随着人们对数据传输带宽的要求越来越苛刻, 低速率的光收发模块已不能满足系统需求, 英飞凌(Infineon)于 2003 年推出了兼容千兆以太网以及光纤通道应用的光收发模块, 模块的数据传输率可达到 4Gbps, 同时带有数字诊断功能和速率的自选择功能。

2004 年 9 月, 全球最大、技术最先进的光通信器件供应商菲尼萨(Finisar)在 SFP 光收发模块原有的数字诊断功能的基础之上推出了具有更强大的数字诊断功能的光收发模块, 并且功耗较低。这类模块相比传统的带有数字诊断功能的光收发模块而言, 起到了对通信网络更好的监测效果, 并且用户可以根据需求自行增加诊断功能。

2006 年, 光模块公司 OCP 推出了带有数字诊断功能的光收发模块, 它们的优势在远距离传输上面, 传输距离为 80 公里到 200 公里不等, 同时该系列产品支持 SONET、SDH 及以太网多种协议。

2008 年 1 月, 安华高(Avago)科技推出了支持 10Gbps 数据传输率、甚短距离通信的 SFP+光收发模块, 同时带有相应的数字监测接口, 这款产品的推出使得光收发模块向智能化和高传输率方向又迈出了一大步^[8]。

2008 年 7 月, 泰科电子(TE Connectivity)面向全球光通信市场推出了 SFP+ 产品系列, 能够满足 8Gbps 光纤通信和 10Gbps 以太网通信链路, 并且完全符合 SFF-8432 协议规范。

近几年来, 国内的一些光器件厂商也陆续推出带有数字诊断功能的光收发模块, 国内一些高校在这方面也有深入的研究。

在研究带有数字诊断功能的光收发模块方面，国内对 SFP 光收发模块的研究和发展速度相对较慢，即便是在这种十分不利的大环境下，众多的光通信器件公司也取得了傲人的成绩，例如武汉电信器件公司(WTD)于 2006 年推出了 2.5Gbps 数据传输率、120km 传输距离的 SFP 光收发模块。2009 年，新飞通也相继推出了自主研发的 XFP 光收发模块，传输距离可达 40 公里，甚至 80 公里。苏州旭创科技在 2009 年推出 10Gbps 光模块的同时，也研发了基于 Labview 的光模块测试系统。2011 年，武汉华工正源光子技术有限公司也研发出了相应的 XFP 和 SFP+等多个系列的光收发模块产品。

1.3 课题的研究工作和论文主要内容

本课题需要实现的总体目标是在研究 SFF-8472 和 SFP-MSA 协议的基础上，设计一种多通道 SFP 光收发模块监测系统，通过该系统可以同时有多路 SFP 光收发模块数字诊断部分参数进行实时监测，包括模块温度、偏置电流、供电电压、输入光功率和输出光功率。系统维护人员根据监测数值情况判断光通信线路的正常与否，准确定位故障点，这种方法大大缩短了系统维护时间，提高了工作效率。并且可以离线配置光收发模块存储空间中的寄存器值，例如模块参数的警告/报警阈值、产品信息等。

为了验证监测系统在实际光通信应用中的可行性，同时设计了一种 SFP 光收发模块通信平台，并使用该平台搭建了简易的点对点光通信链路，在 SFP 光收发模块工作在正常状态下时，通过监测系统对光模块参数进行实时监测、分析和处理。

论文工作前期对光纤通信技术、光器件、SFF-8472 和 SFP-MSA 协议及 SFP 光收发模块数字诊断原理进行了理论学习，其次重点研究了 SFP 光收发模块的电路构成与相关芯片的工作原理和内部电路结构；工作中期对监测系统进行需求分析与设计，包括监测系统硬件电路设计和底层通信接口驱动、多通道切换、人机交互界面及控制流程代码设计，此外，在监测系统中移植了 FATFS 嵌入式文件系统实现多通道数据录入。工作后期在学习信号完整性的基础上对通信平台进行构思、设计与板级仿真，并与监测系统进行联合调试。

全文一共分为 6 章，各章的具体内容如下：

第一章 绪论，介绍了课题研究的背景意义，国内外在 SFP 光收发模块领域的研究现状及论文的主要工作内容。

第二章 带数字诊断功能的 SFP 光收发模块原理，从 SFP 光收发模块的组成结构出发，对相关协议及数字诊断功能进行了深入研究，同时分析了对光收发模块参数进行监测的重要性。

第三章 多通道 SFP 光收发模块监测平台设计，包括硬件电路设计和相应程

序设计。

第四章 SFP 光收发模块通信平台设计，主要包括串并转换器(Serdes)发送、接收端等电路设计及通信平台 PCB 板级仿真。

第五章 SFP 光收发模块监测系统和通信平台的联合测试与分析，主要包括监测系统中 SFP 光收发模块参数的实时监测显示、通道切换、数据录入等功能测试及通信平台中串并转换器解串输出波形和固定码值捕获测试。

第六章 总结与展望，对论文所做的工作进行总结，并且提出论文中的不足之处，对下一步的改进工作提出了展望。

第二章 带数字诊断功能的 SFP 光收发模块原理

2.1 带数字诊断功能的 SFP 光收发模块结构

带数字诊断功能 SFP 光收发模块拓扑结构如图 2.1 所示，模块主要由发射部分、接收部分和数字诊断部分组成。

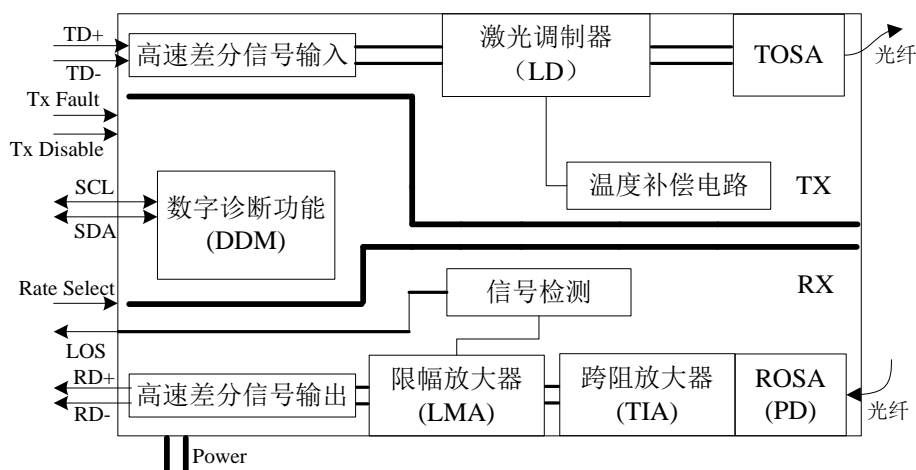


图 2.1 带数字诊断 SFP 光收发模块结构框图

光收发模块的发射部分主要由高速差分信号输入单元、激光调制器单元和 TOSA (Transmit Optical Sub-Assembly, 光发射组件) 组成。TOSA 是一种光发射器件，其功能是把电信号转换为光信号。其中 TD-、TD+ 为高速差分数据输入端，模块发射部分将带有数据信息的高速差分电信号通过激光调制器和 TOSA 转换成对应的光信号，并通过合乎规格的光纤将其传输出去。由于激光驱动器和 TOSA 一直工作在高速状态下，导致芯片的发热量较大，外加上 TOSA 主要为半导体器件，温度对其性能有着很大的影响，导致输出的光功率和信号质量与正常工作状态下存在很大差异，所以需要在发射部分引入温度补偿电路，保证光模块的工作性能。

光信号通过光纤传输到模块接收部分的 ROSA (Receiver Optical Sub-Assembly, 光接收组件)，ROSA 为光收发模块重要组件之一，将光电探测器进行特定封装，作用是把光信号转换成带有信息的微弱电流信号。TIA 将电流信号转换成电压信号，TIA 在保证较大传输带宽的同时很难有较大的电压放大倍数，导致电压信号不能达到高电平值，所以利用 LMA 将 TIA 的输出信号进一步放大，保证最终输出的高速差分信号无误。当接收光功率低于模块规定的接收端的最小灵敏度时，信号检测部分会输出异常电平。SFP 光收发模块实物图如图 2.2 所示。



图 2.2 SFP 光收发模块实物图

2.2 数字诊断功能原理

根据 SFF-8472 协议规定的 SFP 光收发模块数字诊断功能，即对光收发模块温度、内部供电电压、发射偏置电流、输出光功率和接收光功率进行实时监测，并且，用户可自定义产品信息和监测参数的警告/报警阈值，与此同时，通过 SFP 低速电接口可使能/禁能光模块输出、获取模块发射端输出状态和接收光功率状态及选择光模块数据传输率。

2.3 相关协议及技术背景

协议标准在各行各业都扮演着非常重要的角色，尤其在通信领域，例如所熟知的 SPI、IIC 协议等，只有通信双方或者多方达成某种协议，才可以正常通信。SFP 光收发模块也不例外，它主要包括 SFF-8472 和 SFP-MSA 协议。

| 地址A0h区 | 地址A2h区 |
|-----------------|-------------------|
| 模块序列号 (96字节) | 警告和报警阈值 (56字节) |
| 用户自定义 (32字节) | 计算常数区 (40字节) |
| 保留空间 (128字节) | 实时诊断接口 (24字节) |
| | 用户自定义 (8字节) |
| | 用户可写空间 (120字节) |
| | 用户自定义 (8字节) |

图 2.3 光收发模块地址及存储区域划分

SFF-8472 协议规定了光收发模块数字诊断功能信息，主要包括光模块设备地址、寄存器地址和存储空间大小，模块地址及空间大小划分如图 2.3 所示。SFP 光收发模块的设备地址为 0xA0，存储数据空间大小为 256 字节，主要分为 3 部分，分别为模块序列号、厂商定义的模块信息和可供用户扩展的 128 字节的保留空间。地址 0xA2 由 256 字节组成，主要分为警告和报警阈值存储区域、校准常

数存储区域、数据实时采集存储区域、设备厂商数据指定区域和用户使用区域。用户可根据协议规定的双线串行接口读取光收发模块寄存器中的数据，并设计相应算法将其转换为实际数值^[9]。

SFP-MSA 协议规定了可插拔光收发模块的共同特征，主要在电气和物理特性方面，包括：模块封装尺寸大小、SFP 电接口、主板 PCB 设计信息等^[10]。光收发模块与通信主板电接口如图 2.4 所示。

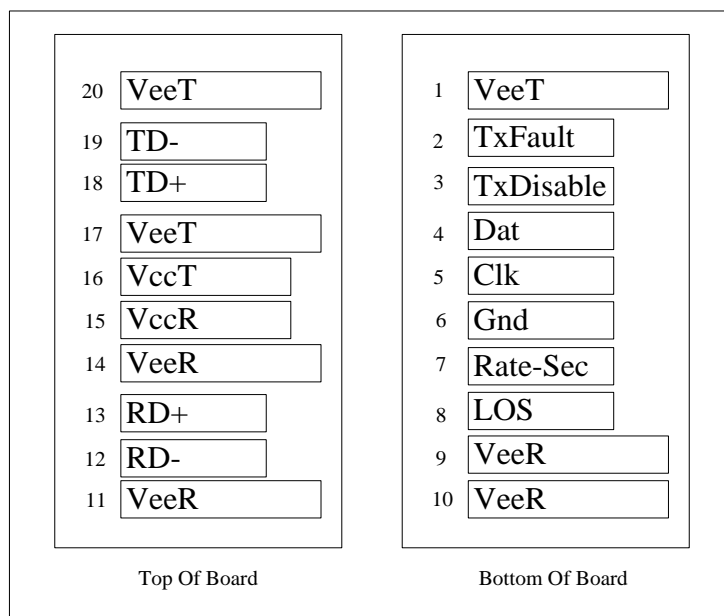


图 2.4 SFP 光收发模块电接口

VeeT、VeeR、VccT、VccR：光收发模块发射部分和接收部分地和电源管脚。SFP 光收发模块上电顺序依次为地线、电源线和信号线，所以从图 2.4 中可以看出封装管脚长度地线(VeeT、VeeR)最长，电源线(VccT、VccR)居中，信号线最短。

TxFault：模块发射端异常指示管脚，开漏/开集输出，该管脚需要连接 4.7K~10K 欧姆的上拉电阻。当激光驱动器发生了某些故障时 TxFault 置为高电平，低电平表示工作正常，输出电压小于 0.8V。

Tx Disable：模块输入管脚，控制发射部分的光信号输出，高电平有效。

LOS(Loss Of Signal)：信号丢失指示管脚，高电平输出表示接收到的光功率低于标准所定义的光功率最小值，低电平为正常工作状态。

RD-/+：模块接收电路差分信号输出，由于传输线差分阻抗是 100Ω，则当其与主板上的串并转换(Serdes)进行交流耦合时需要端接 100 Ω 的终端电阻进行阻抗匹配。

TD-/+：模块发射电路差分信号输入，需要使用 100 Ω 电阻进行差分端接，达到阻抗匹配，减少信号反射。

Mod-Def 2、1、0：模块数据线、地址线和地线，管脚在主板上需要进行上拉处理，保证正常通信，在满足所规定的通信时序的前提下，通过数据线和地址

线可以读取光收发模块 0xA0 与 0xA2 地址区域的数据，达到对模块参数实时监测的目的。

2.4 校准方式及监测参数

2.4.1 内部校准和外部校准

SFF-8472 规定光收发模块校准分为“内部校准”和“外部校准”，通过改变模块 A0 区域中寄存器地址 0x92 的第 5 位和第 4 位选择模块的校准方式。光收发模块中将接收/发射光功率等参数由模拟量转换为数字量进行存储，但是模块内部 A/D 转换往往不那么准确，所以在光模块内部需要采用校准方式对数值进行校准处理。

内部校准：采用内部校准，监测值可被校准为绝对值，从 SFP 光收发模块数字诊断区域的寄存器中读取出来的数值为实际数值，包括 SFF-8472 协议规定的光模块工作电压、温度、偏置电流、输出光功率和接收光功率^[11]。

外部校准：采用外部校准时，模块监测值是没有经过校准的模/数转换数据，要想得到实际值，需要读取光模块内部地址为 A2h 的第 56~95 字节的校准常数，然后将其带入参数公式，进行大量的数据运算后得到实际监测值^[12]。

2.4.2 SFP 光收发模块监测参数

根据 SFF-8472 协议规定，模块采用的校准方式不同，对每个参数所采用的校准算法也存在很大差异。

(1) 内部校准

光收发模块内部温度。用一个 16bit 有符号数表示，实际温度值的最小增量为 $1/256^{\circ}\text{C}$ ，等效为寄存器的 LSB，模块总的温度范围从 -128°C 到 $+128^{\circ}\text{C}$ 。温度的精度由光收发模块生产厂家而定，前提是误差范围需要满足 $-3^{\circ}\text{C} \sim +3^{\circ}\text{C}$ 。通过查看模块温度传感器可得到温度控制范围细节特征。

光收发模块供电电压。用一个 16bit 无符号数表示，模块总的电压范围为 $0 \sim +6.55\text{V}$ ，当由 16bit 数值表示其电压值时，LSB 等效为 $100\mu\text{V}$ ，光收发模块厂家会根据实际情况规定模块工作电压范围，精度需要控制在电源电压的 $-3\% \sim +3\%$ 的范围，在一些光收发模块内部，发射电路和接收电路的供电电压是分开的，这种情况下，只能监测一个电压值。

模块发射部分的偏置电流。SFF-8472 协议规定光收发模块偏置电流以 μA 为单位，使用一个 16bit 无符号整型数表示偏置电流大小，寄存器对应的总的整数数值范围为 $0 \sim 65535$ ，LSB 等效为 $2\mu\text{A}$ ，光收发模块偏置电流的量程范围为 $0 \sim 131\text{mA}$ ，光收发模块厂商需要根据实际情况规定模块偏置电流大小，精度需要控制在 $-10\% \sim +10\%$ 。

光收发模块输出光功率。用一个 16 位无符号整型数表示输出光功率大小，其对应的整数数值范围是 0~65535，LSB 等效为 0.1uW，总的输出光功率范围大小为 0~6.5535mW，在所规定的温度和电压下，光收发模块生产厂商需要将误差范围控制在-3dB~+3dB。

光收发模块接收光功率。可以根据模块 A0h 地址的第 92 个字节的第 3 位选择所监测的数值是平均接收光功率还是光调制幅度(OMA)。通过一个 16bit 无符号整型数据表示待监测参数值，总的数值范围为 0~65535，LSB 等效为 0.1uW，则总的接受光功率范围为 0~6.5535mW。接收光功率的绝对精度依赖于精确的光波长，在规定的温度和电压下，误差范围应该控制在-3dB~+3dB。

(2) 外部校准

寄存器内部存储的是光收发模块未经过校准的 A/D 采集的值，操作人员需要根据存储在 A2h 地址区域中的 56~95 字节校准常数，并依照一定的运算公式，转换为实际的数值，校准需要在特定的温度和电压下进行。光收发模块参数的警告和报警阈值同样以 16bit 数值进行存储。

光收发模块内部温度。模块温度 T，由式(2.1)定义：

$$T(C) = T_{slope} * T_{AD} + T_{offset} \quad (2.1)$$

模块温度值的最小数值量为 1/256℃，总的温度范围是-128℃到+128℃。 T_{slope} 和 T_{offset} 的数值可以通过地址区域为 A2h 的第 56~91 个字节获得，在指定的模块温度和供电电压下，光收发模块的温度误差范围应该控制在-3℃~+3℃。

光收发模块供电电压。模块内部供电电压单位是伏特(V)，可以通过式(2.2)获得模块供电电压，最小单位是 uV。

$$V(uV) = V_{SLOPE} * V_{AD} + V_{OFFSET} \quad (2.2)$$

模块供电电压的最小数值量为 100uV，总的电压范围是 0~6.55V，通过 A2h 中指定的地址区域获得 V_{SLOPE} 和 V_{OFFSET} 的值。光收发模块生产厂商需要将电压误差范围控制在模块正常供电电压的-3%~+3%。在一些光收发模块中，发射电路的供电电压和接收电路的供电电压被隔离开。所以，只可能有一路电压被实时监测。

光收发模块发射电路偏置电流。偏置电流单位为 uA，由式(2.3)可以获得偏置电流实际数值大小。

$$I(uA) = I_{SLOPE} * I_{AD} + I_{OFFSET} \quad (2.3)$$

电流结果的最小值为 2uA，模块总的电流范围是 0mA 到 131mA，通过 A2h 中指定的地址区域获得 I_{SLOPE} 和 I_{OFFSET} 的值。模块生产厂商可以调整偏置电流大小，前提是需要将精度控制在-10%~+10%以内。

光收发模块的输出功率。模块发射部分的输出光功率为**TX_PWR**，单位为 uW，可由式(2.4)获得。

$$\text{TX_PWR(uW)} = \text{TX_PWR}_{\text{SLOPE}} * \text{TX_PWR}_{\text{AD}} + \text{TX_PWR}_{\text{OFFSET}} \quad (2.4)$$

总的输出功率的范围为 0~6.5mW，在总的量程范围内，输出功率的最小值为 0.1uW。通过 A2h 中指定的地址区域可以获得**TX_PWR_{SLOPE}**和**TX_PWR_{OFFSET}**的值。值的设置由模块生产厂商决定，但是误差范围需要控制在-3dB~+3dB。当发射电路被禁能后数据是无效的。

模块接收光功率。接收光功率通过**Rx_PWR**表示，单位为 uW，并通过下面公式可以获得模块接收光功率数值大小。

$$\begin{aligned} \text{Rx_PWR(uW)} = & \text{Rx_PWR}(4) * \text{Rx_PWR}_{\text{AD}}^4 + \\ & \text{Rx_PWR}(3) * \text{Rx_PWR}_{\text{AD}}^3 + \\ & \text{Rx_PWR}(2) * \text{Rx_PWR}_{\text{AD}}^2 + \\ & \text{Rx_PWR}(1) * \text{Rx_PWR}_{\text{AD}}^1 + \\ & \text{Rx_PWR}(0) \end{aligned} \quad (2.5)$$

总的功率范围是 0~6.5mW，其最小量程单元为 0.1uW，通过 A2h 中指定的地址区域可以获得**Rx_PWR(4~0)**的值。它的绝对精度依赖于准确的光波波长。在某些特定的波长下，接收光功率精度范围应该控制在-3dB~+3dB，这种精度应该保证输入光功率小于模块中发送和接收电路所允许的最大光功率值。

2.5 数字诊断功能用途

光收发模块在光通信系统中是必不可少的，在高带宽、高数据传输率和环境十分恶劣的通信情况下都会采用光纤通信，所以光模块的工作性能很大程度上决定了系统通信质量的好坏，系统维护人员可以利用光收发模块的数字诊断功能监测模块参数，从而可以对模块工作寿命进行预测、通信链路故障定位和兼容性验证。论文中设计的监测系统可以脱离 PC 对光收发模块参数进行分析和处理。

2.5.1 模块寿命预测

SFP 光收发模块的工作寿命和很多因素有关系，在预测模块有效的工作时长的时候需要结合多种监测参数考虑。首先，偏置电流大小直接影响激光驱动器的性能，它的改变会导致输出光功率变化。由于半导体器件随着使用时间的变长会慢慢老化，导致器件的 I/V 特性异常致使偏置电流浮动很大，所以可以根据监测到的偏置电流和标准值对比估算模块的使用时间，判断是否需要对其更换。另外，

光收发模块使用时间过长也会使模块供电电压和温度发生较大变化,则系统维护人员还可以对该监测值进行分析判断模块使用寿命。

2.5.2 故障定位

通信系统的组成包含发送端、接收端和传输媒介,三者中任意一部分出现了问题,通信都会中断。短距离、点对点的通信很容易检查出故障点,但是当前通信系统相当复杂,人工检查链路错误的办法效率太低甚至很难查出问题所在。在系统的发送和接收端对光收发模块的发送光功率、输出光功率、模块温度、工作电压和偏置电流进行综合分析,判断故障点。

2.5.3 兼容性验证

光收发模块的兼容性验证是在当前的工作状态下,对比模块监测值和数据手册所给参数,判断两者是否符合。如果在模块使用中发现温度过高、偏置电流过小等现象导致输出光功率、接收光功率和标准值相差较大,使数据传输错误。则可能是模块和当前的工作环境不相匹配。

第三章 多通道 SFP 光收发模块监测系统设计

监测系统硬件平台拓扑结构如图 3.1 所示，主要分为微处理器单元和 FPGA 单元。

图 3.1 监测系统硬件结构

本文中通过引入触摸显示屏显示 SFP 光收发模块监测值和使用微处理器对数值进行分析、操作的方法取代了通过上位机来实现该功能的传统方式。另外，由于协议规定 SFP 光收发模块有固定的模块器件地址，则通过寻找器件地址的方法组成多机通信系统达到同时对多个模块进行监测的途径是行不通的，这也是传统的多机通信方式导致每次只能对一个光模块进行监测的弊端，论文中引入如上图 3.1 所示的锁存器和八通道模拟开关对光模块数据线和地址线进行物理通道的切换，达到同时对多个模块进行监测的目的，只需要触碰在触摸屏中设计的可视化界面即可完成模块监测通道切换，无需操作人员对光收发模块进行手动更换，使开发效率大大提高。根据前文对 SFF-8472 协议的介绍，SFP 光收发模块中指定的地址存储区域需要包含模块厂商信息等内容，在模块信息录入方面，论文中使用单片机读取 Micro TF 卡中指定内容，然后将数据传输给指定的光收发模块。

8 路 10bit 并行输入数据，对 10Bit 并行数据的接收也存在同样的限制条件。最后决定在监测系统中提供两路 10bit 并行输出数据给串并转换器，同时接收两路串并转换器解串输出的 10bit 并行数据，如上图所示的并行总线接口 A 和 B。8 路光收发模块数字诊断通道分别为监测接口 A、监测接口 B，DDM1 到 DDM6。此外，串并转换器支持多种操作模式，在论文所设计的监测系统中留有串并转换器模式控制接口，如上图中的 Serdes 模式控制 A 和 B，可以通过单片机控制其工作模式。

3.2 监测系统接口总线

3.2.1 可变静态存储控制器接口总线

从监测系统硬件结构图 3.1 中可以看出，微处理器(MCU)系统与触摸显示屏采用 FSMC 接口进行通信。

FSMC 是意法半导体(ST)公司推出的基于 Cortex-M3 内核的 32 位微控制器 STM32 系列采用的一种新型存储器扩展技术，FSMC 之所以称其为“可变的”，主要原因在于通过对该控制器内部特殊功能寄存器的设置，FSMC 能够针对系统所接入的外部存储器类型，发出满足条件的地址、数据以及控制信号，同时也可以根据存储器类型对数据传输速率进行调整^[13]。

通过 FSMC 支持多种静态存储器类型这个特点，STM32 系列微处理器可以与 ROM、NOR Flash 等存储器的引脚直接相连。FSMC 支持同时扩展多种存储器，从 FSMC 的角度看，可以把外部存储器划分为固定大小为 256M 字节的四个存储块，如图 3.2 所示。

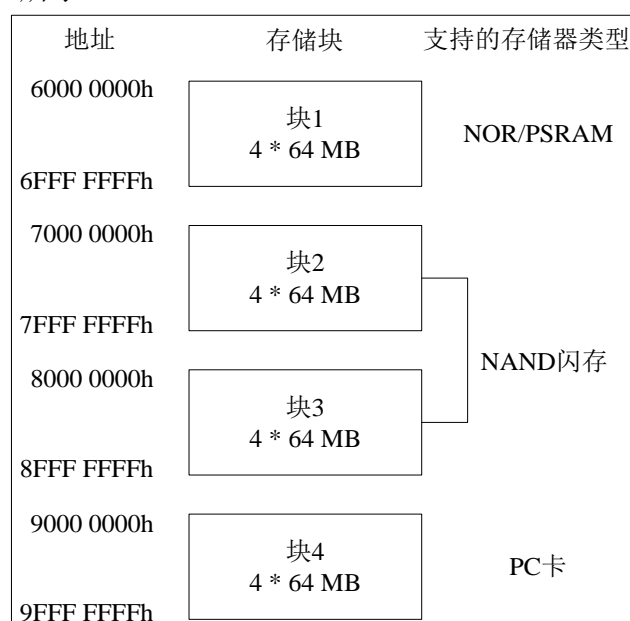


图 3.2 FSMC 存储块结构

不同的映射地址所对应的存储器不同，具体对哪一块区域进行访问，或者对

指定的存储器进行读写操作，只需要用户对特定寄存器进行配置即可，例如：地址 0x90000000~0x9FFFFFFF 为 PC 卡所在空间范围，则通过 FSMC 对 PC 卡进行访问时只需要将地址配置为该区域的即可。

如上所述的存储块都有独立的片选控制信号。并且访问存储器的时序是可以编程进行改变的，目的是用来支持各种不同的存储器件，主要从以下几个方面进行调整改变：等待周期、总线恢复时间、输出使能和写使能延迟时间、独立的读写时序和传输协议，同时支持宽范围的存储器和时序。

触摸液晶显示屏内部存在 GRAM，可以将其理解为显存，在显示过程中，如果系统掉电，则 GRAM 中的数据会消失。微控制器驱动 LCD 时，通过 FSMC 接口访问外部 GRAM 存储器，从 FSMC 存储结构图中可以看出，LCD 所映射的地址区域为第一块 0x60000000—0x6FFFFFFF。FSMC 提供了所有的 LCD 控制器信号，包括数据总线、器件地址、使能以及片选。

FSMC 接口大大提高了微处理器对 LCD 的刷新速率，使监测系统的人机交互界面更加完美，对 SFP 光收发模块的通道切换、数据录入等操作更加流畅。

3.2.2 安全数字输入输出接口总线

从监测系统硬件结构图中可以看出，微处理器(MCU)系统与 Micro TF 卡之间通过 SDIO 接口通信。通过 SDIO 访问的是 SD 卡，按照常规定义 SD1.0、SD2.0 这些本来是存储记忆卡的标准，对存储卡的访问都需要按照标准执行，但是现在把 SD 卡和一些外围接口进行合并处理，然后投入使用，这样的技术就是 SDIO。支持 SDIO 接口的卡主要分为 SDIO 卡、SD 存储卡、多媒体卡(MMC)，如图 3.3 所示。

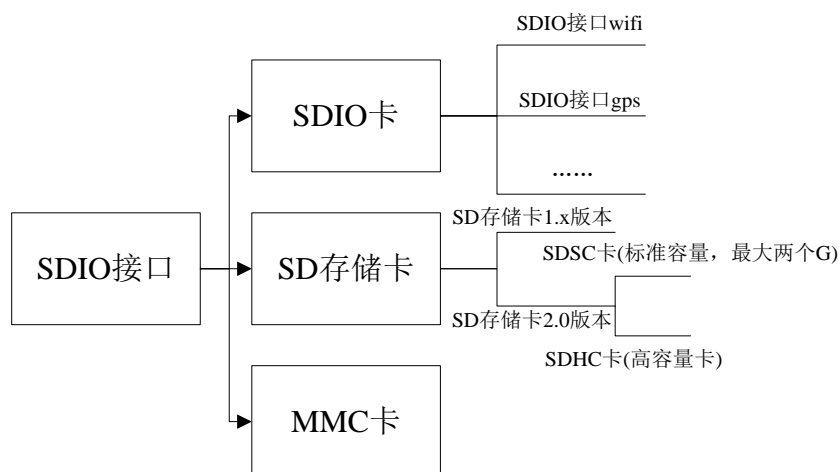


图 3.3 SDIO 接口卡分类图

SDIO 协议是由 SD 卡的协议演变而来，所以在很多地方都保留了原来 SD 卡读写相关的协议。其中 SDIO 相比 SD 卡协议而言增加了低速设备标准，低速卡主要的应用目的是通过在系统中引用最少、最小的硬件来支持低速 IO 的数据

传输能力。SDIO 总线和 USB 总线较为相似，都有两端设备，即主机端(HOST)和设备端(DEVICE)，采用这种端接方式进行通信，大大简化了通信系统对设备的要求。

SD 协议规定了三种传输模式，即 SPI 模式、1 bit 数据传输模式和 4 bit 数据传输模式，SDIO 同样支持以上三种数据传输模式，通过对存储卡内指定寄存器进行配置选择特定的数据传输模式。SDIO 接口对存储卡进行操作的流程为：首先每一次读、写命令操作都需要由 HOST 发送命令，设备给与相应值的反馈，同时主机根据返回值判断设备状态，当 HOST 收到设备返回的信号后，会将数据通过数据线发送给从机，不同的命令对存储卡的操作也不同。

在论文中为了实现对 SFP 光收发模块中指定地址空间进行数据的离线录入，则选择 Micro TF 卡作为存储数据的媒介，将模块的数据信息存储在存储卡中，用户可以自行将数据录入模块，这种方式避免了使用 PC 进行数据录入的复杂性和不便性。

3.2.3 双线串行接口总线

双线串行接口总线即 IIC 总线，是一种高性能的串行接口总线。

IIC 串行总线由数据线 SDA 和时钟线 SCL 组成。当多个设备用 IIC 总线进行数据传递时，各个设备的数据线 SDA 都需要接到总线的 SDA 上，然后由主机进行分配控制，时钟线 SCL 和数据线 SDA 一样。IIC 总线接口电路输出端为漏极开路(OD)输出或者集电极开路(OC)输出，其中 SDA 和 SCL 总线都是双向的，主机和从机设备都可以通过 SDA 总线进行数据的收发，主机需要检测总线上 SCL 电平状态，决定什么时候发送下一个时钟脉冲，同时从机设备也可以向 SCL 总线发送低电平信号用来延长总线时钟信号周期，总线空闲时，因为挂接在总线上的各个设备都是 OD 输出，则上拉电阻使 SDA 和 SCL 都保持高电平，当总线上的任一设备输出低电平时，总线对应的信号线将变低^[14]。

设备使用 IIC 总线进行数据传输由主机进行控制。主机向具有固定地址的从机发送起始信号、数据信号和结束信号，从机设备给与相应的应答和有效信息数据的传递。

当主机设备与从机设备使用 IIC 总线传输数据的过程中，需要规定标准的通信协议，通信时序如图 3.4 所示。

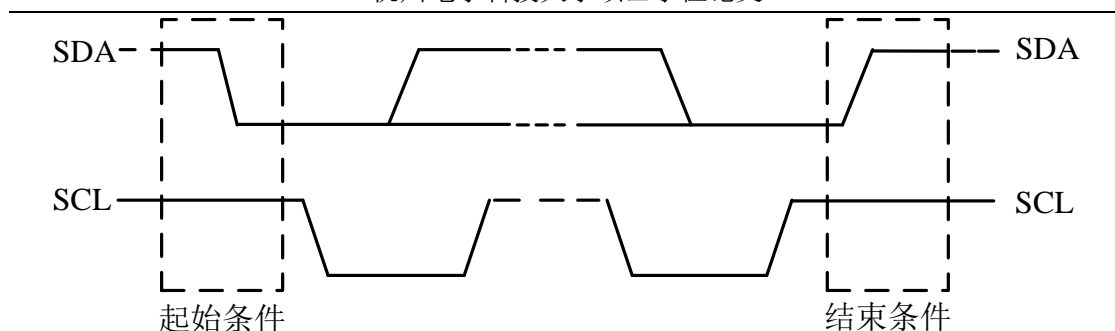


图 3.4 IIC 总线起始和结束信号时序

SCL 保持高电平且 SDA 由高电平变为低电平为起始条件，SCL 保持高电平且 SDA 由低电平变为高电平为结束条件，开始和结束信号都是由主机产生，每进行一次完整的数据传递都需要发送起始和结束信号。在数据传输过程中，SDA 线上的数据在 SCL 为高电平期间为稳定状态，只有当 SCL 线上的时钟信号为低电平时，数据线上的高、低电平状态才可以改变。

IIC 规定了数据传输的字节长度必须为 8 位，另外每次传输的字节数是不受限制的，在对操作时序进行编程处理时，需要注意 SDA 线每传输完一个字节的数，从机必须要返回一个应答信号 ACK，图 3.5 所示为 IIC 总线传输完一个字节数据后的时序图。

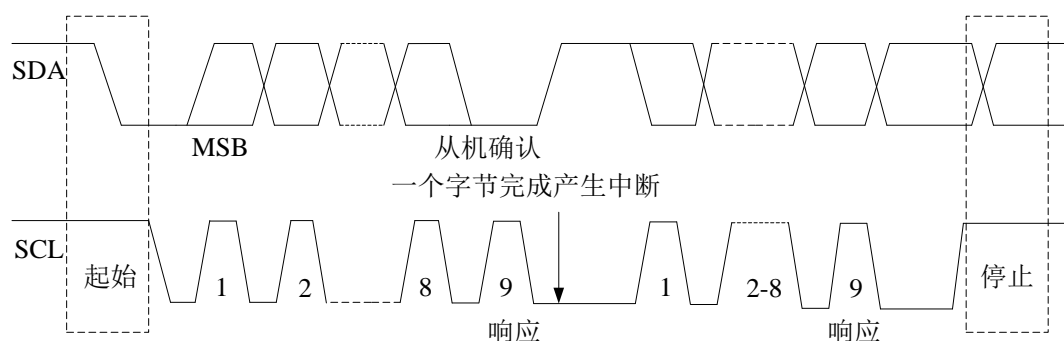


图 3.5 IIC 多字节传输时序图

在论文中，MCU 通过 IIC 总线与 SFP 光收发模块通信，读取 SFF-8472、SFP-MSA 协议中规定的器件地址为 0XA0、0XA2 处的模块信息，一帧数据构成如图 3.6 所示。

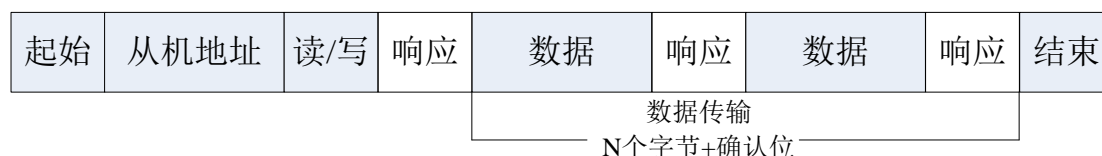


图 3.6 一帧数据信息构成

如上对 IIC 通信协议所描述，一帧数据都是以主机发送起始信号开始，主机需要发送从机地址进行通信握手操作，然后是读写命令，紧接着为数据信息，如果是多字节传输则需要在传输完单字节后 SCL 线低电平应答，最后以主机发送

结束信号为 IIC 通信终止。

3.3 多通道电路结构设计

微处理器系统与 SFP 光收发模块采用双线串行接口总线进行通信，并且 SFF-8472 协议规定，所有的 SFP 光收发模块都具有相同的器件地址，所以区分设备地址进行多机通信的这种方式是行不通的，在论文中设计了对不同 SFP 光收发模块的 SDA 和 SCL 总线分别切换的方法弥补了前者的不足，从而实现对多个光收发模块的监测。

3.3.1 传统多机通信电路结构

在通信系统中，都需要设备满足一定的通信协议才可以进行正常通信，对 SFP 光收发模块的监测需要满足 IIC 通信协议，后文进行的多机通信的分析都是基于 IIC 通信的。IIC 通信需要有主机和从机设备，在监测系统中主机为微处理器(MCU)，从机为 SFP 光收发模块。当通信链路中只有一个主机和一个从机通信时，主机只需要往固定器件地址的从机发送信息即可，这种通信模式称为点到点(Point-to-Point)通信。

在实际应用中，Point-to-Point 通信很难满足系统需求，假如一个系统中有 10 个从机设备，按照 Point-to-Point 的方式，就得给 10 个从机提供 10 个主机，然后将 10 对系统组成一个较大的通信网络，这种方式实质上是行得通的，但是使得开发成本和周期大大提高，并且也难以维护，一旦通信系统出了问题很难在第一时间找出，所以系统鲁棒性不强。为了解决这种问题，提出了多机通信的概念。

多机通信为一个主机和多个从机之间的通信或者多个主机和多个从机之间的通信，在论文所设计的监测系统中只有一个主机，所以只对一个主机和多个从机之间的通信进行分析设计^[15]。论文中称这种通信方式为“一主多从”，也是传统的多机通信方式。“一主多从”通信拓扑结构如图 3.7 所示。

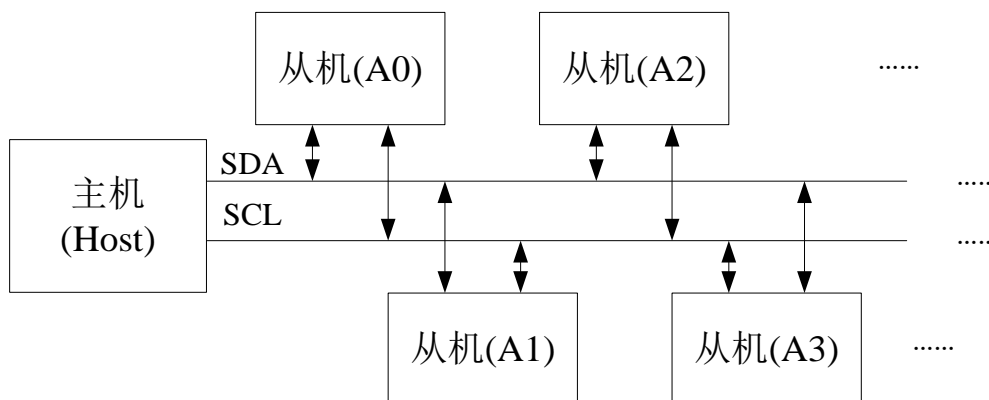


图 3.7 传统的多机通信方式拓扑结构

拓扑结构中只有一个主机，挂接在总线上的都为从机，每一个从机都有不同

的器件地址，如上图中的 A0、A1。当主机需要和某一个从机进行通信时，需要将该从机设备的地址通过 SDA 总线发出，不停的匹配满足该地址的从机，有设备满足，则给与响应，所以传统的多机通信方式是基于设备地址的。假如设备有相同的器件地址，例如 SFP 光收发模块，所有的模块地址都为 A0，数字诊断区域地址为 A2，则组成的通信网络的拓扑结构可以用图 3.8 表示。

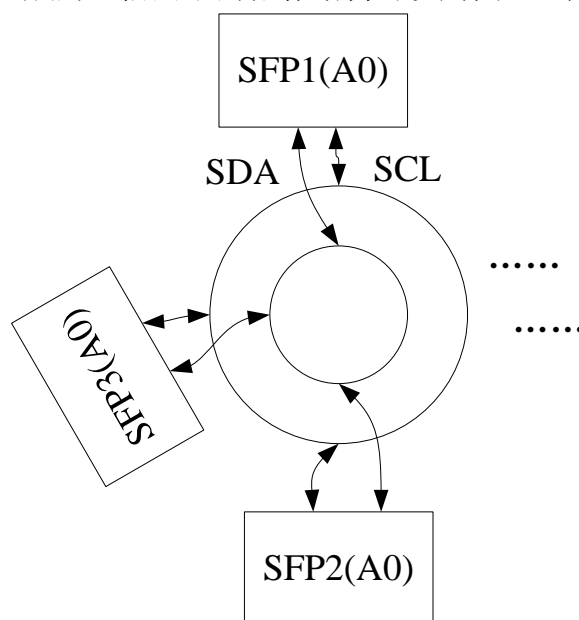


图 3.8 SFP 光收发模块多机通信拓扑结构

其中主机如圆环，挂接在主机总线上的 SFP 模块的器件地址相同，都是 A0。假如主机需要获取 SFP1 模块的监测数据，根据 IIC 通信协议，需要发送模块器件地址 A0，这时候就会出现十分严重的问题，因为还有 SFP2、SFP3 等多个模块的地址都是 A0，这种情况和酒店所有房间的门牌号都相同道理一样，给定房间号，客人也无法知道究竟哪一间房是属于自己的，则主机也不知道获取的是不是 SFP1 这个模块的数据，甚至是根本不可能获取正确的数据信息，所以利用传统的多机通信拓扑结构设计电路对多路 SFP 光收发模块进行监测是无法实现的。

3.3.2 新型多机通信电路结构设计

为了解决由于 SFP 光收发模块器件地址相同而导致的传统多机通信方式失效，以至于无法实现对多个光收发模块同时进行监测这个问题，论文中设计了另一种新的多机通信结构，如图 3.9 所示。

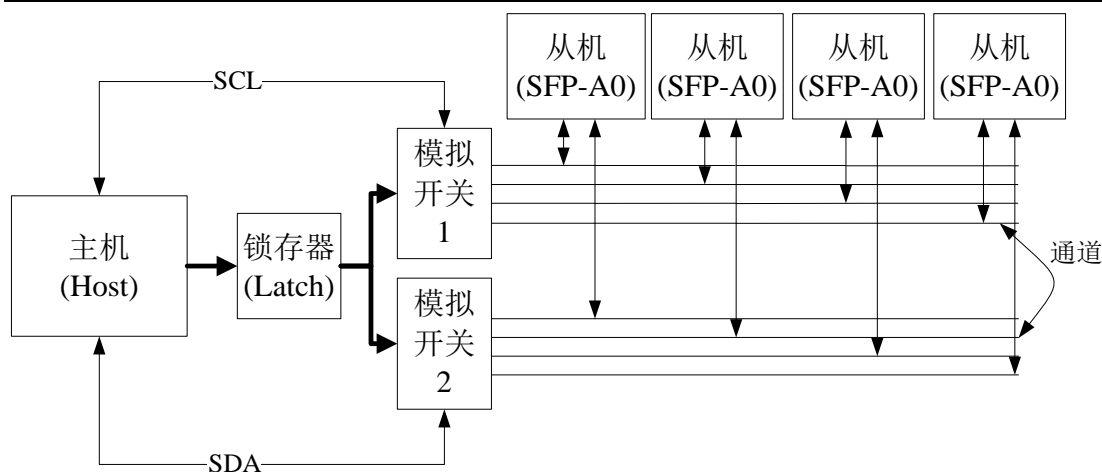


图 3.9 新型多机通信结构

新型多机通信结构由单个主机、多个相同地址的从机、锁存器和两块模拟开关组成，相比传统多机通信，增加了锁存器和模拟开关。该拓扑结构主要是从数据传输的物理通道上进行切换，并不是如传统多机通信那样利用地址来区分从机设备。锁存器控制模拟开关的通道选择地址端，保证通道切换的一致性，另外增加 IO 驱动能力。模拟开关为该结构中十分重要的一部分，主要用途是切换总线的物理通道，模拟开关的通道数为可接具有相同地址从机设备的数量。上图中的从机分别接在不同的通道线上，由于双线串行接口总线包含 SDA 和 SCL，所以选用两块模拟开关，对两路信号单独进行控制。如果在系统中只使用一块模拟开关对 SDA 总线进行控制，多机通信结构如图 3.10 所示。

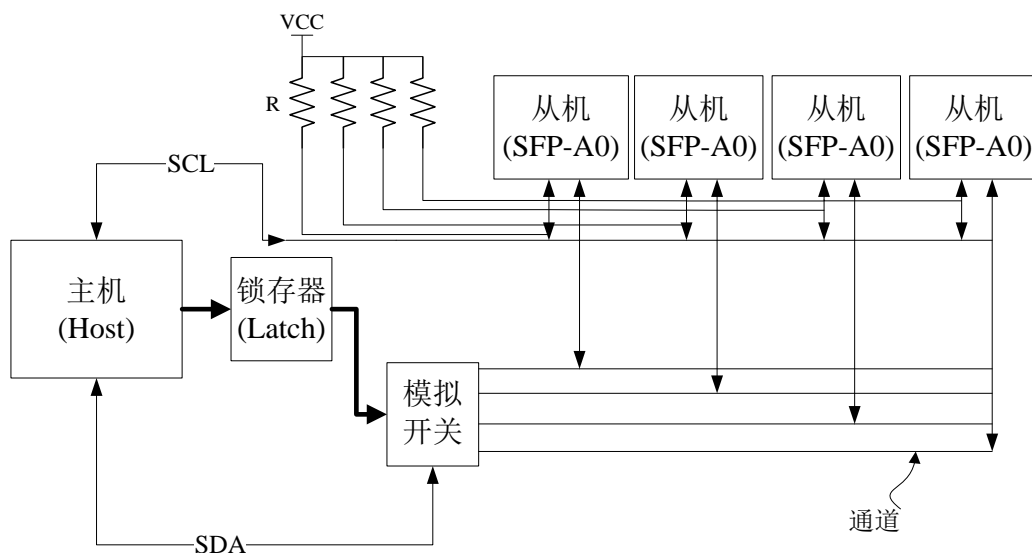


图 3.10 单块模拟开关多机通信结构图

其中只对数据总线 SDA 进行了控制，由于 IIC 总线为 OD 门，导致 SCL 总线端的上拉电阻并联，SFP 模块越多，并联后的总的电阻值与上拉电阻的标准阻值相差越大，最终无法满足 OD 门上拉电阻阻值条件。

综上所述可以得到如下结论：对具有相同地址的从机设备构建多机通信时，通信总线有 N 条，则需要 N 块模拟开关。

3.4 监测系统硬件电路设计

3.4.1 触摸液晶显示屏电路

为了满足人机交互界面，选择屏幕尺寸为 3.2 寸、像素点为 240×320 、26 万色的液晶显示屏，屏幕驱动芯片型号为 ILI9320。

ILI9320 有 4 种不同的接口，分别为 i80 并行 MPU 接口(8/9/16/18bit 总线宽度)、VSYNC 接口、串行数据传输接口(SPI)和 RGB 6/16/18bit 接口。微处理器与显示屏之间可以采用上述 4 种接口中的任意一种进行数据传输，所有显示的数据都存储在屏幕的 GRAM 中。本论文中采用 i80 并行 MPU 接口，其与微处理器接口电路结构如图 3.11 所示。

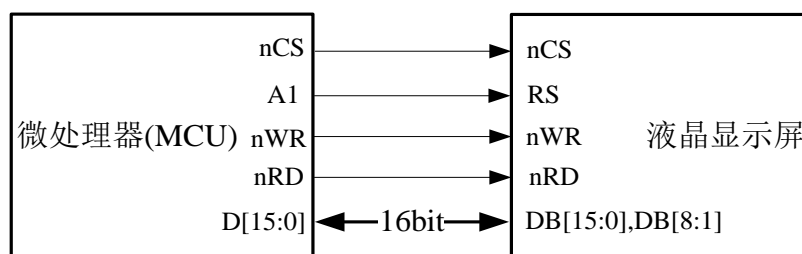


图 3.11 液晶与微处理器接口电路图

其中并行数据线为 16bit，如果采用位数较低总线，则数据传输速率会大大降低，导致在彩色和动态显示方面没有什么太大效果，同时由于对 SFP 光收发模块的监测需要对监测数据实时刷新，然后在屏幕上显示，则屏幕刷新速率显得尤为重要，不然监测数据并不具有实时性。i80 接口包含如下信号线：

nCS：TFT LCD 片选信号。

nWR：往 TFT LCD 写入数据控制引脚。

nRD：从 TFT LCD 读出数据控制引脚。

RS：命令/数据标志引脚(0：读写命令。1：读写数据)。

D[15:0]：16 位双向数据总线。

在监测系统外围电路的控制、以及通道切换上使用屏幕触摸功能代替原始的按键控制，使得人机交互仅仅依靠手指触摸完成相应操作，大大减小了 PCB 板空间，另外系统可靠性得到了更大的提高。

在监测系统中采用四线电阻式触摸屏，该屏幕由两层绝缘的复合薄膜构成，分为 X 层和 Y 层，两个层面分别有两个电极：X-、X+、Y-、Y+，在制作上，两层为上下叠加，如图 3.12 所示。

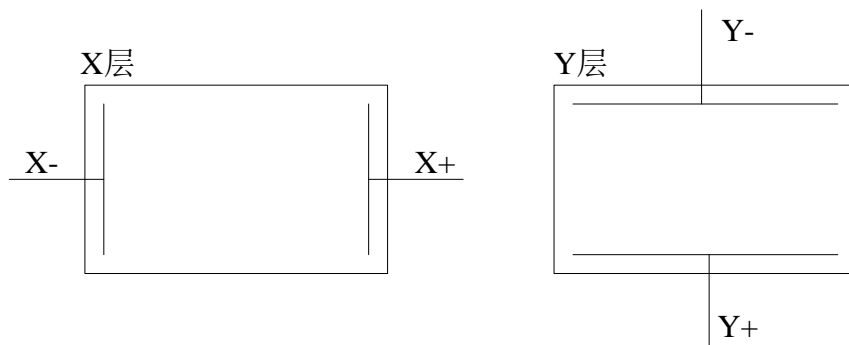


图 3.12 四线电阻触摸屏

当有手指触摸屏幕时，相互绝缘的两层薄膜会接触产生一个触点，如果要测量 X 坐标，则需要在 X-、X+ 两个电极上增加电压 V ，将 Y+ 端与 ADC 相接，其中 X- 到 X+ 两个电极之间的电场是均匀分布的，所以触点处 X 的电位会导入 Y 层所接的 ADC，得到相应的电压 V_x ，进而得到触摸点坐标值，同理可以求得 Y 的坐标值。

在系统中所采用的四线电阻式触摸控制芯片型号为 RSM1843。芯片内置了 12bit 模数转换器，基准电压(V_{ref})从 1V 到 $+V_{cc}$ 可变，相应的输入电压范围为 0V 到 V_{ref} 。

如上所述的液晶显示屏和触摸屏可以组成同一个模组器件，在模组上留有控制芯片管脚与 MCU 相接，具体的接口电路如图 3.13 所示。

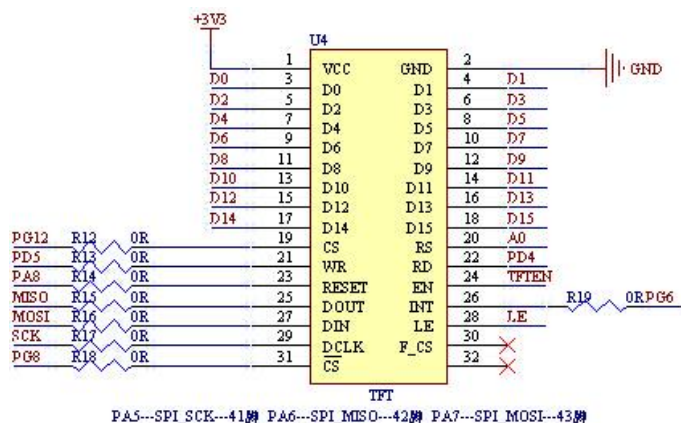


图 3.13 触摸液晶屏接口电路

微处理器采用 FSMC 接口与 ILI9320 相接，从图 3.13 可以看出触摸屏采用的 i80、16bit 并行接口，其中 D0~D15 为数据线，CS、RS、WR 和 RD 为控制线。同时 MCU 与 RSM1843 触摸控制芯片之间满足 SPI 通信协议，如上图的 MISO、MOSI、SCK 等与 MCU 管脚的对接网络。信号线中 0 欧姆电阻为了消除高频抖动脉冲，避免误触发。

3.4.2 Micro TF 卡接口电路

MCU 与 TF 卡之间满足 SDIO 接口协议，选取 4bit 传输模式为通信方式，电路设计原理图如图 3.14 所示。

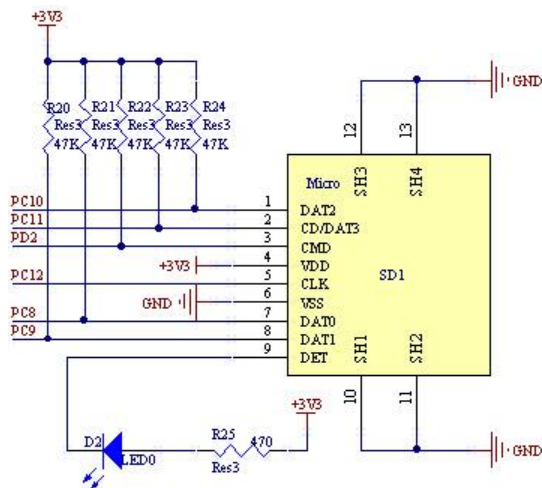


图 3.14 Micro TF 卡接口电路设计原理图

SD1 为 TF 卡套管脚分布图，对于单一的 TF 卡很难在 PCB 上放置焊接，所以需要增加外壳将卡内置。TF 卡的数据线 DAT0~DAT3 和命令线 CMD 需要接上拉电阻，当数据线空闲时保持高电平状态。SH1、SH2、SH3 和 SH4 为卡套外壳安装管脚，由于其为金属材料，将卡套接地可有效防止电磁干扰。DET 为指示端，当有卡放入卡槽时，DET 为低电平，D2 会点亮，反之，DET 保持高电平。

3.4.3 微处理器系统电路

在论文设计的监测系统中，微处理器(MCU)十分重要，对其选型得从多方面考虑。首先是处理器主频，主频太低会使机器周期很长，在短时间内很难完成系统任务，例如：触摸液晶屏的刷屏处理、通道的切换、SFP 光收发模块内部数据的读取、从 TF 卡中导入数据完成模块数据录入等操作。主频太高，芯片成本大大提高，如：DSP、ARM11 的成本远远高于普通单片机，所以需要在两者之间寻找一个平衡点。其次，具有 FSMC 和 SDIO 接口，这两者分别为触摸液晶显示屏和 TF 卡驱动接口。另外，丰富的 IO 资源，从监测平台硬件拓扑结构图中可以看出 Serdes 模式控制和监测接口都需要大量的 GPIO，所以 IO 资源较少的单片机很难满足系统设计要求。同时，较大的内部存储空间也是必不可少的，因为在系统中移植了 FATFS 嵌入式文件系统，并且，在 GUI 软件设计方面也需要占用较大的内存空间，如果说内存空间不足，则需要对存储空间进行相应的扩展，这样加大了系统设计的复杂度。最后，丰富的教程资源和优良的软件开发平台是十分重要的，这样可以简化开发流程，大大缩短开发周期，在有效时间内完成对监测系统的设计。

综上分析,选取意法半导体(ST)公司的 32 位微处理器 STM32F103ZET6 作为监测系统的主控单元,外接 8M 晶振,通过芯片内部锁相环倍频可使主频达到 72MHz。同时,512KB Flash 和 64KB SRAM 为系统提供了较大的内存空间。并且,在处理器内部集成了 FSMC 和 SDIO,144 管脚的 MCU 具有丰富的 GPIO 资源。并且支持在线可编程,大大缩短了系统的 Debug 时间。STM32F103ZET6 系统电路原理图设计如图 3.15 所示。

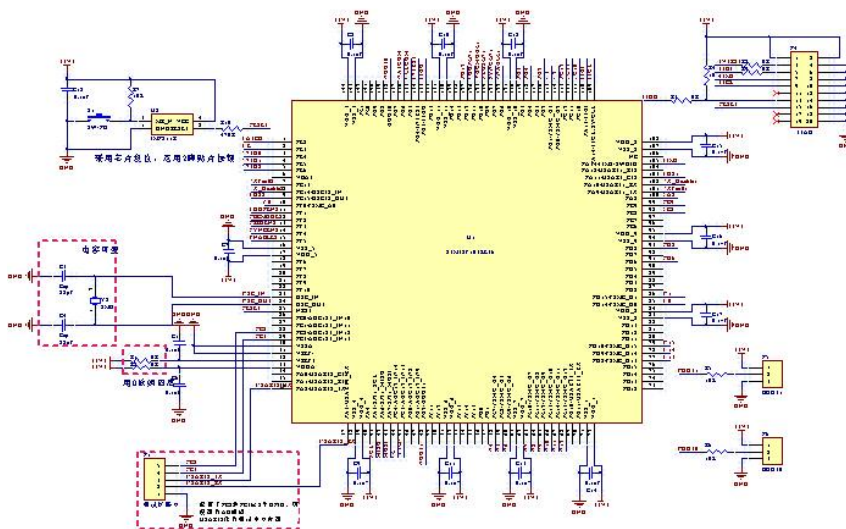
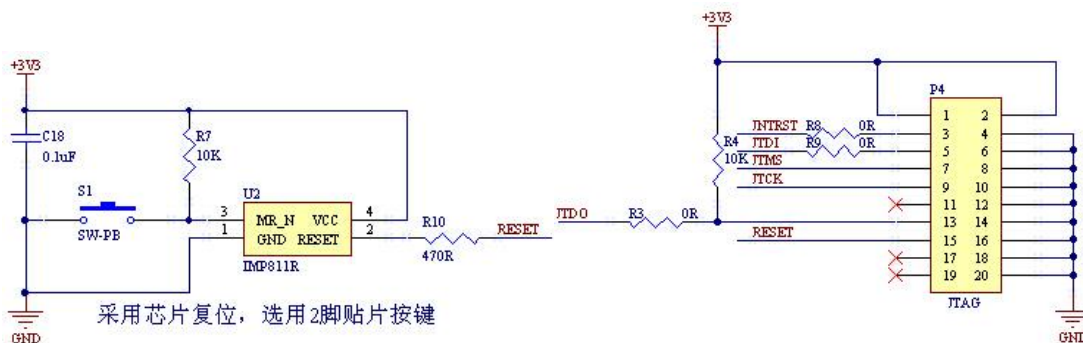


图 3.15 STM32F103ZET6 系统原理图

系统主要包括以下几个部分:复位电路、JTAG 电路、晶振电路、Boot 选择管脚,另外为了方便调试和对系统数据的监测,在系统中扩展了 UART 接口,通过串口将数据发送给上位机,便于观察系统当前值。

(1) 复位电路设计

图 3.16(a)所示为 STM32F103ZET6 最小系统原理中的复位电路。为了避免由于电源电压突变导致复位端电平信号不正常使 CPU 误触发,则在主控单元的最小系统中采用芯片复位,如(a)中的 IMP811R。



(a) 复位电路

(b) JTAG 电路

图 3.16 复位与 JTAG 电路原理图

(2) JTAG 电路设计

JTAG 的编程方式为在线编程,即可以通过 JTAG 对系统程序执行到哪一步,究竟是什么样的状态,是否符合用户逻辑功能进行判断,这种方式大大加快了工程进度。STM32F103ZET6 系统中选用 20 针 JTAG,并支持复位功能,如 JTAG 的 3 脚所示,0 欧姆电阻可以有效的抑制管脚信号中的高频噪声。JTDO 为输出管脚,接有 10K 欧姆上拉电阻,在信号线空闲时保持高电,如图 3.16(b)所示。

3.4.4 多机通信电路设计

针对前面章节对同地址从机设备多机通信的分析,在传统多机通信的基础上增加了锁存器 74HC573 和模拟开关 CD4051,电路设计原理图如图 3.17 所示。

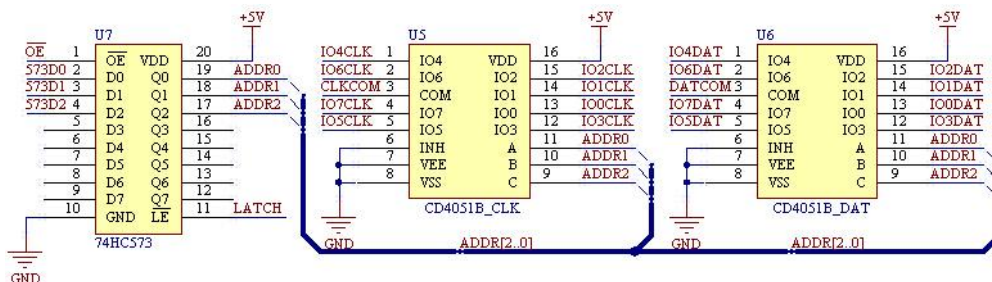


图 3.17 通道切换电路原理图

CD4051 为八通道模拟开关,如上图 CD4051B 中的 IO0 到 IO7 所示,A、B、C 为模块地址控制端,COM 为模拟开关输出端,通过设置地址控制端的电平状态选择 COM 口输出的是哪一个通道的数值,如 CBA=000,则 COM = IO0。论文前面章节对同地址多机通信的分析,需要对数据线和地址线分别进行切换控制,所以需要两块 CD4051,如上图中的 CD4051B_DAT 和 CD4051B_CLK。锁存器 74HC573 保证 CD4051 地址选择与通道切换的一致性,增加 IO 的驱动能力。

3.4.5 FPGA 系统电路

在通信系统中,需要为通信平台中的串并转换器(Serdes)提供数据传输率为 60Mbps~120Mbps 直流平衡(DC 平衡)的 10bit 并行信号,同时也需要接受由 Serdes 传输过来的并行信号,考虑到 1Hz 频率对应 2bit 的数字信号,将数据传输率转换为对应的频率为 30MHz~60MHz,单片机 IO 的输出频率无法满足系统需求,对于 ARM 处理器和 DSP 处理器而言,成本相对较高,并且两者的优点并不在逻辑控制方面,相对而言 FPGA 会更加适应本文所设计的通信系统,同时从为了后续设计满足标准光纤通信的 8B/10B 编解码器、IO 输出频率范围、芯片成本等方面考虑,更加需要选择满足系统需求的 FPGA。对于任何一个系统的设计,芯片选型以及相应依据是必不可少的。

首先是 FPGA 厂家的选择,生产 FPGA 的厂家主要有 ALTERA, XILINX、LATTICE 和 ACTEL。每个厂家的产品都有自己的特性和所应用的领域,主要从

下面几个方面去考虑选择哪一个公司的芯片：(1)满足项目需求是前提条件，如果要在 FPGA 带有 ADC 功能，可能只能选择 XILINX 或者 ACTEL 的某些产品。(2)价格，较低的价格会提高产品的有效竞争力，在本论文中其并不是最重要选型因素。(3)使用者对该类厂家芯片的熟悉程度，这样可以大大减小开发周期。(4)所选芯片的成熟度，较好的开发软件平台，较好的技术支持等都是衡量芯片成熟度的指标。根据上面标准，本文选择 ALTERA 公司的芯片。

其次，由于每个 FPGA 生产厂家都包含有多个系列的产品，对于不同的应用场合，所选用的芯片的性能和价格也存在很大差异。对于 ALTERA 公司的产品来说，主要分为三个系列：高端芯片 Stratix 系列，中端芯片 Arria 系列和低端芯片 Cyclone 系列^[16]。当系统对 FPGA 逻辑资源，带宽及运行频率等要求都非常高时需要评估 Stratix 系列的 FPGA，其中有一个基本原则需要注意，可以用低端芯片完成的工作，尽量不要考虑使用高端芯片完成，最主要的目的是达到处理器性能和系统成本的最佳平衡点，所以最终选择了 Cyclone IV 系列芯片。

最后，Serdes 和 FPGA 互连端口只需要两对 10bit 并行总线，为了满足 IO 的数据传输率，在所选的 FPGA 中必须得包含 PLL，同时，在设计测试阶段，只需要提供给 TLK1221 并行数据或者将 Serdes 的数据传输到 FPGA 中即可，没有进行 8B/10B 编解码处理，所以片上资源相对而言更加容易满足。

综合以上几个方面考虑，FPGA 最终选择了 ALTERA 公司 Cyclone IV 系列的 EP4CE6E22C8N，系统设计原理图如图 3.18 所示。

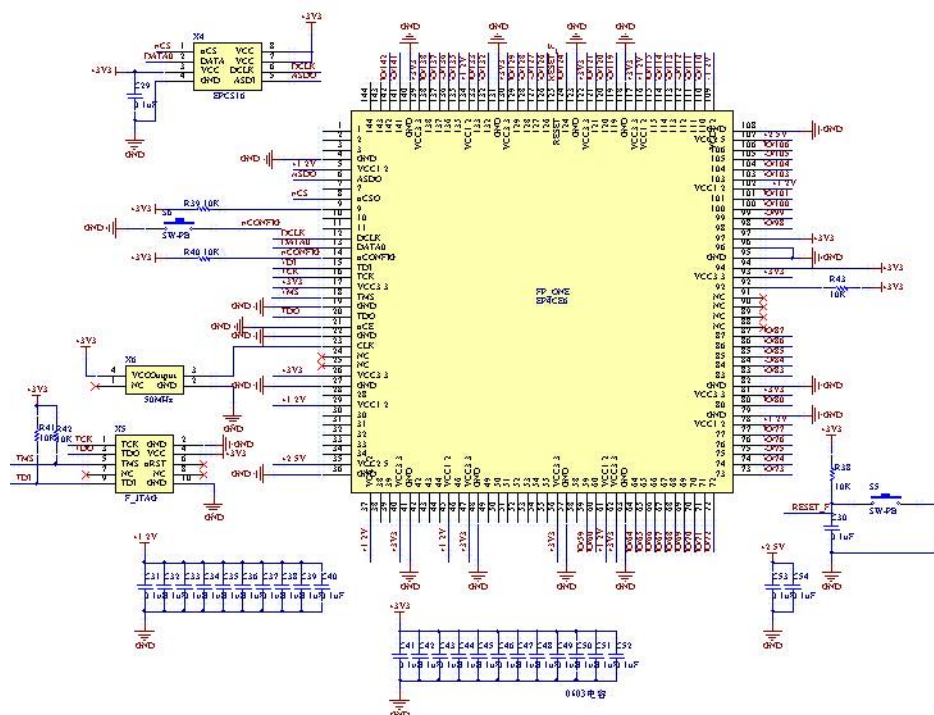


图 3.18 EP4CE6E22C8N 系统原理图

(1) 串行配置器 EPCS16 电路设计原理图

对 FPGA 编程，系统掉电后数据丢失，如果不采取某一种办法保存 FPGA 配置信息，则每上一次电都需要将 FPGA 代码重新进行烧写。所以在设计硬件时要外加配置的 flash 芯片，负责上电时把程序烧写到 FPGA 里面。论文设计中采用 Altera 公司的串行配置器件 EPCS16，电路设计原理图如图 3.19(a)所示。其中 nCS 为器件片选端，另外包含数据端 DATA0 和时钟端 DCLK，管脚与 EP4CE6E22C8N 相接。

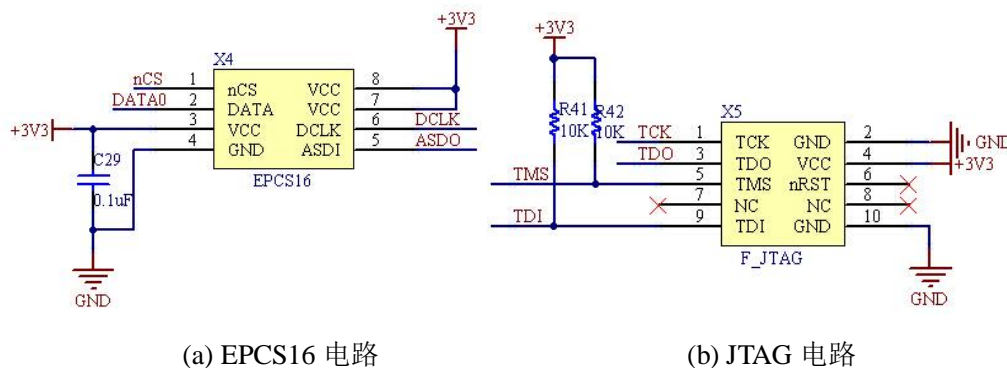


图 3.19 EPCS16 和 JTAG 电路原理图

(2) JTAG 接口电路

图 3.19(b)所示为 FPGA 系统的 JTAG 电路，在 TMS 和 TDI 端接有 10KΩ 上拉电阻，与 STM32F103ZET6 系统中的上拉电阻功能一样，但是 JTAG 管脚数量不同，F_JTAG 只有 10 个管脚。

(3) 并行数据接口

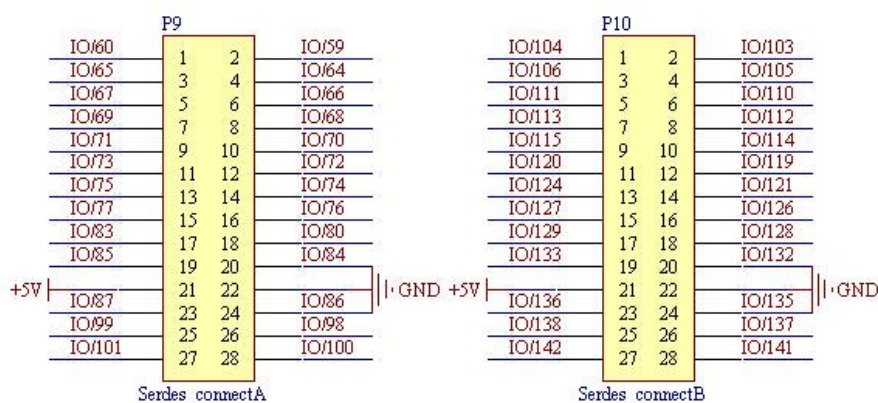


图 3.20 并行数据接口

图 3.20 所示并行接口为 FPGA 与通信平台中 Serdes 的互连接口，从监测系统硬件结构图中可以看出总共包含两路并行信号：Serdes_connectA 和 Serdes_connectB。所以可以同时给两路通信平台提供并行数据信息。

3.4.6 电源电路设计

通过对监测系统硬件模块的分析，需要为系统提供四路不同电压：1.2V、

2.5V、 3.3V 和 5V，电源电路设计原理图如图 3.21 所示。

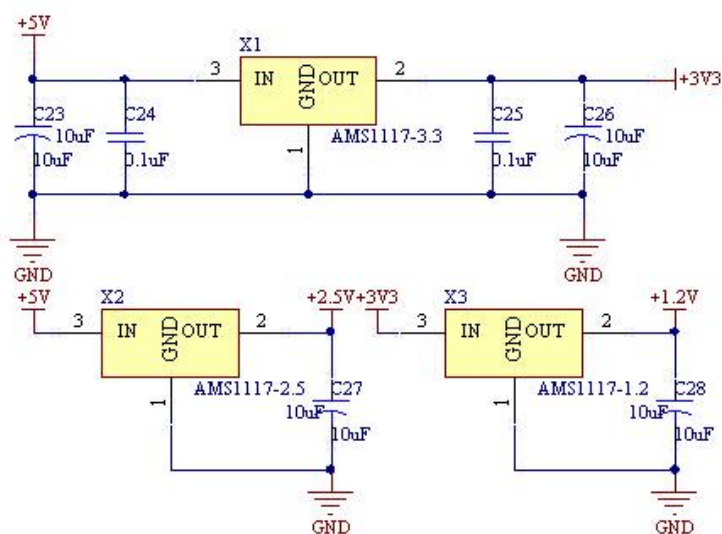


图 3.21 电源电路原理图

系统 5V 电压输入，通过线性稳压芯片 AMS1117-3.3 转换为 3.3V 电压。AMS1117 可提供 1A 输出电流，并且芯片的工作压差可低至 1V。AMS1117 系列芯片同时也提供 2.5V、1.8V 和 1.2V 输出电压，所以也选用了 AMS1117-2.5 和 AMS1117-1.2 为另外两路提供电压源，如图 3.21 中的 X1、X2 和 X3。另外，X2 的输入电压为 5V 输出为 2.5V。X3 的输入电压为 3.3V，而不是 5V，由于 X3 的输出为 1.2V，当其输入电压为 5V 时，在 X3 上产生 3.8V 压降导致芯片发热加大，长时间可能会烧毁芯片。另一方面，X1 输出的 3.3V 电压有足够的驱动能力，所以可以将其作为 X3 的输入电压。

图 3.22 (a)所示为监测系统 PCB 图，图 3.22(b)所示为实物图。

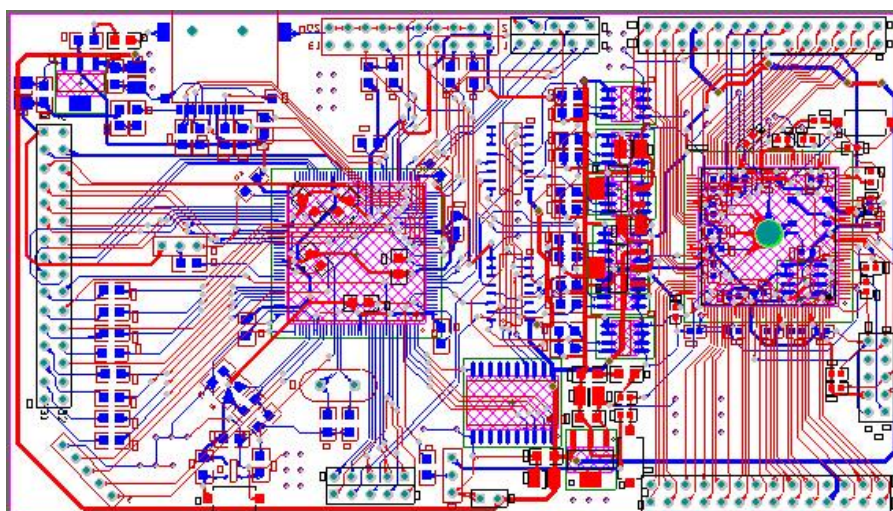


图 3.22(a) 监测系统 PCB 图

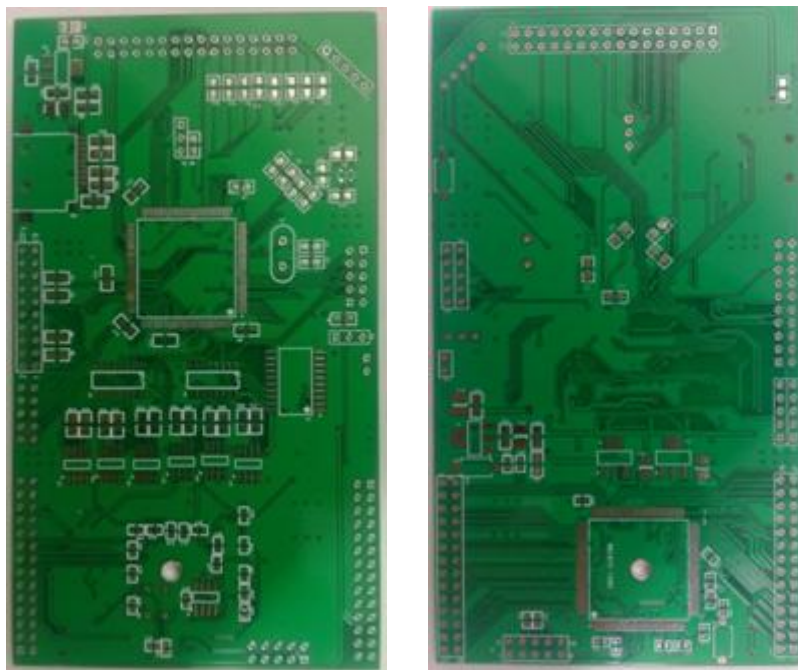


图 3.22(b) 监测系统实物图

3.5 监测系统软件设计

3.5.1 系统软件拓扑结构

图 3.23 所示为监测系统软件拓扑结构图，通过监测系统控制流程对各个模块程序进行调度执行，实现系统功能。

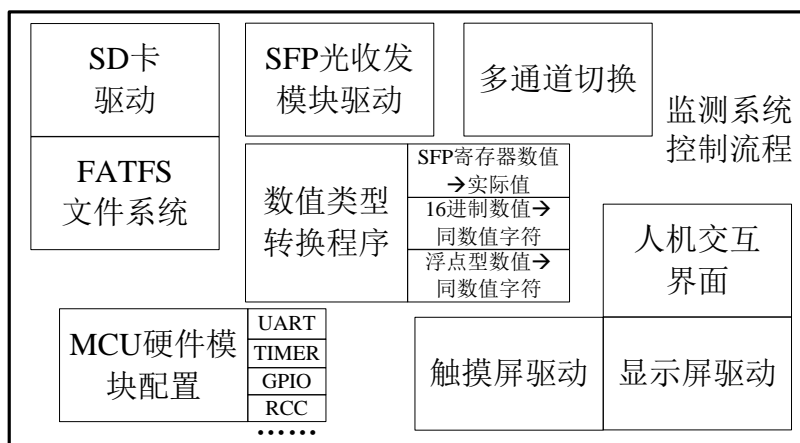


图 3.23 系统软件拓扑结构

系统软件主要分为模块驱动、MCU 硬件配置和数值类型转换。在总体程序的基础上移植了 FATFS 嵌入式文件系统，用来对 SFP 光收发模块信息数据进行管理和录入。在触摸显示屏上设计了人机交互界面，使得模块参数的显示更为直观，并且通过点击界面上指定区域的按键，完成系统通道切换、改变控制流程执行状态等操作。

基于微处理器的 SFP 光收发模块监测系统在功能、可操作性和实用性上更

优于基于 PC 机的，在很大程度上可以取代 PC 机实现对光收发模块的监测。

3.5.2 监测系统逻辑控制流程设计

监测系统程序流程控制图如图 3.24 所示。系统开机启动后进行初始化，主要包括 MCU 硬件模块配置，例如 GPIO、RCC、定时器、FSMC 等，所有的初始化完成后，液晶屏会显示启动页面等待用户下一步的操作，如果一直没有进行，则系统会保持当前页面状态继续等待，当有触发事件产生时，总体流程会对该事件进行判断，选择系统所要进入的状态是模块监测状态还是数据录入状态。

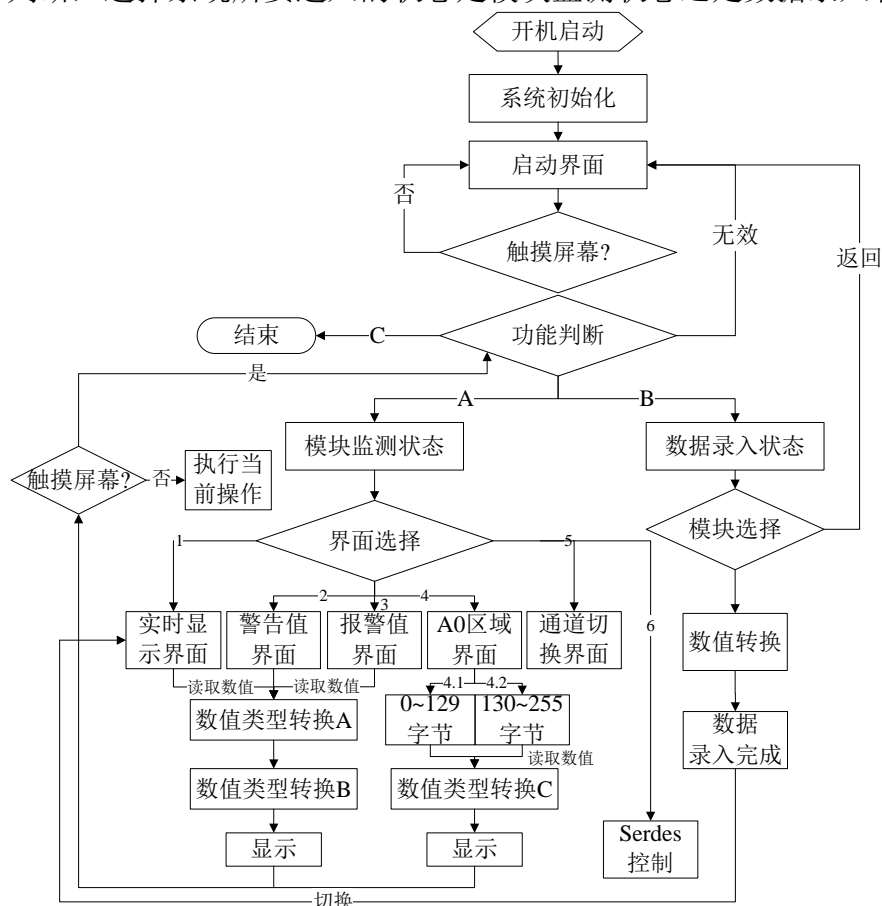


图 3.24 程序控制流程图

在模块监测状态下设计了 6 个不同的页面，满足监测系统功能需要，分别为实时显示界面、警告值界面、报警值界面、A0 区域界面、通道切换界面和 Serdes 功能控制界面。当切换到不同的页面时，实现不同的功能。从上图的程序控制流程图中可以看出，数值类型转换算法非常重要，如：数值类型转换 A、数值类型转换 B、数值类型转换 C 和数据录入状态下的数值转换，如果不做相应的转换，监测数据信息无法在液晶屏上进行显示及其他处理。

数据录入状态下选择需要进行数据录入的 SFP 光收发模块，然后将数据写入到模块寄存器中，录入完成后操作触摸屏将切换到实时显示界面。根据论文前面章节对基于物理通道的多机通信的概述，系统中可以分别对 8 路 SFP 光收发

模块录入数据。

3.5.3 数值类型转换程序

(1) 数值转换类型 A

SFF-8472 协议中所规定监测参数以二进制数值形式存储在 SFP 光收发模块寄存器中，使用者通过这些值无法直观获得值的大小，则需要根据 SFF-8472 协议中给定的监测参数在寄存器中的存储方式与实际数值基数设计相应的数据类型转换算法，从而得到标准数值，例如：偏置电流为 3.5mA、模块供电电压为 3.36V 等，程序设计采用内部校准方式。

1) 光收发模块温度值。SFF-8472 协议规定的模块温度值在寄存器中的二进制数值与实际温度值对应关系如表 3.1 所示。

表 3.1 实际温度值与二进制数值的对应

| 高字节(byte96) | | | | | | | | 低字节(byte97) | | | | | | | |
|-------------|----|----|----|----|----|----|----|---------------|---------------|---------------|----------------|----------------|----------------|-----------------|-----------------|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| sign | 64 | 32 | 16 | 8 | 4 | 2 | 1 | $\frac{1}{2}$ | $\frac{1}{4}$ | $\frac{1}{8}$ | $\frac{1}{16}$ | $\frac{1}{32}$ | $\frac{1}{64}$ | $\frac{1}{128}$ | $\frac{1}{256}$ |

表 3.1 中第 96 字节(高字节)为模块温度数值整数部分，其中 D7 为数值符号位，第 97 字节(低字节)为温度数值小数部分^[9]。例如+127.996℃等效的二进制数据为 01111111 11111111，-127.996℃等效的二进制数据为 10000000 00000001。经过分析，可以得出图 3.25 所示的程序流程图，实现将二进制数转换成实际的模块温度值，方便实时监控和调节。

其中 Hex_input 为从光收发模块寄存器中读出的 16bit 温度数据，协议规定模块温度有正负之分，并且通过寄存器的最高位表示符号位，则在算法实现中将寄存器中读出的数据与 0x8000 位与运算，并通过判断最高位来断定温度系数的正负数情况，如果最高位为 0，可以判定其为正温度值，反之为负温度值，并需要对读到的数据进行取反，然后分别对温度值的小数部分和整数部分进行处理，将二进制数值与实际温度基数做乘法、求和运算后得到最后数值。

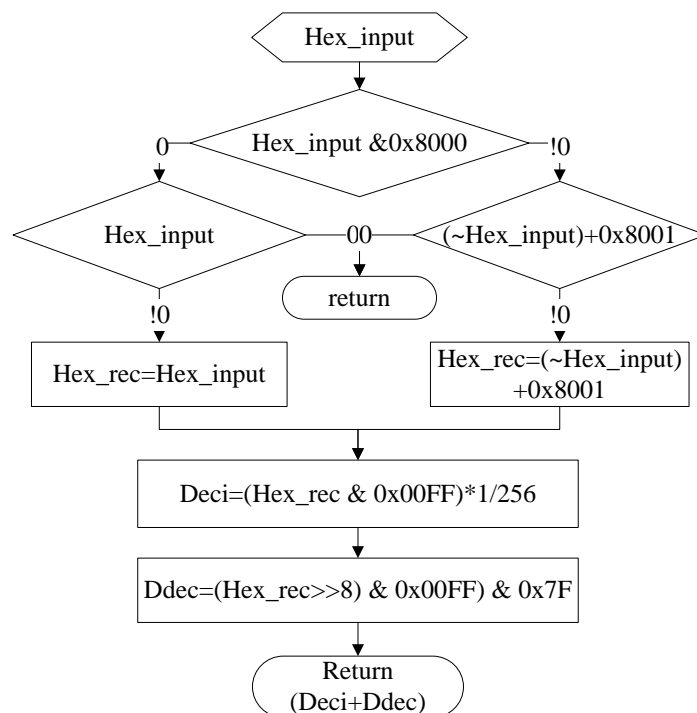


图 3.25 温度转换算法实现

算法伪代码如下所示：

```

if((Hex_input & 0x8000) == 0) //通过最高位来判断正负数
{
    Hex_Deci = (unsigned char)(Hex_input & 0x00FF); //进行强制转换取低位
    Hex_Ddec = (unsigned char)((Hex_input >> 8) & 0x00FF) & 0x7F; //进行强制转换取的是低位,所以需要进行强制转换后移位取值
}
else if((Hex_input & 0x8000) != 0) //负数处理部分
{
    Hex_rec = ~Hex_input; //对整个数值取反,同时也包括了符号位
    Hex_rec = (Hex_rec + 0x8000); //将取反后的值进行逻辑或
    Hex_rec = Hex_rec + 0x0001;
    Hex_Deci = (unsigned char)(Hex_rec & 0x00FF); //温度值小数部分
    Hex_Ddec = (unsigned char)((Hex_rec >> 8) & 0x00FF) & 0x7F; //温度值整数部分
}
  
```

2) 光收发模块供电电压和偏置电流值。两个参数没有负数，参数值的运算按照协议规定的方式处理，只需要将读出的 16bit 寄存器的值与实际的基准量进行乘积运算即可。算法实现伪代码如下所示：

(a)模块供电电压量的校准算法

```
float Vol_base;           //根据协议规定，电压基数是 100uV
float Voltage;
Vol_base = 0.1;          //电压基准量 0.1mV
Voltage = Vol_reg * Vol_base;
Voltage = Voltage * 0.001; //得到电压数值，转换为 V
```

(b)模块偏置电流量的校准算法

```
float Current_base;       //定义电流基数 ma 为单位，根据 SFP8472 协议
                           //规定，电流基数是 2uA
float Current;            //总的电流大小
Current_base = 0.002;     //电流基准值
Current = Current_reg * Current_base; //得到总的电流数值
```

3) 光收发模块的输出光功率和接收光功率。模块实际的功率值需要将读出的 16bit 寄存器的值与实际的功率基准量进行乘积运算即可，得到的是以 mW 为单位的实际功率值，在算法实现中进行了参数值的转换，最终的功率值单位为 dBm，由于模块输出光功率和接收光功率使用的校准算法一致，则如下所示的伪代码为输出光功率部分：

```
OutPowerBase = 0.1;       //输出光功率的基准值为 0.1uW
OutPower = TPower_reg * OutPowerBase;
OutPower = OutPower * 0.001; //输出光功率值转换成 mw 单位
OutPower_dBm = 10 * log10(OutPower);
if(OutPower_dBm < 0)       //功率值为正负 dBm 判断
{ OutPower_dBm = 0 - OutPower_dBm; }
else if(OutPower_dBm >= 0) {}
```

功率值在 mw 与 dBm 之间的转换如式(3.1)所示。

$$x\text{dBm} = 10 \log_{10} \frac{x\text{mw}}{1\text{mw}} \quad (3.1)$$

上述代码中可以看出将得到的功率值进行了取对数运算，由于以 dBm 为单位的功率值存在正负数情况，则在代码中需要进行数值符号判断，并将负数值转换为正数值后进行后续代码运算操作。

(2) 数值转换类型 B

液晶屏显示的是单个字符，数值转换类型 B 所实现的是将得到的整数或者浮点数转化为字符。程序设计流程如图 3.26 所示，浮点型数据 input_Data 为需要处理的正数值，SFP 光收发模块的输入、输出光功率可能为负数，所以形参 flag

为正负数标志。参与代码中运算的都为正数，最终的正负号是在处理完后以字符的形式插入最终要显示的字符串中。其中需要判断 `input_Data` 大小范围，确定小数点位置，共分为三种情况：0~10 表示浮点型数据的整数部分有 1 位，10~100 表示浮点型数据的整数部分有 2 位，大于 100 表示浮点型数据的整数部分有 3 位，例如：2.30、24.50、110.40。确定 `input_Data` 范围之后将其转换为整数值，然后进行数据拆分存储，最后与小数点和正负数符号组成连续的字符串用于显示。

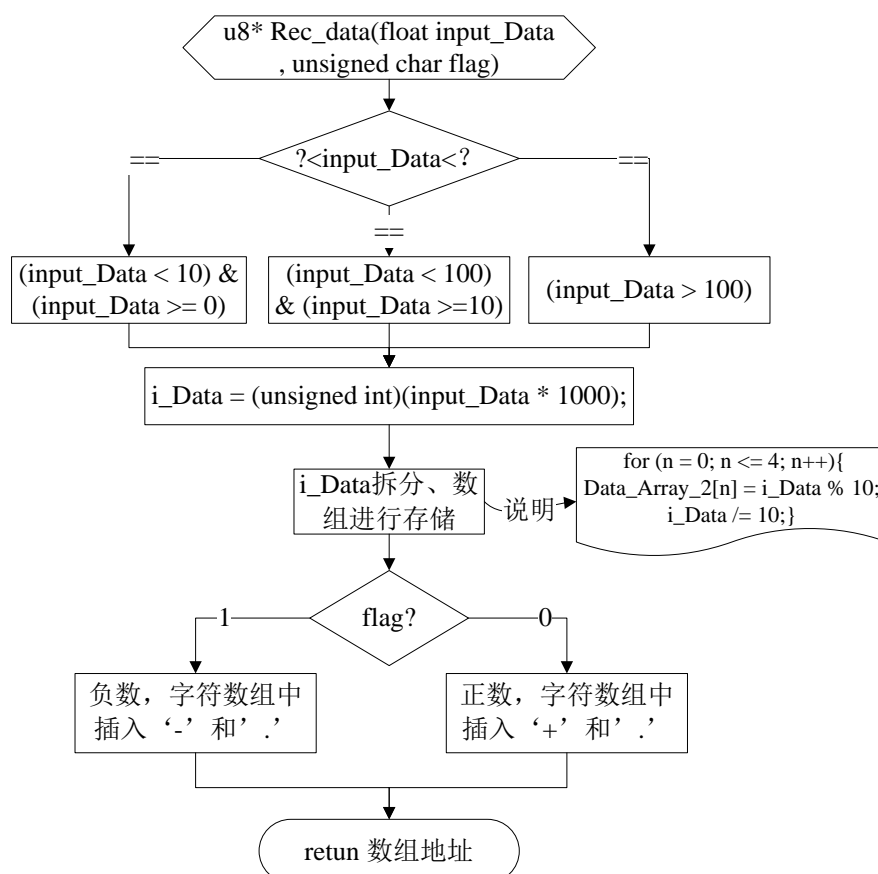


图 3.26 数值类型转换算法 B

(3) 数值转换类型 C

数值类型转换 C 是将 SFP 光收发模块中读出的 16 进制数据转换为和数值相同的字符，如：16 进制数 0xFE，转换为字符为‘F’‘E’。从 SFP 光收发模块 A0 地址区域读出的为 16 进制数值，如程序流程图中的 0~129 字节、130~255 字节。通过对 16 求模和求余将 10 进制数值转换为 16 进制数值，然后判断两位数值的大小范围，总共分为 4 种情况，如图 3.27 所示，将大于 10 的数转换为字符‘A’~‘F’，小于 10 的数转换为字符‘0’~‘9’。

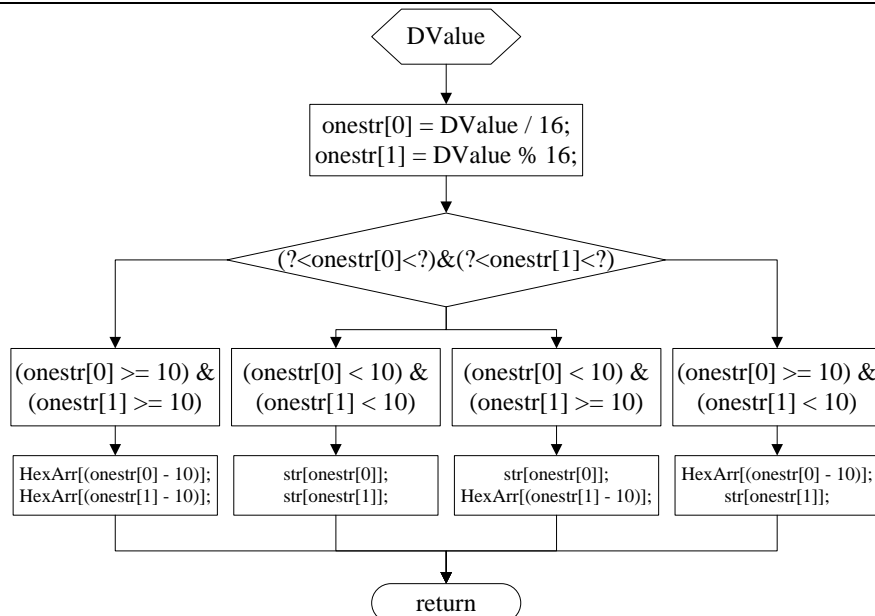
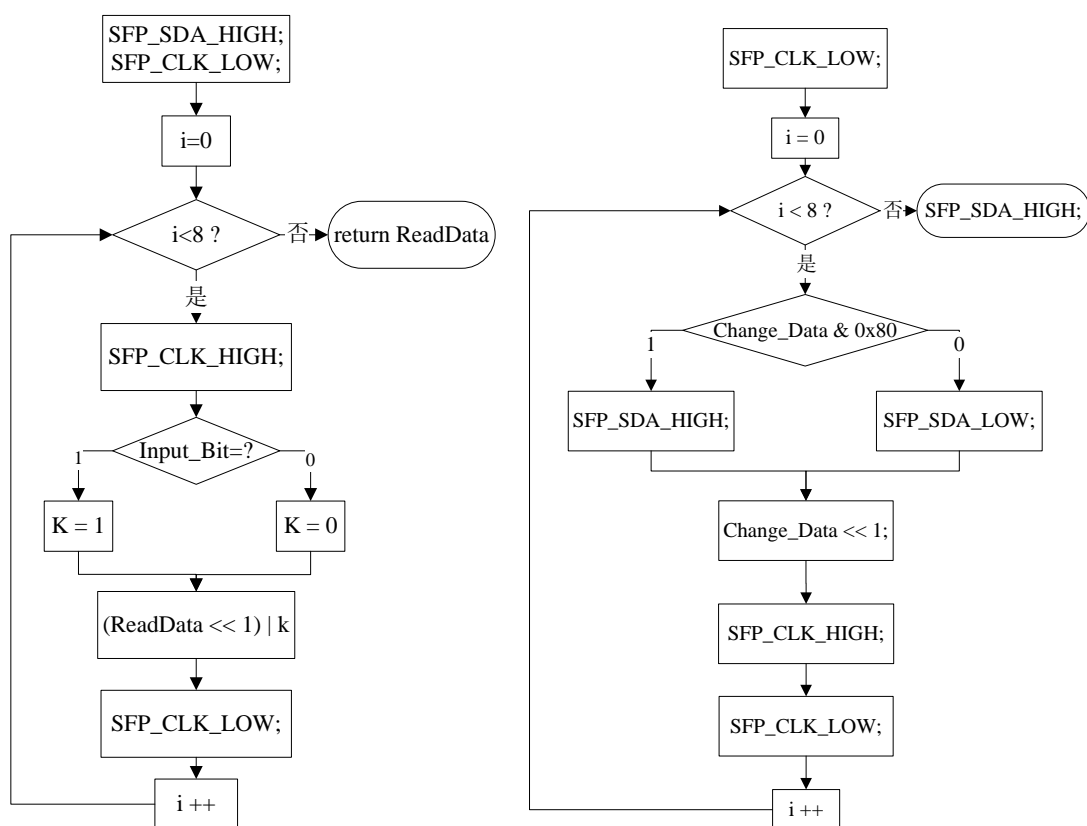


图 3.27 数值类型转换 C

3.5.4 双线串行总线读写程序

STM32F103ZET6 通过双线串行总线读取 SFP 光收发模块寄存器数据，IIC 总线的读写时序程序流程图如图 3.28 所示，(a)为读程序流程图，(b)为写程序流程图。



(a) IIC 读程序流程图

图 B IIC 写程序流程图

图 3.28 双线串行总线读写流程图

串行总线一次传输 1bit 数据，1 个字节数据的读写需要分 8 次传输才完成，从上图中可以看出读写流程循环 8 次完成。

3.5.5 数据录入程序

论文中移植了 FATFS 嵌入式文件系统，该文件系统完全与磁盘 I/O 分开，独立于硬件架构^{[17][18]}。移植 FATFS 对 SD 卡中所存储的 SFP 光收发模块文件信息的管理和数据录入有着十分重要的作用。数据录入代码流程图如图 3.29 所示。

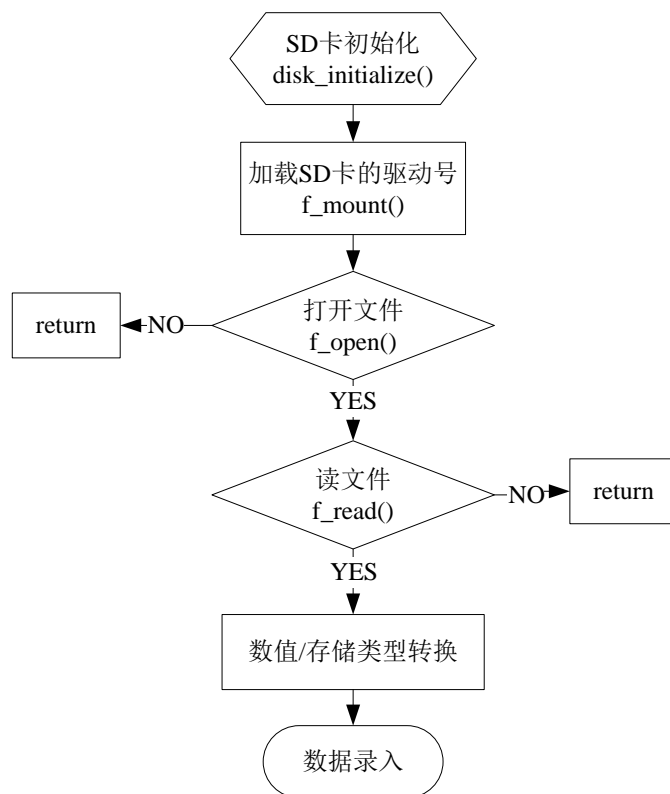


图 3.29 数据录入代码流程图

使用 FATFS 内的库函数 `disk_initialize()` 初始化 TF 卡，在文件系统上对 TF 卡进行操作，可以将其等效为一个磁盘，使用 `f_mount()` 挂载 TF 卡，然后通过 `f_open()` 和 `f_read()` 打开并读取文件内容。存储在内存卡中的为 .txt 文件，文件内数据信息格式为 03 04 07 00 00 00 01 1B CC……这类数据在文件中为单个字符，例如：03 为 '0' '3'，但是 SFP 光收发模块寄存器中按照单个字节存储，所以需要将 '0' '3' 转换为 0x03、'1' 'B' 转换为 0x1B。

首先通过 `(buffer[i] >= 0x30) & (buffer[i] <= 0x39) || (buffer[i] >= 0x41) & (buffer[i] <= 0x46)` 判断存储在 `buffer[i]` 中字符的范围是 0~9 还是 A~F，然后将其由字符转换为对应的 16 进制数，最后进行每 2 位 16 进制数组合运算，这样可以将字符 '1' 'B' 转换为 0x1B，得到 16 进制数可以录入到 SFP 光收发模块寄存器中。

第四章 SFP 光收发模块通信平台设计

通信平台的主要目的是为 SFP 光收发模块提供高速差分输入信号，另外，将模块输出的高速差分信号转换为便于采集和观察的低速并行信号。同时利用该通信平台可以搭建简易的光通信链路，使 SFP 光收发模块处于切乎实际通信的工作状态，从而验证监测系统对 SFP 光收发模块控制和监测的有效性与可行性。

4.1 通信平台拓扑结构

SFP 光收发模块通信系统主要由 6 个部分组成，系统的拓扑结构如图 4.1 所示。

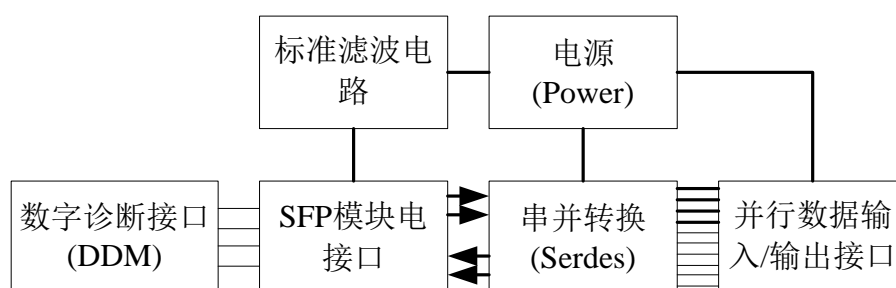


图 4.1 光收发模块通信平台结构图

电源电路部分为通信系统中的功能模块提供标准、可靠的电压和满足系统驱动力的电流，串并转换(Serdes)与并行数据输入/输出端口相接，将特定位数的并行信号转换为符合 SFP 光收发模块电平标准的高速差分信号，例如：CML、LVDS、LVPECL 等，并通过一定的耦合方式与 SFP 光收发模块的电接口互连，在通信链路正常的情况下，光收发模块将高速差分电信号转换为光信号，并将其通过光纤进行传输^[19]。在通信平台系统中留有数字诊断接口，监测系统可以通过此接口对光收发模块使能/禁能、寄存器数据配置等操作，同时能够实时读取光模块性能参数达到实时监测的目的。

4.2 串并转换器选型与介绍

本论文中待测试 SFP 光收发模块的性能参数指标如下所示：

- 1) 光收发模块工作速率是 155Mbps~1.25Gbps，通信光波波长为 770nm~860nm。
- 2) 标准的热插拔小封装模块，符合 SFF-8472 标准协议所规定的电接口和数字诊断通信协议。
- 3) 双端 LC 接口，光收发模块支持单电源 3.3V 供电。

4)高速差分 LVPECL 电平输入, CML 电平输出。

Serdes 既串并转换器的简称。主要作用是实现低速并行信号与高速差分信号之间的相互转换,其大大减少了通信链路的传输信道和芯片的管脚数目,同时降低了系统成本^[20]。

结合待测 SFP 光收发模块特性,从数据传输率、高速差分信号类型等方面分析考虑,选择使用 TI 公司的串并转换芯片 TLK1221,实现高速串行信号与低速并行信号的转换,芯片管脚分布图如图 4.2 所示。

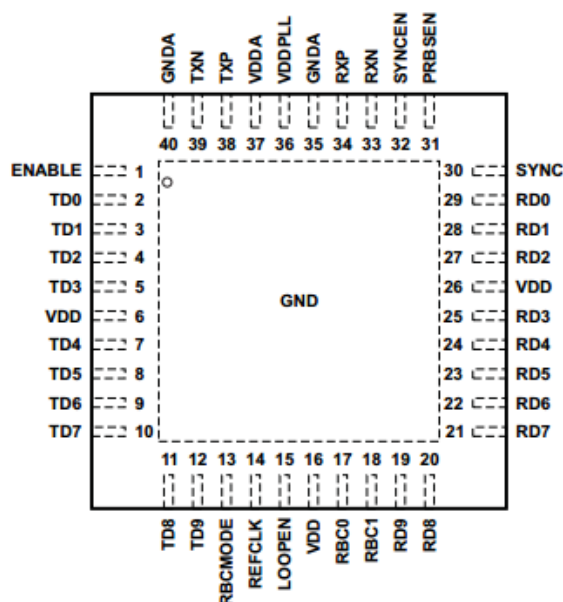


图 4.2 TLK1221 芯片管脚分布图

TLK1221 差分串行总线的数据传输率为 0.6Gbps~1.3Gbps。TD0~TD9 和 RD0~RD9 为输入和输出的 10bit 位宽的低速并行总线,满足 LVTTTL 电平范围。将使用 10bit 并行总线进行数据传输的模式称为 TBI 传输模式,在该传输模式下,参考时钟(REFCLK)的上升沿为并行信号输入标志。此外,10bit 并行信号转换为串行信号,并且按照 bit0 到 bit9 的顺序从差分端口依次输出,串行信号输出的时钟为 REFCLK 的 10 倍。最终得到的串行信号的传输速率为 10bit 并行信号的 10 倍。

在 TBI 模式下,TLK1221 支持 2 种可选的模式作为接收同步时钟信号:

1)全速率时钟模式,通过 RBC0 输出。

2)半速率时钟模式,通过 RBC0 和 RBC1 输出,信号频率为全速率时钟的一半。具体的模式选择与设置如表 4.1 所示,其中同步时钟频率由 REFCLK 决定。

表 4.1 TLK1221 传输模式选择表

| RBCMODE | MODE | RECEIVE BYTE CLOCK |
|---------|---------------|--------------------|
| | | TLK1221 |
| 0 | TBI half-rate | 30-65 MHz |
| 1 | TBI full-rate | 60-130 MHz |

TLK1221 的主要用途是在满足当信号传输媒介阻抗控制在 50Ω 的情况下，为点到点的通信提供更大的数据传输带宽，通信链路上的传输媒介可以为硬质电路板(PCB)上的传输线、铜线和光纤，但是数据传输率并不是一直保持不变的，最终的数据传输率和传输距离与传输媒介的天线效应、环境的耦合噪声等有着很大的关系。

4.3 通信平台系统电路设计

4.3.1 原理图设计工具介绍

本论文使用 Cadence OrCAD Capture 作为光模块通信平台原理图设计工具。利用 OrCAD Capture 软件，能够实现绘制电路原理图以及为制作 PCB 和可编程的逻辑设计提供连续性的仿真信息，并且提供了完整的、可调整的原理图设计方法，能够有效应用于 PCB 的设计创建、管理和重用，将原理图设计技术和 PCB 布局布线技术相结合，OrCAD 能够帮助设计师从一开始就抓住设计意图，可以随时输入、修改和检验 PCB 设计^[21]。主要由以下几个部分构成，如图 4.3 所示。

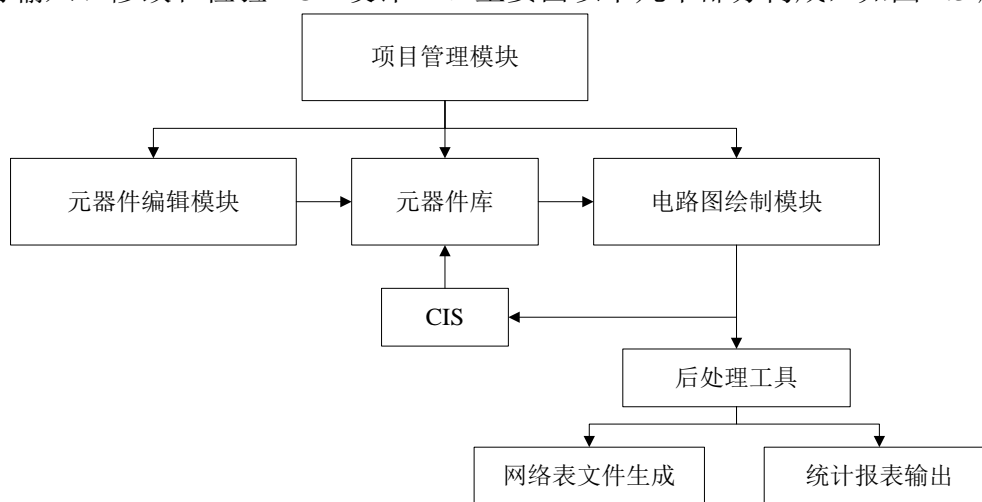


图 4.3 OrCAD Capture 总体构成

其中，整个项目的管理需要由项目管理单元来完成，它不仅可以管理电路原理图的设计与绘制，另外重要一点是管理各种资源文件，同时协调处理电路原理图与其他软件之间的接口与数据交换等。

当用户需要使用的元器件符号在 OrCAD Capture 中不存在时，设计者可以使

用元器件编辑模块添加新的元器件符号供使用。

根据设计者需要实现的电路功能与电路结构在电路图绘制模块中完成整体电路，检查无误后进一步处理，得到相应的网络表文件和统计报表输出文件等。

OrCAD Capture 工作环境如图 4.4 所示。

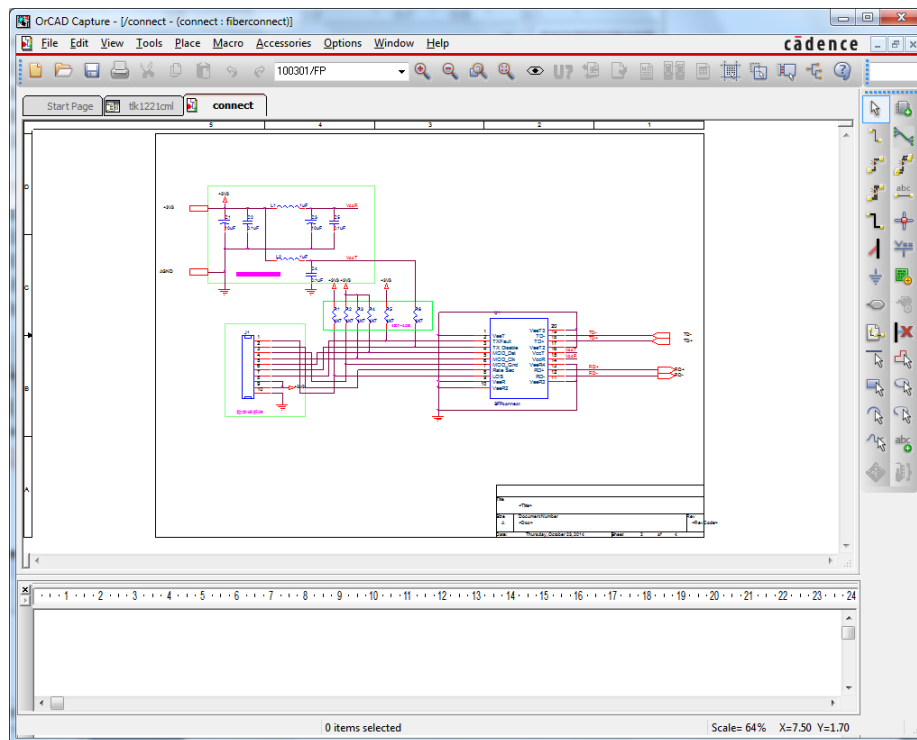


图 4.4 OrCAD Capture 工作环境

4.3.2 Serdes 发送端互连电路

本论文中，待测 SFP 光收发模块与 Serdes 之间所传输的为 LVPECL 高速差分电平信号，数据传输率为 600Mbps~1.25Gbps。在设计通信板 SFP 接口与光收发模块之间的互连通信时需要考虑阻抗匹配、端接和耦合问题。

LVPECL(Low Voltage Positive Emitter-Couple Logic)，也就是低压正发射极耦合逻辑，电源供电为 3.3V 和 2.5V^[22]。电路结构如图 4.5 所示，输出晶体管 Q1、Q2 并没有与外界电路接通，所以输出驱动器不会产生输出。为了使 Q1、Q2 和外部电路接通，需要提供晶体管对应的直流通路，通常使用电阻下拉接到地，输出支路偏置电流的大小由外接电阻决定。如果输出没有被使用，那么 Q1、Q2 引脚可以悬空保证输出的关断，降低电路系统功耗和噪声。

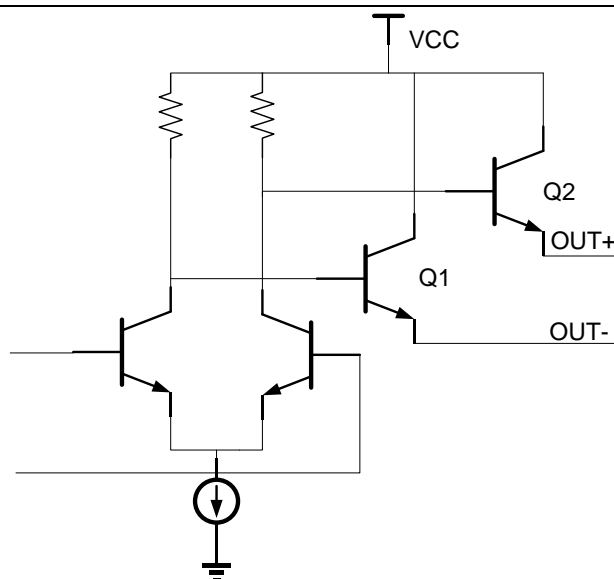


图 4.5 LVPECL 电路结构

LVPECL 电路输出高速差分信号，使用电阻端接提供直流偏置的时候，需要考虑阻抗匹配问题，根据所需要的端接电阻的大小，设置传输线阻抗，保证信号完整性^[23]。LVPECL 端接电路如图 4.6 所示，传输线阻抗和终端电阻均为 50Ω 。

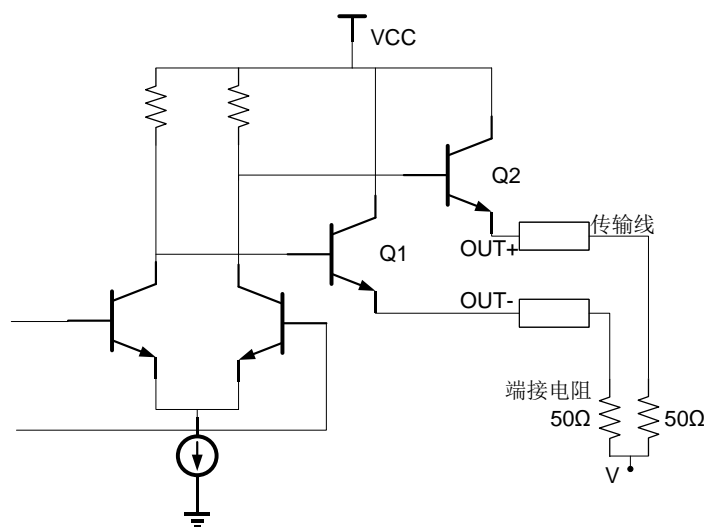


图 4.6 LVPECL 端接电路结构

TLK1221 与 SFP 光收发模块之间的互连有两种耦合方式，分别为直流耦合 (DC-Coupling) 和交流耦合 (AC-Coupling)^[24]。

DC-Coupling 使用在宽带宽或者直流不平衡编码的系统中，耦合系统的接口电路需要共地，DC-Coupling 在连接元器件的时候不需要使用任何电容，直流耦合的主要优点如下：板载设计简单、无直流漂移、在许多标准编码的数据传输中都非常有用，例如：SONET 和 NRZ 编码信号。直流耦合致命的缺点是对系统电源设计提出了很高的要求。

AC-Coupling 用来改变共模电压大小，电路拓扑结构如图 4.7 所示。

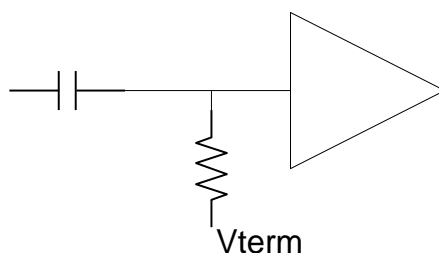


图 4.7 AC-Coupling 拓扑结构图

电容用来隔离信号中的直流成分，使交流成分通过，在交流耦合电容接收端通过电阻连接到电压 V_{term} ，主要目的是作为偏置结构来设置接收端的共模电压，这种偏置结构可以集成在接收器的内部，也可以使用外部上拉或者下拉电阻组成。在一些高速传输系统应用中，交流耦合仅仅对直流平衡信号是有效的，最主要的原因是在于交流耦合在高速串行数据传输中存在很大的直流电平基线漂移，导致所传输的信息存在极大的失真，影响系统信息传输的有效性。实际信号中存在很多的直流平衡信号，例如：50% 占空比的时钟信号，曼彻斯特编码的数据信息，光纤传输的 8B/10B 编码信号^[25]。

综上所述，交流耦合相对直流耦合存在很大的优点，例如电平转换，去除共模误差以及避免输入电压故障的发生等。从电路设计角度出发，经过多方面的分析和权衡，本文采用交流耦合的方式互连 TLK1221 和 SFP 光收发模块，根据前文所述，待测 SFP 光收发模块为 LVPECL 电平输入，则两者之间的互连为 LVPECL 电平输出与 LVPECL 电平输入通过 AC 耦合的电路结构，如图 4.8 所示。

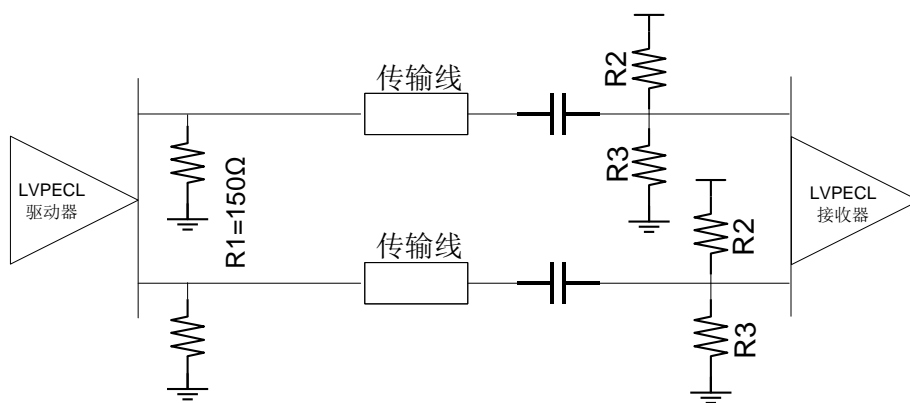


图 4.8 LVPECL 电平互连电路结构图

LVPECL 共模电压需固定在 $VCC-1.3V$ ，在选择直流偏置电阻时仅需要该电阻与输出驱动电路能够提供 $14mA$ 电流到地的通路即可，从而可以得出 $R_1 = (VCC - 1.3V)/14mA$ ，当供电电压为 $3.3V$ 时， $R_1=142\Omega$ ，然而这种方式给出的交流负载阻抗低于 50Ω ，在实际应用中， $3.3V$ 供电时， R_1 可以从 142Ω 到 200Ω 之间选取，这样做的主要目的是为了使输出波形达到最佳。 R_2 和 R_3 应满足式(4.1)和式(4.2)。

$$\frac{R_3 * V_{cc}}{R_2 + R_3} = V_{cc} - 1.3V \quad (4.1)$$

$$R_2 // R_3 = 50 \quad (4.2)$$

可求得 $R_2=83\Omega$ 、 $R_3=130\Omega$ 。TLK1221 差分输出端电路设计如图 4.9 所示。

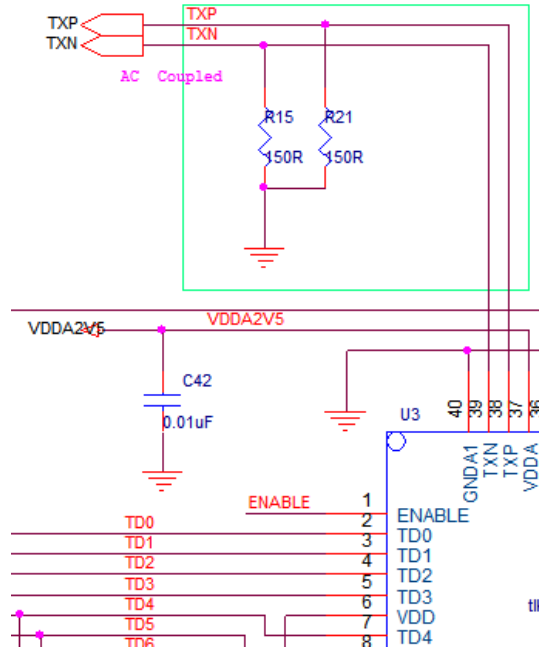


图 4.9 TLK1221 差分输出端电路

4.3.3 Serdes 接收端差分端接电路

光收发模块输出高速差分信号经过差分阻抗为 100Ω 传输线后达到 TLK1221 的差分接收端，为了匹配传输线和芯片输入阻抗，减小信号反射，在接收端采用 100Ω 电阻进行差分端接。由于光收发模块和 Serdes 之间为交流耦合，电路中的共模阻抗可以不需要考虑，只需要考虑差模阻抗匹配问题即可。

理想情况下，差分传输时两个单端信号边沿对齐且方向相反，两个信号都可以用差分分量和共模分量的形式表示，如式(4.3)和(4.4)。

$$V_1 = V_{comm} + \frac{1}{2} V_{diff} \quad (4.3)$$

$$V_2 = V_{comm} - \frac{1}{2} V_{diff} \quad (4.4)$$

如果只考虑上述信号中的差分分量，记为：

$$V_{1diff} = \frac{1}{2} V_{diff}$$

$$V_{2\text{diff}} = -\frac{1}{2}V_{\text{diff}}$$

一条线上的差分分量“感觉”到的都是另一条线上差分分量在反向翻转，因此每一条线上信号的差分分量“感觉”到的阻抗都是奇模阻抗 Z_{odd} 。假设由差分分量引起的电流为 I_{diff} ，这里 I_{diff} 没有考虑方向，仅仅代表大小，则奇模阻抗可表示为式(4.5)。

$$Z_{\text{odd}} = \frac{\frac{1}{2}V_{\text{diff}}}{I_{\text{diff}}} \quad (4.5)$$

则由上式可得差分阻抗为：

$$Z_{\text{diff}} = \frac{V_{\text{diff}}}{I_{\text{diff}}} = 2Z_{\text{odd}} \quad (4.6)$$

两个差分分量符号相反，因而对应的电流方向也相反，对于差分信号来说好像构成了一个虚拟回路，具体的差分电流回路如图 4.10 所示。从接收端来看，电压为差分分量的两倍，电流却和单个支路的相等，因此阻抗为单个支路的两倍。对于差分信号来说两个支路似乎串联在了一起^[26]。

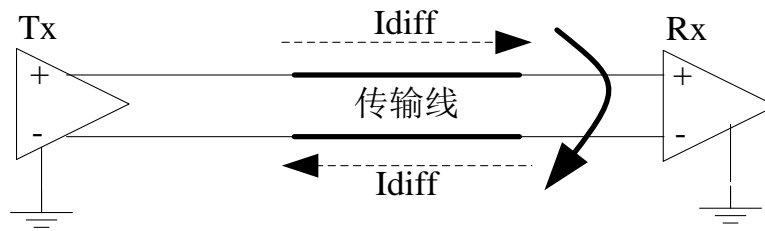


图 4.10 差分电流回路

差分对中的两个单端信号传输到传输线末端时，如果没有使用电阻端接处理，信号在传输过程中遇到阻抗不连续点会发生反射，接收端的单端信号波形可能会发生振铃，差分对的电阻端接如图 4.11 所示，由于 Serdes 和 SFP 光收发模块之间采用交流耦合，所以在选取电阻端接方式，计算阻抗问题时，不需要考虑信号传输线路中的共模阻抗不匹配所造成的影响。

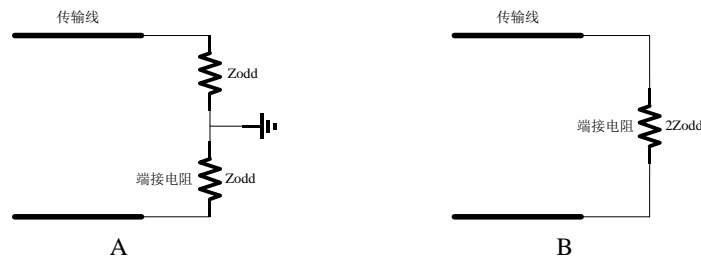


图 4.11 不考虑共模阻抗的差分对端接方法

图 A 实质上是对两个单端信号单独在末端并联端接到地，信号所感受到的差分线的单端阻抗为其奇模阻抗 Z_{odd} ，因此如果两个端接电阻都等于 Z_{odd} ，差分信号到达端接位置时感受到的阻抗为 $2Z_{odd}$ ，总的阻抗值恰好等于差分阻抗，所以信号在传输过程中阻抗一直保持连续，则信号不会发生发射，图 4.11 中的端接方式 A 和 B 对差分信号所起的作用相同^[27]。在实际应用中，为了板级安装方便，高速差分对的接收端通常选择图 B 的端接方式， TLK1221 差分输入端端接电路如图 4.12 所示。

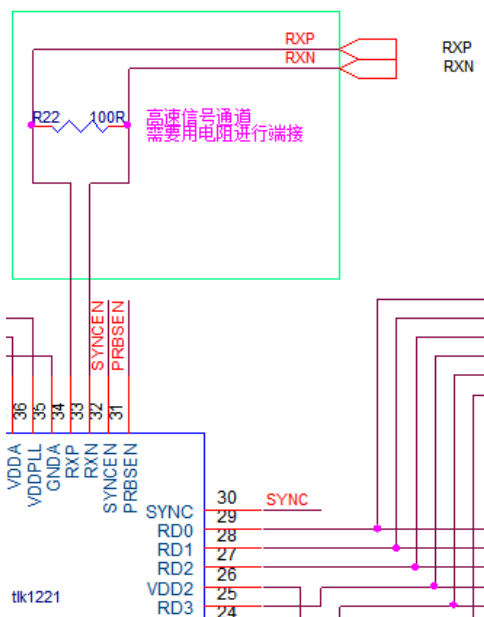
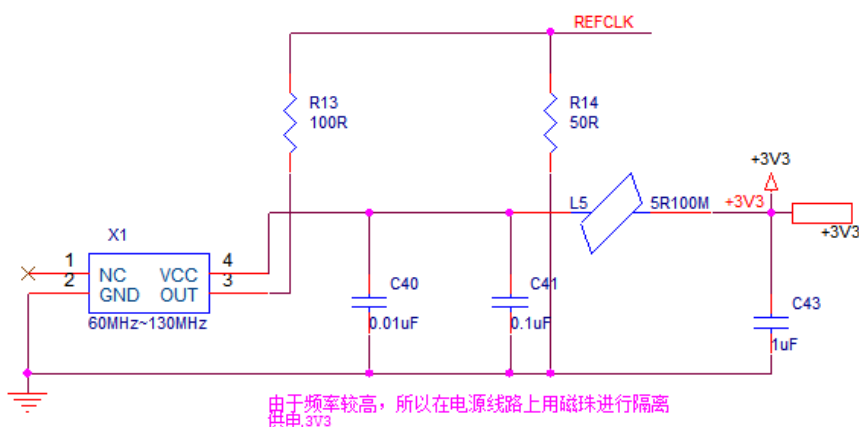


图 4.12 TLK1221 差分输入端端接电路

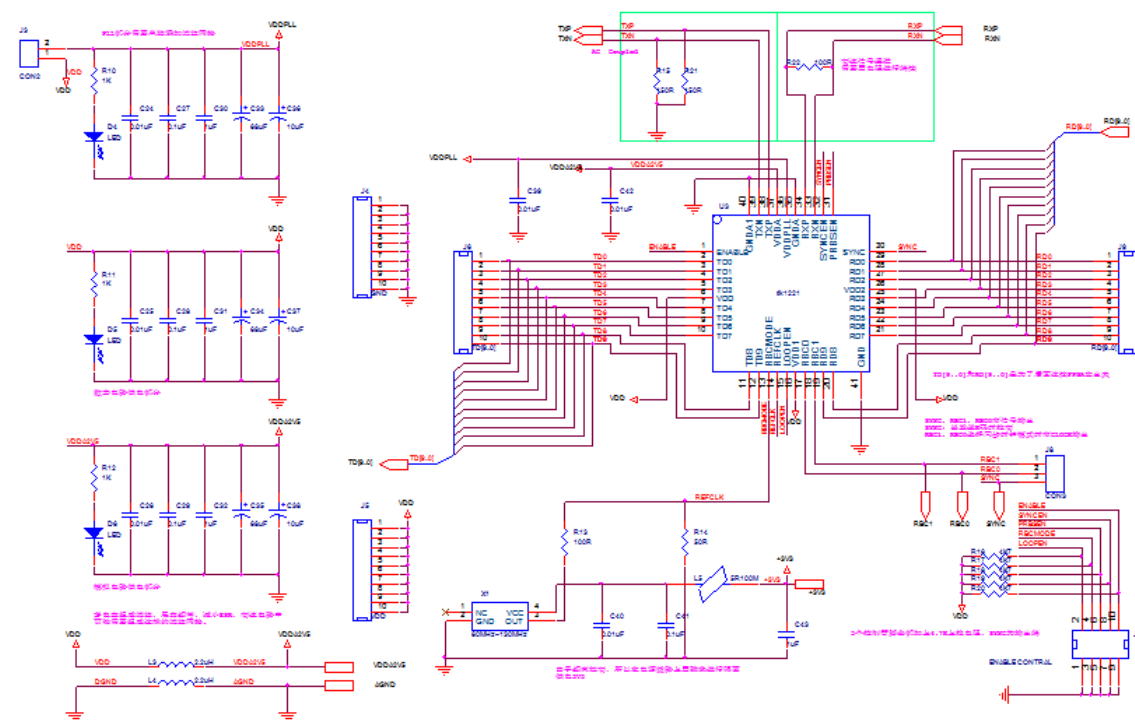
4.3.4 Serdes 时钟输入电路

根据上文所介绍的，需要给 TLK1221 提供 60MHz 到 130MHz 的时钟信号，具体的电路设计如图 4.13 所示。



X1 为有源晶振，大小可以根据串行数据输出速率需要进行调节，由于晶振

输出的时钟频率较高，所以在时钟电源线上串入磁珠 L5，用来抑制电源线上的高频噪声和尖峰干扰，同时为了保证传输线阻抗的匹配性，减少时钟信号的反射^[28]。在时钟输出端串联 100Ω 电阻，使时钟信号更加完整，从而保证数据的传输和接收的可靠性，如图中 R13 所示，串联电阻不能太大，避免时钟信号幅度衰减到有效电平以下。其中 R14 为可选电阻，在实际使用的时候可以选择是否加入电路中，如果是使用仪器给 TLK1221 提供时钟时，为了保证传输线和设备输出端阻抗匹配，则需要使用 50Ω 电阻进行并联端接，本系统中由外围电路提供时钟，可将其忽略。TLK1221 系统电路设计原理图如图 4.14 所示。



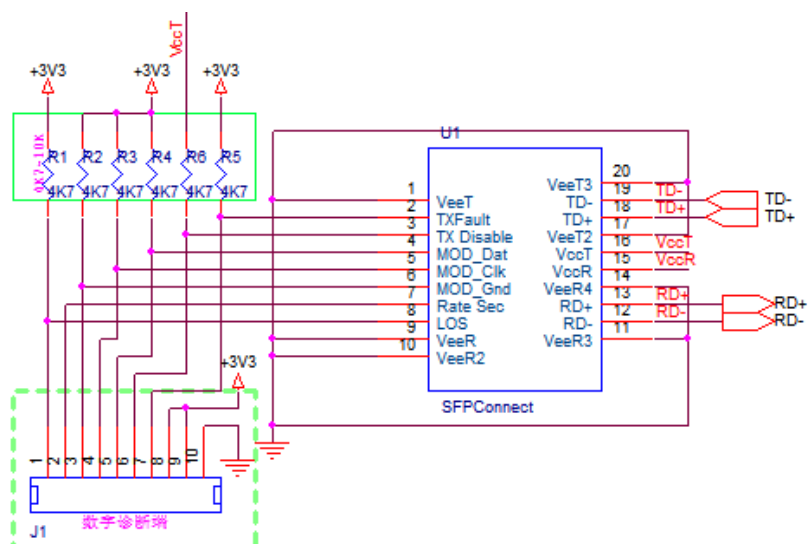


图 4.15 SFP 光收发模块低速控制线原理图

根据 SFP_MSA 协议规定，SFP 光收发模块低速电接口为开漏/开集(open drain/open collector)输出，如上图中的 TXFault、MOD_Dat、MOD_Clk、LOS 等管脚，其中 J1 为数字诊断端，监测系统通过该端口与通信平台中的 SFP 光收发模块进行通信。为了保证数据通信和控制的准确性有效性，则需要在开漏/开集端口添加上拉电阻，由于开漏输出和开集输出电路结构一样，在论文中只对开漏输出电路进行分析，确定上拉电阻的大小^[29]。

开漏输出中的“漏”就是指 MOSFET 的漏极，即漏极开路，电路结构如图 4.16 所示。

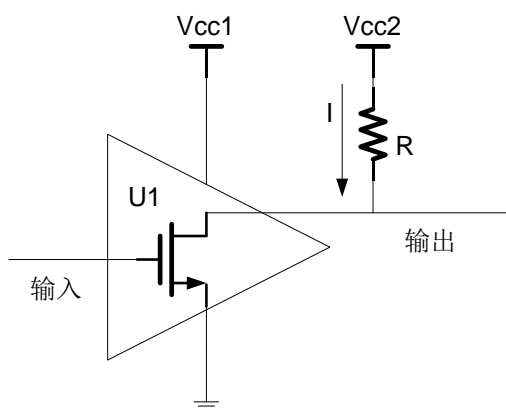


图 4.16 开漏输出电路结构

该电路的一般用法是在漏极外部的电路添加上拉电阻，否则电路只能输出低电平。上拉电阻一方面是保证开路时 IO 口为高电平，另一方面也可以增强 IO 的驱动能力，在选择计算上拉电阻阻值大小的时候，需要从以下几个方面考虑：系统功耗、驱动能力和传输速率。当选取的上拉电阻较小时，输出支路灌电流较

大，驱动能力较强，则系统功耗也会随之上升，当选取的上拉电阻较大时，输出支路灌电流较小，驱动能力下降，系统功耗减小，同时所传输数据的上升沿也会变得缓慢，对传输速率有很大的限制，所以在选取开漏输出的上拉电阻时应该从以上几个方面权衡考虑，选取最佳电阻值。对于一些标准通信总线接口，例如：IIC 接口，给定了固定的支路电流大小，则在外部供电电压、所需灌电流确定的情况下，可以计算出准确的上拉电阻大小，但是在实际应用中需要考虑总线的数据传输距离，这时候可对上拉电阻进行适当的调整，使整个通信系统性能最好，工程中一般会选择 $4.7\text{K}\Omega\sim 10\text{K}\Omega$ 的电阻。

(2) 模块电源滤波电路，根据所给出的 SFP 光收发模块低速控制线原理图中可以看出，TX_Disable 端口通过上拉电阻接到网络 VccT，15 脚和 16 脚分别为 VccR 和 VccT，根据 SFP_MSA 协议规定，光收发模块分为接收电路和发射电路，两者之间需要分开供电，即接收部分为 VccR，发射部分为 VccT，由于各个模块电路需要工作在较高的数据传输率下，所以模块电源的稳定性显得尤其重要。发射端电源电压的波动会对激光驱动器的性能产生较大的影响，导致 TOSA 输出的光信号质量大大变差，甚至可能使所传输数据的丢失或者产生误码。同时，接收端电源纹波幅值较大也会对电路性能产生非常大的影响，由于光收发模块接收端所处理的为 ROSA 进行光电转换后的小信号，如模块中的跨阻放大器、限幅放大器等，电源电压的波动会引入额外的噪声，导致放大器的共模抑制比、电源抑制比等参数下降，则应该去避免产生该类噪声对系统性能所造成的严重影响。综上所述，纯洁干净的电源电压对光收发模块的接收灵敏度、稳定性等性能起着至关重要的作用。具体的模块电源滤波电路原理图设计如图 4.17 所示。

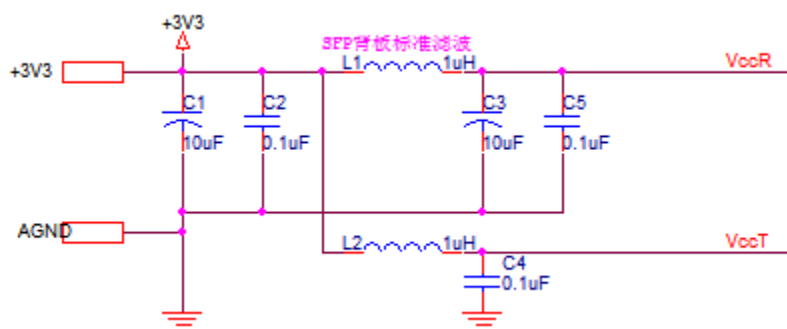


图 4.17 模块电源滤波电路

3.3V 电源输入端为电容 C1 和 C2 的并联，由于实际电容和理想电容有很大差别，实际电容具有电阻、电感和电容三种特性，其中 $10\mu\text{F}$ 电容对滤除低频干扰有较好的作用，但是对于电源中的高频成分，电容呈现感性，导致总的阻抗很大，单个 $10\mu\text{F}$ 电容无法对电源进行有效滤波处理，所以需要并联 $0.1\mu\text{F}$ 电容滤除高频分量，C3、C5 和 C1、C2 有着同样的作用。同时，并联的两组电容之间

串入了 $1\mu\text{H}$ 电感，如 L1、L2 所示，在实际应用中可以使用零欧姆电阻或者磁珠代替，作用是滤除电源中的高频噪声，这种电感和电容，或者高频磁珠和电容的并联结构组成低通滤波器，进一步滤除电源中的高频成分，使 SFP 光收发模块接收电路和发射电路的电源更加纯净有效^[30]。

4.3.6 通信平台电源设计

任何一个电子系统中，电源是不可或缺的单元，在现代电路设计中，电源分配系统(Power Distribution Network, PDN)占有越来越重要的作用。与低速信号传输时代相比，现代的电路对 PDN 系统要求更加苛刻和严格，导致 PDN 系统的设计越来越困难，一方面，芯片的开关速度在不断的提高，不仅仅停留在 KHz、MHz 级别，大多数时候为 GHz，导致负载对高频瞬态电流的需求越来越大^[26]。另一方面，芯片的功能在不断的增加，同时性能也越来越强大，从而导致芯片的功耗也随之增加，然而当负载芯片对高频瞬态电流需求很大，并且要满足电源分配系统噪声要求时，为电源系统的设计提出了很大的挑战^[31]。

通信平台需要为 TLK1221 和 SFP 光收发模块等单元提供 2.5V 和 3.3V 两路电源，考虑到使用分立模块单独供电的复杂性和非可控性，则在本文中使用 5V 电源通过降压芯片得到满足系统要求的电源电压，在实际设计过程中，可以采用开关型稳压电源和线性稳压电源实现。开关电源相对线性稳压电源而言有更高的效率，但是电源输出纹波、稳定性和可靠性比线性稳压电源差很多，在通信系统中需要保证电源的噪声最小，所以和效率相比应该更优先考虑电源噪声和稳定性参数。从输出电源路数、噪声参数、负载功耗等方面综合考虑，最终选择 TI 公司的双路低压差电压转换器 TPS767D325 作为通信平台电压转换芯片。

TPS767D325 可同时输出双路电压，分别为 3.3V 和 2.5V，输出电流从 0mA 到 1A 可变，当输入电压为 5V 时电源电路原理图如图 4.18 所示。

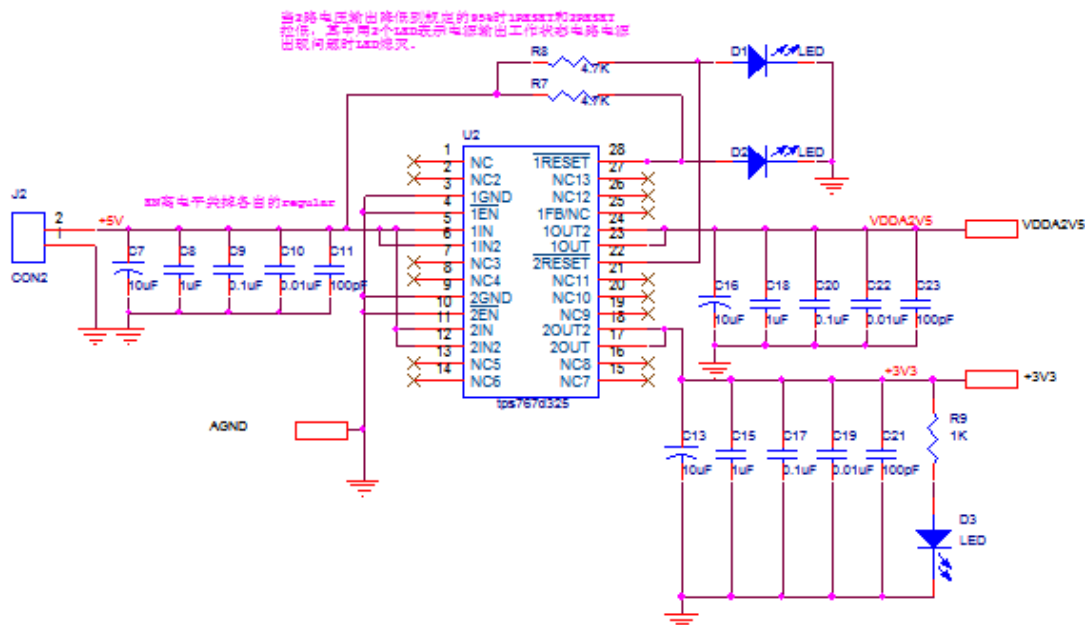


图 4.18 TPS767D325 电路设计原理图

1OUT 端输出为 2.5V 电压, 2OUT 端输出为 3.3V 电压, D1 和 D2 接在芯片的两个复位端, 当输出电压降到所规定电压的 95% 时, 1RESET 和 2RESET 输出低电平, LED 灯熄灭。在电压输入端和输出端都有很多的电容进行并联滤波, 这样做的目的是为了降低电容的等效串联电阻(ESR), ESR 越低, 损耗越小, 输出电流就越大^[32]。

4.4 通信平台 PCB 板设计

4.4.1 PCB 板信号完整性分析

在工程师设计系统的 PCB 板时, 不可能使线与线之间的距离相距很远, 他们往往使每条走线相对靠近来满足设计需要, 但是这样会对系统带来其他的影响。当 PCB 板上走线间距较近的信号线中传输高速信号时, 两条传输线之间的寄生电容和电感会在邻近的走线上产生电压或者电流, 从而引起噪声, 这种现象称为串扰^[33]。串扰主要分为容性串扰和感性串扰, 两条传输线之间通过电容耦合引起的串扰称为容性串扰, 反之为感性串扰^[34]。

在实际工程中容性串扰和感性串扰总是同时发生的, 受害线上同时包含了容性耦合电流与感性耦合电流^[35]。受害线上与攻击信号传播方向相反的一端称为近端, 与攻击信号传播方向相同的一端称为远端, 则在受害线两端产生的串扰分别称为近端串扰和远端串扰^[36]。通过以上分析, 信号线之间的串扰主要和线间耦合电容、耦合电感、耦合长度和信号上升时间有关, 在实际的高速互连等系统中线宽、线距、介质厚度和介电常数的变化都会导致信号耦合参数的变化, 从而产生传输线之间的串扰问题。

对于高速差分走线, 论文在前面差分阻抗匹配章节分析了差分阻抗、单端阻抗等, 差分信号传输与单端信号传输相比有许多优点, 差分信号线大大减小了电磁干扰和信号幅值突变对有效信号的影响, 抑制了信号传输过程中的共模噪声, 另外, 差分信号可以使用同轴电缆传输很远的距离。

差分对十分重要的特性是组成差分阻抗的材料横截面积是恒定不变的, 所以差分信号所感受到的差分阻抗是固定的, 从而保证信号传输时的反射和失真最小。另外, 差分对应该保持等长, 两条传输线上的任何时延差或错位都会导致差分信号变成共模信号。线的宽度和两条线间的介质间距也应该保证完全相同。与单端信号相比, 差分信号在耦合差分对上传输时较少受到其他动态网络的噪声干扰, 传输线间的耦合程度越强, 耦合系数越大, 导致差分阻抗减小, 同时抑制共模干扰噪声的能力越强^[37]。

当信号在传输线中传播时, 如果遇到阻抗不连续, 信号会发生反射导致波形质量下降, 反射信号和原信号叠加时产生的下冲和过冲可能会超过噪声容限, 造成系统误触发^[38]。信号反射现象出现在传输路径的末端, 或者是在元器件互连拓扑结构发生改变的地方, 例如: 走线的拐角处、过孔、一些接插件等等。在设计 PCB 板时, 需要仔细考虑这些阻抗不连续点, 尽量保证信号在传输时反射系数最小。

为了保证数据高速传输的有效性, 需要满足系统时序要求, 在多通道并行总线中都会存在等长要求, 但是由于布线空间影响, 所以很难满足。当碰到此类情况时, 一般通过绕线的方式改变传输线长度, 这就是常说的蛇形走线, 在通信平台中采用蛇形走线方式完成了由 FPGA 接口到 Serdes 的传输, 最终的目的是为了调整传输信号的延时, 让有时序约束的 10bit 并行信号同时到达接收端。其中需要注意, 蛇形线走线的长度和信号传输延时并不成正比, 要以信号线延时为最终的调控目标^[26]。

蛇形线能够在多大程度上达到延时的效果, 主要和绕线方式有着密切的关系, 在 Cadence Allegro 软件中给出了多种绕线方式, 在绕线过程中蛇形线有两个参数很容易控制, 即线间距(Gap)和蛇形线长(H)^[39]。根据论文前面对串扰的分析, 蛇形走线也同样会产生串扰, Gap 越大, 串扰越小, 耦合长度越小, 串扰越小。蛇形线的 Gap 值越大或者 H 越小, 传输线延迟都将接近于直线情况。综上所述可得到, 在 PCB 系统的蛇形走线中, 如果布线空间允许, 应该尽量使用大的 Gap 值, 并且减小 H 值, 只有这样才能较好的达到并行走线预期延时的效果, 同时在设计的时候也应该想办法尽量减小线间串扰。

4.4.2 PCB 板设计工具介绍

对于电子系统来说, PCB 的设计是必不可少的, 由于 SFP 光收发模块通信

平台中 Serdes 包含有较高传输速率的差分对，所以在设计 PCB 时，不能按照设计常规电路那样去考虑，应该从电路的信号完整性和电源完整性方面去考虑设计，普通的 PCB 设计软件难以满足当前复杂系统的需求^[40]。

在论文中使用 Cadence Allegro 对电路设计，Allegro 提供了与 OrCAD Capture 良好的工作接口，为高速、高密度的 PCB 设计布线提供了完美的解决方案。同时设计者可以使用其中的 Constraint 功能为电路系统设计相应的约束规则，例如：差分线长度、线间距，单个网络线宽、线长等，进行 PCB 布线时 Allegro 可以对当前网络状态进行实时监测，并且与设计者所设定的相应的网络规则进行比对，这样大大节省了系统设计时间，同时保证了设计成功率。此外，Allegro 还可以和 Hyperlynx、ADS Momentum 联合仿真进行信号完整性分析，这种仿真主要针对高速电路的 PCB 设计，如 Serdes 电路^[41]。在论文中采用如上所述的设计与仿真的方法对 SFP 光收发模块通信平台 PCB 进行设计，图 4.19 所示为 Cadence Allegro 操作界面。

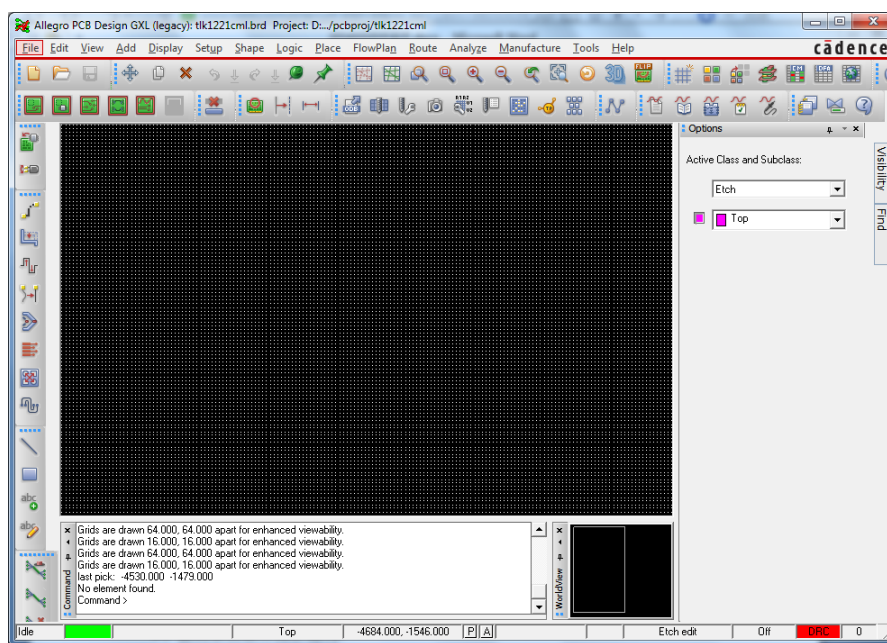


图 4.19 Cadence Allegro 操作界面

4.4.3 PCB 设计与板级仿真

论文从分析系统信号完整性角度出发设计通信平台 PCB 板，对于以前的硬质电路板和 IC 封装的设计可能更多的是依赖于设计师的经验去完成相应的工作和解决工程中所存在的问题，但是数字系统的飞速发展，使板级、芯片级的互连远远高于 1Gbps 通信速率这个屏障，由于信号频率的不断提高，信号的上升和下降时间不断减小，板级的集成度越来越高，导致系统的信号完整性问题成为了工程师们在设计中需要考虑的首要问题，最关键的是 PCB 板级设计。传统的 PCB

设计流程是从原理图设计直接到 PCB 板的设计，制板出来后进行调试，如果满足系统需求则可以投入使用，否则需要对设计进行相应的改进，然后再重新制板进行调试，这种设计方法将会使用较长的产品开发周期，同时也需要较高的研发成本。

根据前文介绍，TLK1221 通过高速差分线与 SFP 光收发模块进行互连通信，传输速率为 600Mbps 至 1.25Gbps 可变，同时存在 10bit 收发并行总线，所以在设计通信平台 PCB 板时，结合高速 PCB 仿真工具 Hyperlynx 和 ADS Momentum 对 PCB 板进行设计，其中主要从传输线延迟、串扰和高速差分走线等方面进行仿真分析。

在 Cadence Allegro 中对目标传输线的延时、阻抗等特性设置合理约束规则，得到初步的设计方案，接着进行 PCB 板的布局、布线设计，最后将设计完成的 PCB 板导入 Hyperlynx 做板级的后仿真，如有问题，则需要做进一步修改，这是最常规的信号完整性分析方法。基于 Hyperlynx 仿真需要元器件供应商提供相关芯片的 IBIS 模型，但是某些器件厂商没有提供相关器件模型或者所给的模型不完整时，利用传统的仿真方法是行不通的，论文中使用 Cadence Allegro 和 ADS Momentum 联合仿真弥补了这种不足，其主要针对具有特定输出阻抗的高速差分对。

对 SFP 光收发模块通信平台 PCB 设计之前需要对 PCB 板进行层叠设置，层叠参数的选择直接影响到传输线阻抗大小、传输线延迟等因素，从而导致系统设计的差异性，图 4.20 所示为 PCB 板的层叠结构，其中可以看出基板和介质厚度、介电常数等重要参数^[42]。

| | Subclass Name | Type | Material | Thickness (MIL) | Conductivity (mho/cm) | Dielectric Constant |
|---|---------------|------------|----------|-----------------|-----------------------|---------------------|
| 1 | | SURFACE | AIR | | | 1 |
| 2 | TOP | CONDUCTOR | COPPER | 1.65 | 595900 | 4.5 |
| 3 | | DIELECTRIC | FR-4 | 8 | 0 | 4.5 |
| 4 | GND | PLANE | COPPER | 1.65 | 595900 | 4.5 |
| 5 | | DIELECTRIC | FR-4 | 48 | 0 | 4.5 |
| 6 | POWER | PLANE | COPPER | 1.2 | 595900 | 4.5 |
| 7 | | DIELECTRIC | FR-4 | 8 | 0 | 4.5 |
| 8 | BOTTOM | CONDUCTOR | COPPER | 1.65 | 595900 | 4.5 |
| 9 | | SURFACE | AIR | | | 1 |

图 4.20 Cadence Allegro 板级层叠结构

此种层叠的选择主要从以下几个方面考虑：

1) 高速互连系统中，需要提供完整的参考平面，保证电流返回路径的完整性，减小相应的寄生参数，提高系统性能，更多的板层会使 PCB 布局布线更加方便，提高设计效率。

2) 板层从上到下分别为 TOP 层、GND 层、POWER 层和 BOTTOM 层，层间距设置如表 4.2 所示。

表 4.2 PCB 板基板厚度

| 层级 | TOP 与 GND | GND 与 POWER | POWER 与 BOTTOM |
|----------|-----------|-------------|----------------|
| 间距(mils) | 8 | 48 | 8 |

PCB 制作工艺规定, PCB 制作厂商提供的最小 PCB 板厚为 8mil, 所以 TOP 与 GND 之间选择 8mil 的间距, POWER 与 BOTTOM 之间同样选择 8mil 的间距, 因为传输线的阻抗 R 和传输线到参考平面的距离 H 成正比, 当其他参数一定的情况下, 增大 H 的同时, R 也增大, 在设计中为了得到较小阻值的传输线, 则需要加大传输线线宽, 这样在设计中会带来布线空间不够等问题, 所以本设计中选择 PCB 厂商所规定的最小 PCB 板厚度进行层叠。由于最常规的 4 层板厚度为 1.6mm, 所以在层叠设置中 GND 与 VCC 之间设定为 48mil 的间距。

进行完层叠设计后, 对 SFP 光收发模块通信平台器件进行布局处理, 同时对系统电源进行分配以及内电层的分割, 保证完整的电源和地平面, 使电流返回路径的阻抗最小, 电源层和地层采用负片设计方式处理。布局完后的通信平台拓扑结构如图 4.21(a)所示。

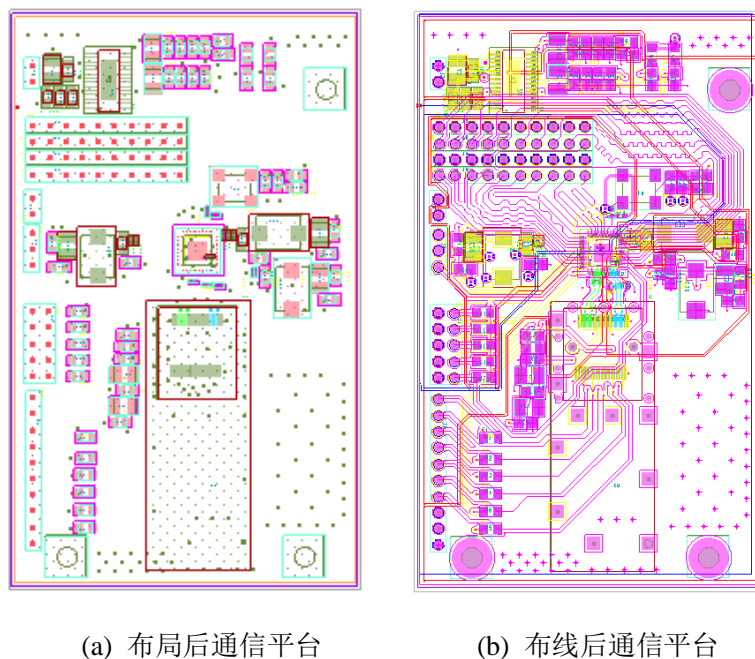


图 4.21 通信平台布局图与完整 PCB 图

布局完后需要进行布线设计, 在信号线方面重点考虑 TLK1221 与 FPGA 接口之间的 10bit 并行数据线和与 SFP 光收发模块相接的高速差分对。布线完成后的 PCB 如图 4.21(b)所示。

根据论文前面对 TLK1221 的介绍, 外部时钟上升沿为并行数据输入触发信号, 采用蛇形走线的办法设计了本系统的并行走线, 同时对传输延时进行了相应控制。对于 TLK1221 与 SFP 光收发模块连接的高速差分走线采取紧耦合、等长

的设计模式进行布线。同时由于 TLK1221 差分对管脚和 SFP 光收发模块连接器管脚并不是完美对应,则需要在差分线传输路线上添加过孔使其对称相接,考虑到过孔会带来阻抗的不连续,引起信号的反射,当频率较高时导致十分严重的过冲、下冲等现象,所以对过孔进行设计的时候,在满足 PCB 厂家制造工艺的前提下,将内、外孔孔径设置的越小越好。使用 Allegro 进行布线设计时需要保证并行总线 and 高速差分线的传输延时相同,等效为信号线等长,具体传输线数据指标如图 4.22 所示。

| Objects | Referenced Electrical C Set | Total Etch Length | | | Total Etch Length | | | Unrouted Net Length | Routed/Manhattan Ratio |
|--------------|-----------------------------|-------------------|---------|--------|-------------------|---------|--------|---------------------|------------------------|
| | | Min | Actual | Margin | Max | Actual | Margin | | |
| | | mil | mil | mil | mil | mil | mil | mil | % |
| tlk1221cm1 | | | | | | | | | |
| RDBUS10 (10) | RDBUS10 | | | | | | | | |
| RD0 | RDBUS10 | | 1176.99 | | | 1176.99 | | 1436.095 | 81 |
| RD1 | RDBUS10 | | 1123.57 | | | 1123.57 | | 1316.410 | 85 |
| RD2 | RDBUS10 | | 1080.13 | | | 1080.13 | | 1196.725 | 90 |
| RD3 | RDBUS10 | | 1087.17 | | | 1087.17 | | 1057.355 | 102 |
| RD4 | RDBUS10 | | 1085.06 | | | 1085.06 | | 937.670 | 115 |
| RD5 | RDBUS10 | | 1091.33 | | | 1091.33 | | 817.985 | 133 |
| RD6 | RDBUS10 | | 1107.12 | | | 1107.12 | | 698.300 | 158 |
| RD7 | RDBUS10 | | 1138.40 | | | 1138.40 | | 578.615 | 196 |
| RD8 | RDBUS10 | | 1135.84 | | | 1135.84 | | 478.614 | 237 |
| RD9 | RDBUS10 | | 1121.39 | | | 1121.39 | | 396.299 | 281 |
| TXBUS10 (10) | RDX0 | | | | | | | | |
| RXDIF | 50OHM | | | | | | | | |
| RXN | 50OHM | | 338.304 | | | 338.304 | | 363.534 | 93 |
| RXP | 50OHM | | 338.409 | | | 338.409 | | 366.589 | 92 |
| TXDIF | 50OHM | | | | | | | | |
| TXN | 50OHM | | 329.545 | | | 329.545 | | 344.102 | 95 |
| TXP | 50OHM | | 325.511 | | | 325.511 | | 332.291 | 97 |

图 4.22 信号传输线长度信息

10bit 并行总线线长控制在 1130mil,相互之间的误差很小,在工程设计误差范围之内。接收差分对 RXN 和 RXP 以及发送差分对 TXN 和 TXP 的长度分别相等,满足传输线设计要求^[43]。

设计完通信平台 PCB 后将其生成可以导入到 Hyperlynx 中的.HYP 文件,进行 PCB 板级的仿真,完成相关设置后对并行总线进行串扰仿真分析,如图 4.23 所示为将 PCB 板导入到 Hyperlynx 后的电路图。

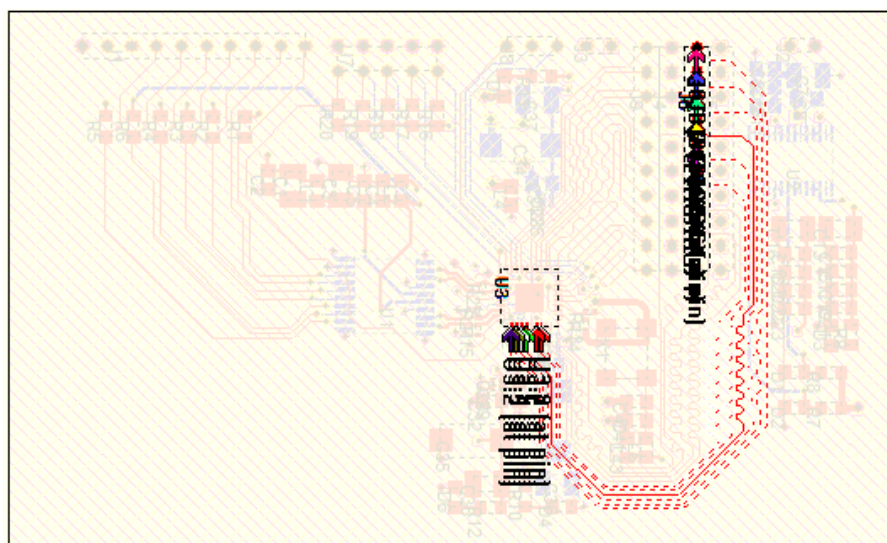
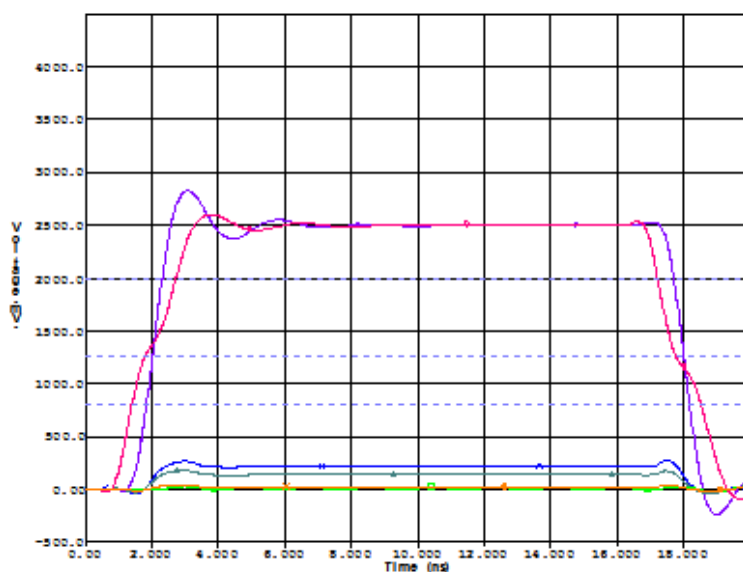
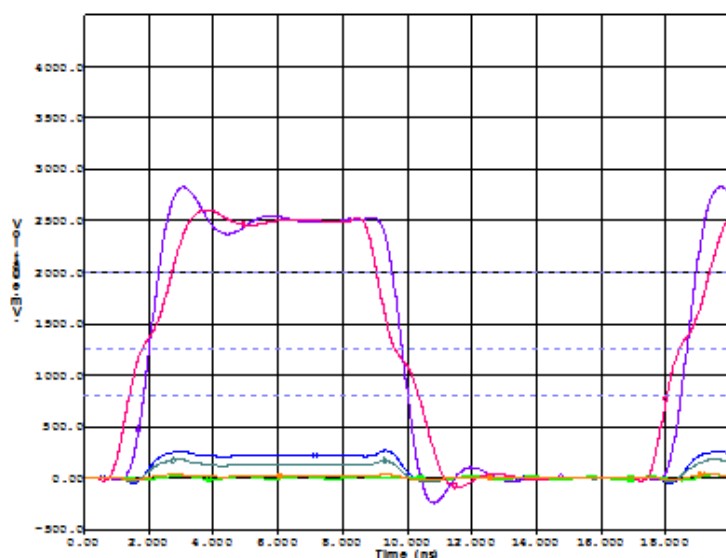


图 4.23 Hyperlynx 中电路图

在电路图中选定其中一条数据线，虚线所示为受害线，与目标线间距越近受干扰情况越严重。导入 TLK1221 的 IBIS 模型，驱动端输入固定频率的方波信号，则可以仿真得到受害线端的串扰电压，总的仿真波形如图 4.24 所示，图 4.24(a) 为目标线传输 30MHz 方波信号波形，图 4.24(b) 为目标线传输 60MHz 方波信号波形，从图中可以看出高电平幅值为 2500mV，满足芯片所规定的 IO 输出高电平电压值，其中电压值处于 0~500mV 的波形由串扰在受害线上所产生^[44]。并且，由于传输线中存在阻抗不连续点，引起传输信号的反射，导致在波形中产生过冲和下冲，但是幅值较小，在工程应用中不会引起码值判决错误等问题，所以在 PCB 设计中并行总线间距设置是可以接受的，但是当串扰电压非常大时，需要在传输线间做相应的隔离，例如线间插入地线等办法。



(a) 30MHz 串扰仿真输出波形



(b) 60MHz 串扰仿真输出波形

图 4.24 串扰仿真结果

在论文中采用 ADS Momentum 对高速差分线进行仿真，相对 Hyperlynx 而言，Momentum 可以在没有芯片器件模型时仿真特定阻抗的传输线，例如 LVPECL、LVDS、CML 等高速差分信号，对传输线进行设计时需要满足阻抗匹配原则，由于高速差分对接口的单端输出阻抗规定为 50Ω ，所以在系统设计中将传输线阻抗设置为 50Ω ，差分阻抗设置为 100Ω 。但是由于差分线间耦合系数的存在，导致差分阻抗会小于 100Ω ，根据前面对差分对阻抗理论的分析，差分阻抗端接电阻也同时需要小于 100Ω ，单端阻抗不变。在 Cadence Allegro 中设置 TLK1221 的 RXN、RXP 和 TXN、TXP 两对差分传输线阻抗时需要按照上述规则考虑。设计完后导出通信平台 PCB 板的光绘文件(Gerber)，如图 4.25 所示，图中没有包含所有板层。

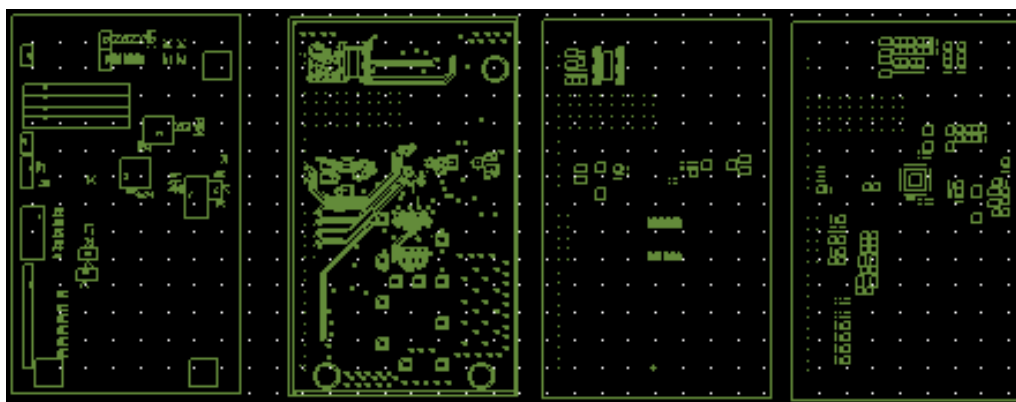


图 4.25 PCB 板部分层光绘文件

将导出的光绘文件导入到 ADS Momentum 中，同样需要在 Momentum 设定好板级层叠，选定待仿真的差分线，TLK1221 差分对 3D 模型如图 4.26 所示，中间为基板。

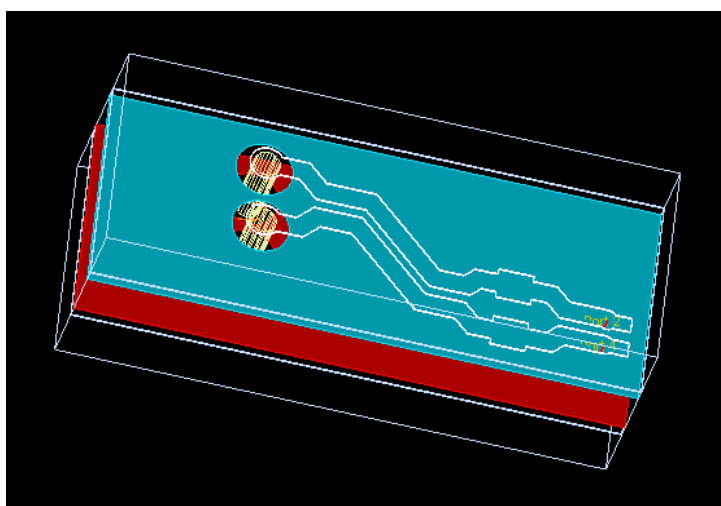


图 4.26 差分线在 ADS Momentum 中的 3D 模型

对该差分传输线进行 S 参数仿真，仿真波形如图 4.27 所示。

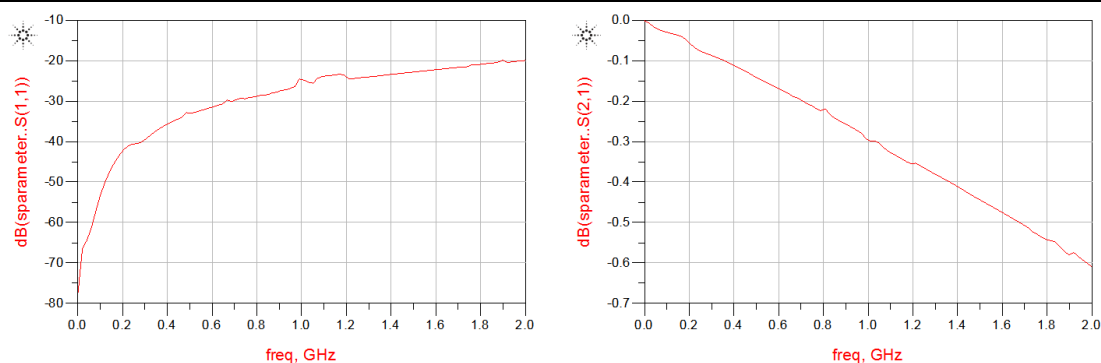
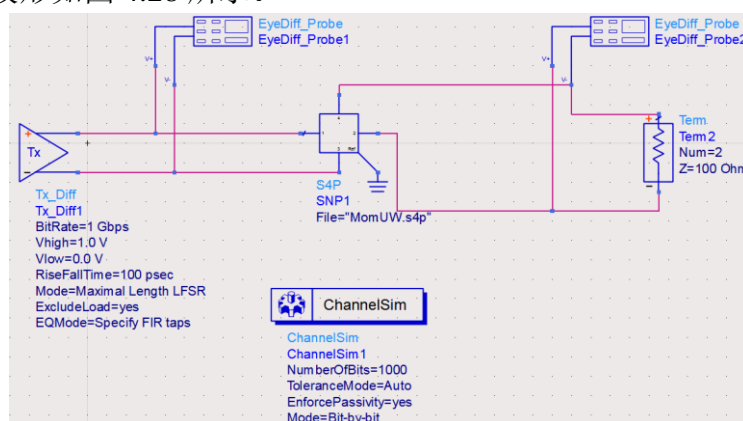
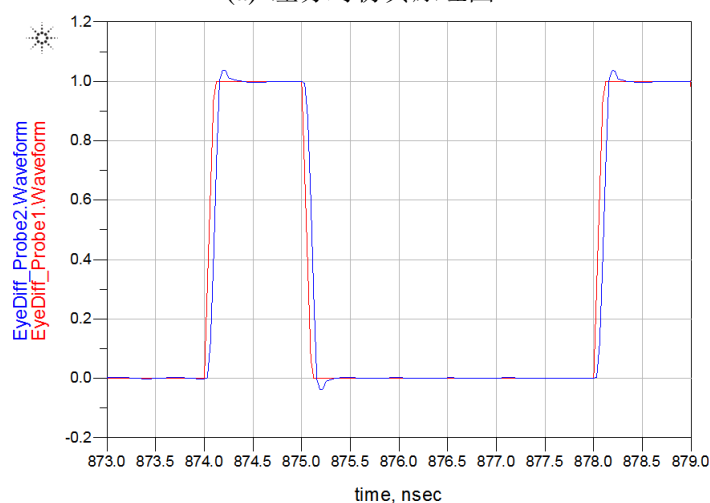


图 4.27 差分对仿真 S 参数结果

从 S 参数仿真图中可以看出, 当信号频率从 0Hz 到 2GHz 变化时, S11 逐渐增大, 说明传输线的反射量增大了。总体来说, PCB 差分信号线的这种传输特性不会对平台的实际通信造成大的影响, 能够满足 SFP 光收发模块的传输速率。为了得到数据传输的瞬态仿真波形, 则根据传输线的 S 参数生成 .SNP 文件, 然后导入到 ADS 原理图中, 设计好仿真电路, 对实际电路进行瞬态仿真, 具体的电路和仿真波形如图 4.28 所示。



(a) 差分对仿真原理图



(b) 仿真输出结果

图 4.28 差分对原理图仿真

图 4.28(a)差分对仿真原理图中, TX 为驱动端模型, 数据传输率为 1Gbps、信号的上升和下降时间为 100ps、电压幅值 1V, 由于差分阻抗为 100 Ω , 为了防止信号反射, 则需要对其进行差分端接处理, 如 Term 终端电阻。图 4.28(b)为驱动端和接收端瞬态仿真波形, 从图中可以看出输出端和接收端波形大致相同, 接收端信号在上升沿和下降沿出现的时刻产生了过冲和下冲, 产生这种现象的原因可能是在信号的传输路径中存在阻抗不连续点导致, 例如管脚焊盘或者端接电阻和实际差分对阻抗并不完全相等, 在工程应用中可以接受。

通信平台 PCB 板如图 4.29 所示, 表 4.3 为模块说明。

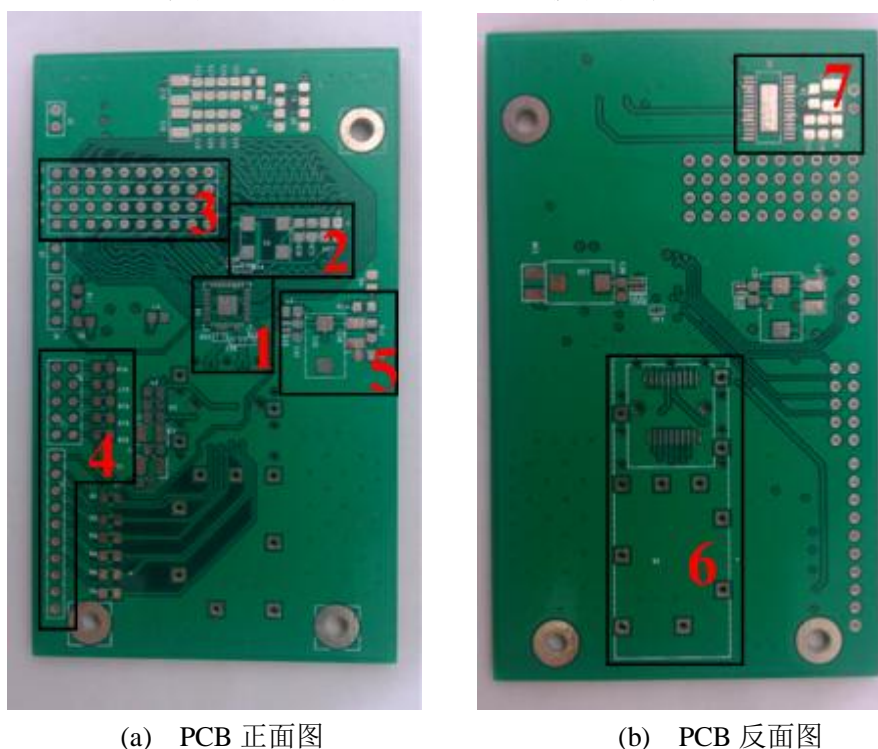


图 4.29 通信平台 PCB 板

表 4.3 模块说明

| | |
|---|------------------|
| 1 | Serdes 单元 |
| 2 | 晶振单元 |
| 3 | 串行输入/输出接口 |
| 4 | 数字诊断/Serdes 控制接口 |
| 5 | 滤波电路单元 |
| 6 | SFP 光收发模块电接口 |
| 7 | 电源单元 |

第五章 SFP 光收发模块监测系统的测试和分析

5.1 测试平台与测试方案

图 5.1 所示为光收发模块测试平台结构图,主要由 SFP 光收发模块监测平台、通信平台、PC 和示波器等组成。

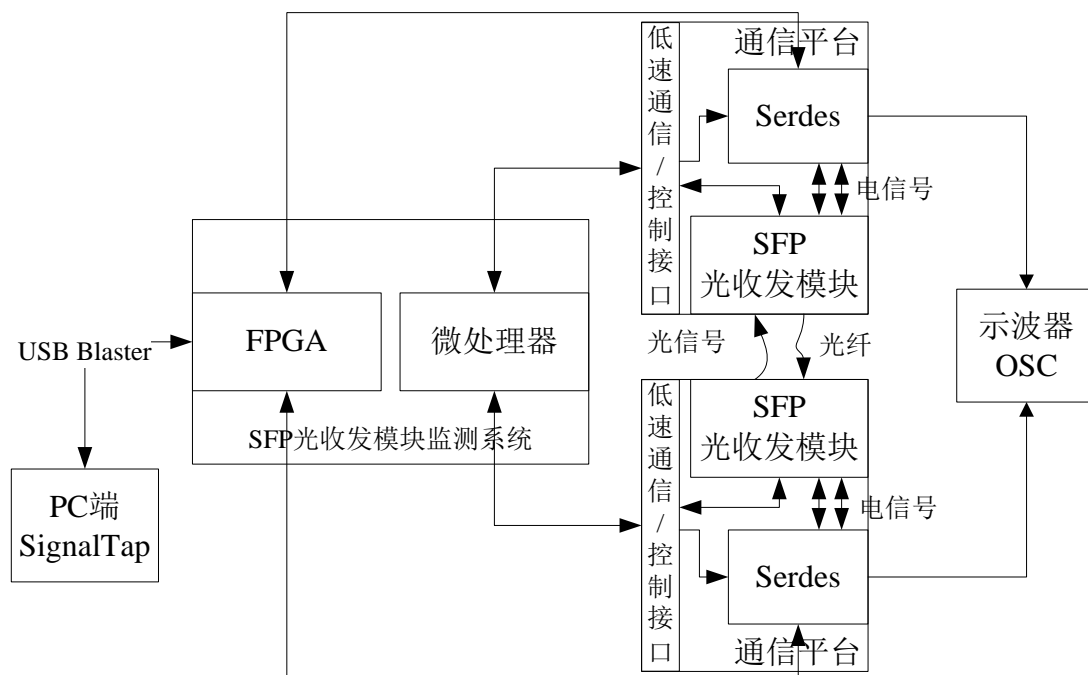


图 5.1 光收发模块测试平台结构图

对 SFP 光收发模块监测系统的测试方案如下：论文中搭建了点到点的光通信链路系统，发送端 Serdes 将 FPGA 输出的并行信号转换为高速差分信号，经过 SFP 光收发模块得到光信号，并通过光纤将其传输到接收端。接收端 SFP 光收发模块将光信号转换为差分信号，经过 Serdes 后得到并行信号。其中通信平台同时满足收发功能，图 5.1 中的通信平台既是发送端又是接收端，示波器(OSC)观察接收端 Serdes 解串得到的并行信号，并将并行信号传输到 FPGA 的 IO 口，同时使用 QuartusII 中的 SignalTap 捕捉该并行信号。通过对比 FPGA 所发送的并行信号和接收到的并行信号，可以判断 SFP 光收发模块在实际光通信链路中的工作状态。监测系统通过通信平台中的低速通信/控制接口与通信平台互连，在液晶屏上实时显示 SFP 光收发模块性能参数(模块电压、温度、偏置电流、输入/输出光功率)、警告/报警阈值、A0 地址区域模块信息等，并且通过点击触摸屏改变 Serdes、SFP 光收发模块的工作状态，例如：光收发模块发射端的使能/

禁能、模块选择、数据录入等。

5.2 通信平台测试

通信平台测试主要是对点对点光通信链路接收端性能参数的测试。包括：接收端并行输出信号波形和 Signal Tap 捕获到的码值。

接收端通信平台功能：平台上的 SFP 光收发模块将光信号转换为高速差分电信号，经过平台 Serdes 转换得到并行信号。

5.2.1 接收端并行信号测试

使能 SFP 光收发模块，发送端 FPGA 的 IO 口循环发送频率为 30MHz 的 10bit 并行信号 0101010101 和 1010101010，通过光通信链路传输，接收端的 TLK1221 并行接口输出波形如图 5.2 所示，输出波形的高电平幅值为 2.22V，低电平幅值为 440mV，由于 TLK1221 的电源电压为 2.5V，所以输出的电平满足高低电平要求。输出频率为 30.1MHz，该频率和发送端的输出频率相差 0.1MHz。

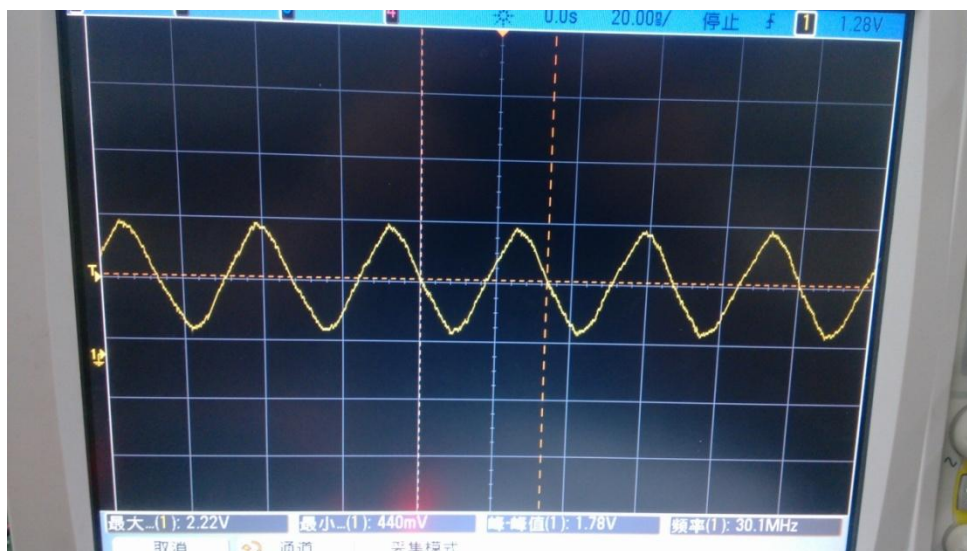


图 5.2 使能 SFP 光收发模块发射端时 TLK1221 并行信号输出

测试所采用的示波器型号为安捷伦公司的 MS07054B，由于示波器带宽限制，所以观测到的是类似于正弦波的信号，而不是标准方波信号，其中可以根据波形上升沿判断所接收的信号是否准确。

禁能 SFP 光收发模块，发送端 FPGA 的 IO 口循环发送频率为 30MHz 的 10bit 并行信号 0101010101 和 1010101010，通过光通信链路传输，接收端的 TLK1221 并行接口输出波形如图 5.3 所示。TLK1221 并行接口输出信号为杂波，电压最大值为 2.97V，最小值为 -370mV，输出频率为 3.02MHz，该波形并不具有周期性，并且频率和电压幅度并不是固定值，而是时刻变化的。

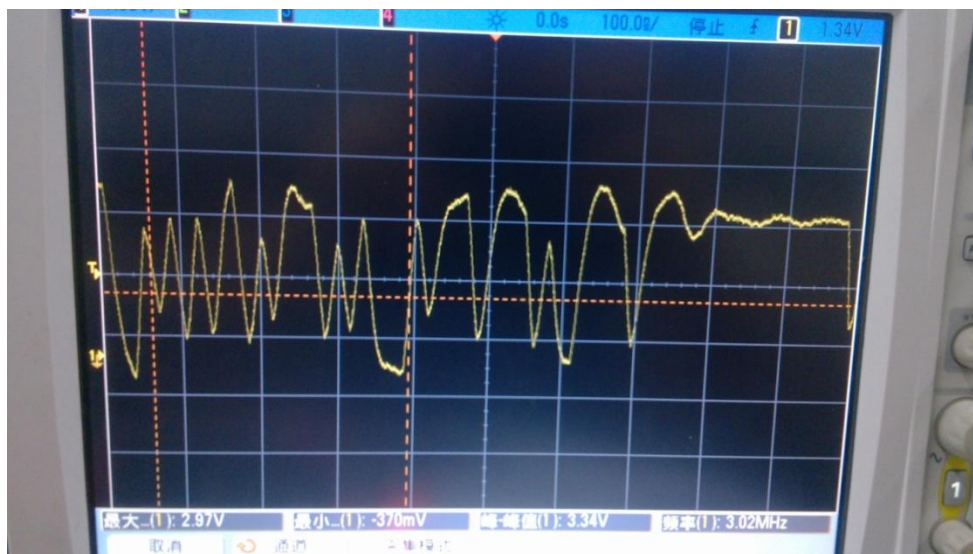


图 5.3 禁能 SFP 光收发模块发射端时 TLK1221 并行信号输出

通过使能和禁能 SFP 光收发模块发射端，观察通信平台接收端 TLK1221 并行输出信号，对比分析可得光收发模块和光通信链路均处于正常工作状态。

5.2.2 FPGA 电平捕获测试

为了进一步测试光收发模块和光通信链路的工作性能，使光通信链路发送端发送固定 10bit 并行信号，在接收端使用 SignalTap 捕获 TLK1221 解串输出的并行信号与所发送的并行信号对比。

发送端 FPGA 循环发送 10bit 固定码值， $OUTPUTB[9..0]=10b'1010101100$ ，通过光通信平台转换为光信号，光纤将其传输到接收端的光通信平台，然后将光信号转换为 10bit 并行信号，图 5.4 所示为 FPGA 接收到的 10bit 并行信号， $INPUTB[9] \sim INPUTB[0]=1010101100$ ，对比发送的码值和接收到的码值发现，两者数值是相同的。

| Node | | | 1 | Segment | |
|------|-------|-----------|----|---------|----|
| Type | Alias | Name | 19 | Value | 20 |
| | | INPUTB | | 2ACh | |
| | | INPUTB[9] | | 1 | |
| | | INPUTB[8] | | 0 | |
| | | INPUTB[7] | | 1 | |
| | | INPUTB[6] | | 0 | |
| | | INPUTB[5] | | 1 | |
| | | INPUTB[4] | | 0 | |
| | | INPUTB[3] | | 1 | |
| | | INPUTB[2] | | 1 | |
| | | INPUTB[1] | | 0 | |
| | | INPUTB[0] | | 0 | |

图 5.4 捕获码值 1010101100

发送端 FPGA 循环发送 10bit 固定码值， $OUTPUTB[9..0]=10b'0101010101$ ，

接收端数据如图 5.5 所示, $\text{INPUTB}[9]\sim\text{INPUTB}[0]=0101010101$, 发送和接收端数值信号相同。












| Node | | | 1 | Segment | |
|---|-------|-----------|---|---------|---|
| Type | Alias | Name | 2 | Value | 3 |
|  | | INPUTB | | 155h | |
|  | | INPUTB[9] | | 0 | |
|  | | INPUTB[8] | | 1 | |
|  | | INPUTB[7] | | 0 | |
|  | | INPUTB[6] | | 1 | |
|  | | INPUTB[5] | | 0 | |
|  | | INPUTB[4] | | 1 | |
|  | | INPUTB[3] | | 0 | |
|  | | INPUTB[2] | | 1 | |
|  | | INPUTB[1] | | 0 | |
|  | | INPUTB[0] | | 1 | |

图 5.5 捕获码值 0101010101

发送端 FPGA 循环发送 10bit 固定码值, $\text{OUTPUTB}[9..0]=10\text{b}'1111111111$, 接收端得到的数据如图 5.6 所示, $\text{INPUTB}[9]\sim\text{INPUTB}[0]=0010110011$ 。对比发送端和接收端的数值发现两者完全不同, 并且接收到的 INPUTB 为随机值, 并不是所发送的 1111111111 码值, 由于光纤通信所传输的数据需要满足直流(DC)平衡, 所以当发送的 10bit 数值为全 1 时, 直流处于非平衡状态, 导致输出的数据有误, 并且随机出现。












| Node | | | 1 | Segment | |
|---|-------|-----------|---|---------|---|
| Type | Alias | Name | 2 | Value | 3 |
|  | | INPUTB | | 0B3h | |
|  | | INPUTB[9] | | 0 | |
|  | | INPUTB[8] | | 0 | |
|  | | INPUTB[7] | | 1 | |
|  | | INPUTB[6] | | 0 | |
|  | | INPUTB[5] | | 1 | |
|  | | INPUTB[4] | | 1 | |
|  | | INPUTB[3] | | 0 | |
|  | | INPUTB[2] | | 0 | |
|  | | INPUTB[1] | | 1 | |
|  | | INPUTB[0] | | 1 | |

图 5.6 捕获码值 0010110011

经过以上对接收端 TLK1221 接收端波形和使用 FPGA 对接收端固定码值捕获测试, 可得到光通信链路和 SFP 光收发模块在功能实现上是正常的。图 5.7 所示为通信平台实物图。



图 5.7 通信平台实物图

5.3 监测系统测试

监测系统测试分为监测参数显示和通道切换、数据录入测试。

5.3.1 监测参数显示

监测参数显示主要由模块参数实时显示界面、报警值显示界面、警告值显示界面、A0 区域显示组成。触摸屏中每一页功能如表 5.1 所示，页面设计满足图 3.24 的程序控制流程图中的流程安排。



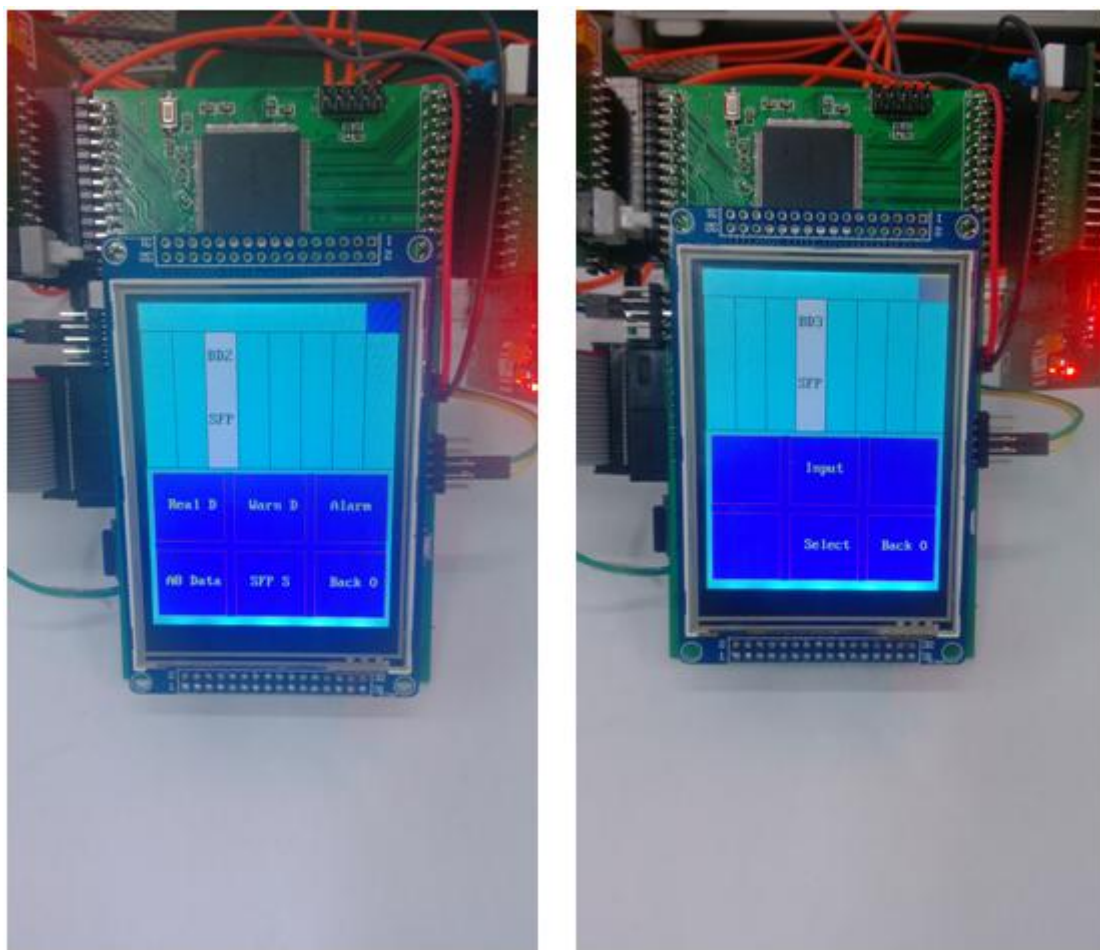


表 5.1 页面功能表

| | |
|---|-----------------------------|
| A | 启动页面。左键：监测状态按键，右键：数据录入状态按键。 |
| B | 监测页面显示控制。触发监测状态按键进入该控制页面。 |
| C | 光模块参数实时显示页面。实时显示光收发模块性能参数。 |
| D | 光模块参数报警阈值显示页面 |
| E | 光模块参数警告阈值显示页面 |
| F | 光模块 A0 地址数值显示页面 |
| G | A0 地址 0~129 字节数据 |
| H | A0 地址 130~255 字节数据 |

5.3.2 通道切换和数据录入测试

通过通道切换可以实现对多通道 SFP 光收发模块的监测和数据的录入，如下图所示。



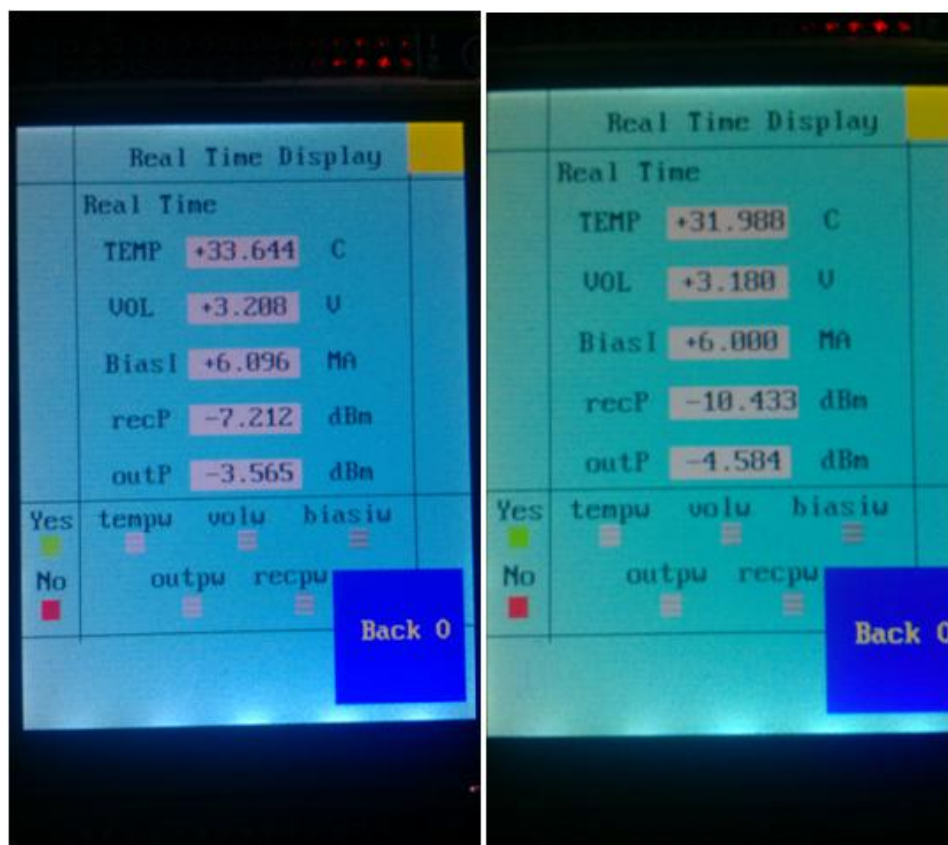
(a) 通道选择界面

(b) 数据录入界面

图 5.8 通道切换和数据录入界面

图 5.8(a)为通道选择界面，一共有 8 个通道，和模拟开关路数相同，可以监测 8 路 SFP 光收模块，如图中显示的 BD2 SFP 为监测的第 2 路 SFP 光收发模块。(b)为数据录入界面，同时需要选择待录入数据的光收发模块，点击 Input 后，数据开始写入光收发模块，屏幕右上角标志停止闪烁，当其再次闪烁时，表示数据录入完成，可以切换到其他状态，当前所示为 BD3 SFP 表示将数据录入到第 3 路 SFP 光收发模块中。

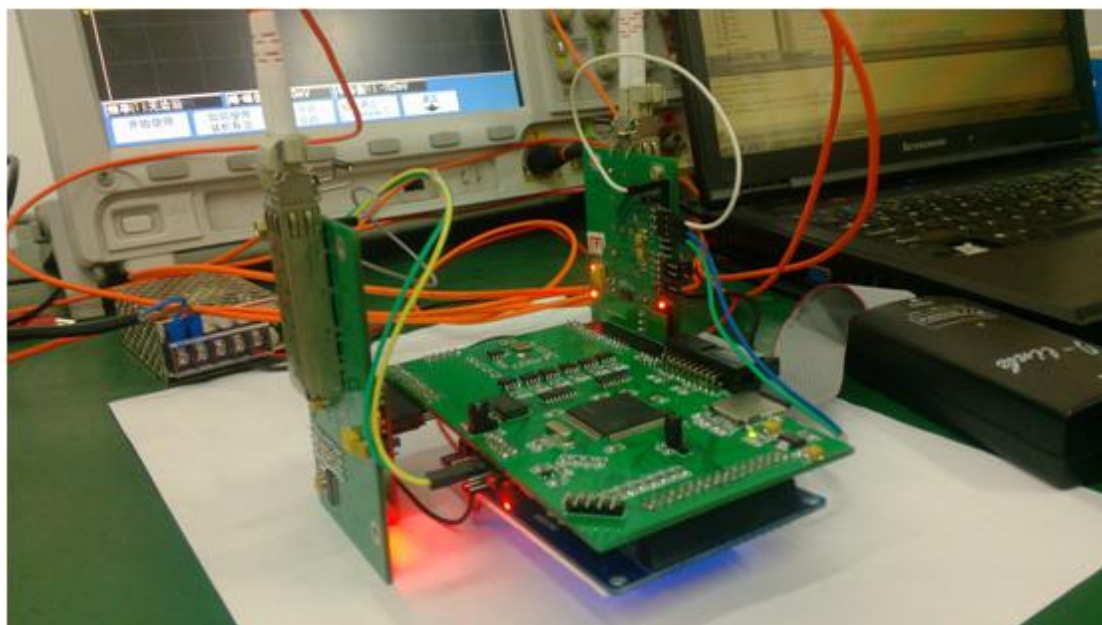
论文中选取华为公司带数字诊断功能的 SFP 光收发模块 esfp-ge-sxmm-850 和思科公司的带数字诊断功能的 SFP 光收发模块 glc-sx-mm 为待测光模块，光纤长度为 3 米、双 LC 接口，多模。经过通道切换后得到处于光通信链路中的两个光模块的实时监测参数如下图 5.9 所示，从中可实时查看模块温度、电压、偏置电流、接收光功率和输出光功率。



(a) esfp-ge-sxmm-850 实时监测数据 (b) glc-sx-mmd 实时监测数据

图 5.9 两路 SFP 光收发模块监测值

SFP 光收发模块监测系统整体实物图如图 5.10 所示。



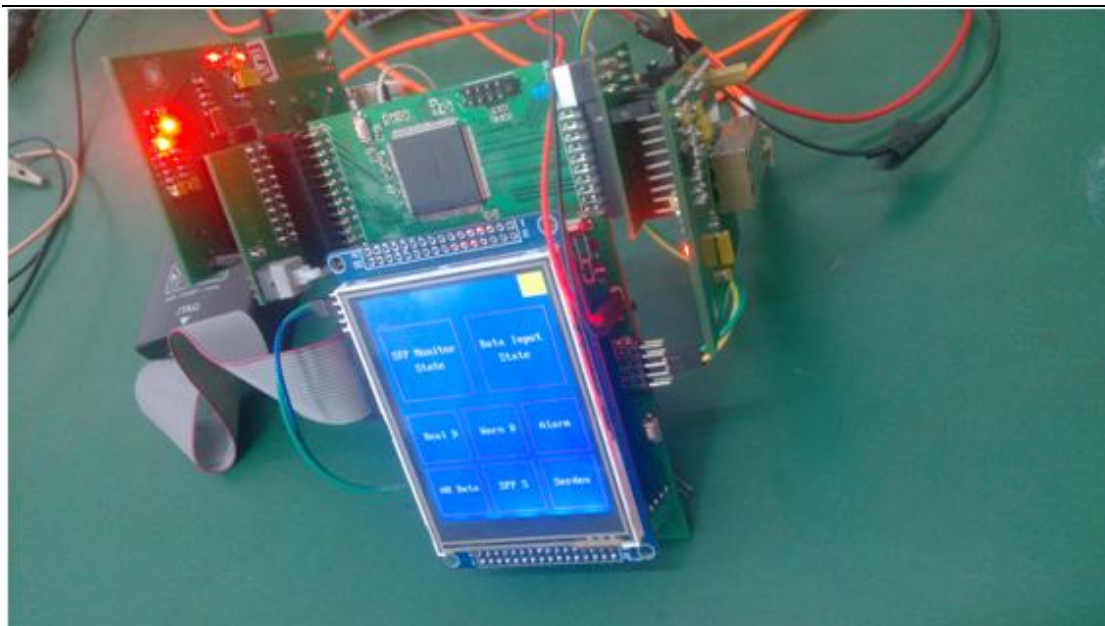


图 5.10 SFP 光收发模块监测系统系统实物图

5.4 小结

论文第 5 章介绍了通信平台和监测系统的测试过程、结果和分析说明。

使用光通信平台和不同公司的光收发模块搭建了简易的光通信系统，测试了接收端 TLK1221 解串输出的并行信号波形和使用 SignalTap 捕获接收端 TLK1221 解串输出的固定码值，测试结果表明：通信系统和光收发模块均处于正常工作状态。接着对监测系统进行了测试，主要包括触摸屏上功能页面显示、光模块 A0 地址区域数值读取、通道切换和数据录入等，并且实时监测光通信链路中待测光收发模块温度、供电电压、偏置电流、接收光功率和输出光功率。总体来说，多通道 SFP 光收发模块监测系统工作性能稳定，实用性较高。

第六章 总结与展望

6.1 总结

本论文的主要工作是研究多通道 SFP 光收发模块监测的设计与实现，系统满足 SFF-8472 和 SFP-MSA 协议标准，通过该监测系统可以实时获取多路 SFP 光收发模块的输入/输出光功率、偏置电流、供电电压和模块温度，帮助系统维护人员准确定位光通信线路中的故障点、预测模块寿命，从而判断是否需要将模块更换。这样大大提高了通信链路的维护效率，同时也增加了系统的可靠性。

为了验证监测系统的工作性能，设计了一种 SFP 光收发模块通信平台，并且搭建了简易的点到点光通信系统，确保光收发模块处于实际的工作状态。最后测试结果表明，监测系统达到了预期的目标。论文期间所做的主要工作如下：

(1) 学习光纤通信技术、光器件相关理论知识，熟悉了光通信链路的组成及所需的模块组件，并且深入研究了光收发模块内部电路结构与芯片工作原理。通过对 SFF-8472 和 SFP-MSA 协议的分析，掌握了光收发模块数字诊断工作机理。

(2) 完成了多通道 SFP 光收发模块监测系统硬件与软件的设计。硬件部分从根据系统需求到微处理器与 FPGA 的选型分析，从构思监测系统的整体框架到设计硬件电路原理图与 PCB 板。软件部分设计了系统控制流程、各功能模块的驱动程序、IO 口模拟双线串行总线时序读取 SFP 光收发模块性能参数、数值类型转换算法使监测值的显示更为直观准确，并且移植了 FATFS 嵌入式文件系统录入模块数据。另外，设计了基于物理通道切换的新型多机通信方式，达到对多路 SFP 光收发模块监测的目的。

(3) 从信号完整性角度出发去分析高速电路，使用 Cadence Allegro 设计了多层 PCB 板---SFP 光收发模块通信平台。并利用该通信平台搭建了传输固定码值的简易的点到点光通信系统，在光收发模块处于实际工作状态的同时，验证了监测系统的实用性和可靠性。

虽然本文实现了多通道 SFP 光收发模块监测系统，可以同时多块光模块进行监测，实现了 SFF-8472 协议规定的数字诊断功能，但是在设计过程中也存在很多的不足之处，由于时间和相关仪器设备有限，对光通信平台测试并不十分完善，另外触摸液晶屏尺寸限制了页面显示内容，导致需要将模块数据分多页显示，使程序设计复杂化。这些不足之处将作为下一阶段的主要研究任务，需要不断去改进和完善。

6.2 展望

高速率、高带宽已成为了网络通信的主题，光纤通信遍布在每一个地方，10Gbps 传输率的光模块已经融入人们的日常生活，光收发模块的数据传输率正朝着 40Gbps 的方向在急速发展，论文中设计的光收发模块监测系统和通信平台仅仅适用于 155Mbps~1.25Gbps 通信速率，开发出支持更高数据传输率的系统是未来的研究方向之一。另外，系统维护人员需要近距离观察显示屏上的数据才可获得监测数据，为了达到远距离查看数据的目的，可以在监测系统中引入无线通信技术，例如 wifi 等，并且对其进行组网，实现庞大的网络监测系统，人们只需要对服务器进行访问就可获得指定光收发模块当前工作性能参数。

致 谢

岁月如歌，时光飞逝，两年多的研究生生活即将结束。经历了找工作的喧嚣与坎坷，我深深体会到了写作论文时的那份宁静与思考。在毕业论文即将完成之际，将我最诚挚的谢意和最崇高的敬意献给两年多来所有指导、帮助和关心过我的师友们，我的成长历程与他们是紧紧相连的。

首先要感谢我的导师洪慧副教授两年多来对我的耐心指导和热心帮助。导师渊博的专业知识，严谨的治学态度，精益求精的工作作风，诲人不倦的高尚师德，朴实无华、平易近人的人格魅力对我影响深远。洪老师让我在研究生期间不只学到了理论知识，同时还学会了做一个有价值的人。在此学生对您表示衷心的感谢！

其次要感谢杭州电子科技大学微电子 CAD 研究所的老师，感谢各位老师在学习中给与的热情指导和慷慨支持。

感谢和我一起走过研究生两年多时光的项目组成员李梦、李石亮、宋飞虎、邵明宪、卢驰。我会永远铭记和你们一起奋斗的日子。

感谢我的室友刘云飞、卢杰、任黎明、孙俊、高祎轩。因为有你们的陪伴，使我的研究生生涯更加充实和完美。

感谢孟凡亮、程峰、郑秋瑶、刘倩文等在项目和科研方面给与无私帮助的实验室兄弟姐妹们，你们让我思路开阔，受益匪浅。

在此，我要特别感谢我的爸妈、妹妹，是你们给了我坚实的依靠，让我在学业上勇往直前，给我成长的动力。

论文谨献给所有真诚帮助过我的人们。

最后感谢各位评审老师，谢谢你们在百忙之中审阅我的论文。谢谢！

参考文献

- [1] 张鹏.浅谈光纤传输在网络通讯中的应用[J]. 城市建设理论研究(电子版), 2014(6).
- [2] 胡文良.何谓“接入网”?[J]. 科技信息, 2012 (33): I0058-I0058.
- [3] 胡庆红.SFP 光收发模块测试平台的研究与设计[D]. 武汉: 武汉理工大学, 2013.
- [4] 杨孝平.突发模式光发射和时钟技术研究[D]. 成都: 电子科技大学, 2005.
- [5] Behzad Razavi. Design of Integrated Circuits for Optical Communications [M]. New York: McGraw-Hill, 2003.
- [6] Jinlin Z, Yangan Z, Minglun Z, et al. The application and realization of the digital diagnostic monitoring function for SFP optical transceiver module[C]. Broadband Network & Multimedia Technology, 2009. IC-BNMT'09. 2nd IEEE International Conference on. IEEE, 2009: 379-382.
- [7] 陈晓鹏.带 DDM 功能的 4.25Gbps 光收发一体模块的设计与研究[D]. 成都: 电子科技大学, 2007.
- [8] 贺克林. 10Gb/s 的 XFP 光模块设计与实现[D]. 武汉: 武汉理工大学, 2010.
- [9] SFF Committee SFF-8472 Specification for Diagnostic Monitoring Interface for Optical Transceivers Rev 11.0 [S] September 14, 2010.
- [10] Small Form-factor Pluggable (SFP) Transceiver MultiSource Agreement (MSA).
- [11] 王侃.吉比特无源光网络用光模块的研究[D]. 哈尔滨: 哈尔滨工业大学, 2008.
- [12] 苏友章.带数字诊断监控功能的 SFP 光收发模块设计与实现研究[D]. 厦门: 厦门大学, 2009.
- [13] 潘辉.STM32-FSMC 机制的 NORFlash 存储器扩展技术[J]. 单片机与嵌入式系统应用, 2009 (10): 31-34.
- [14] 李国平, 武海艳.C51 实现 I2C 总线的应用研究[J]. 福建电脑, 2006 (9): 168-168.
- [15] 林雪梅, 彭佳红, 姚志成.单片机多机通信协议的设计[J]. 微计算机信息, 2006 (02Z): 24-26.
- [16] 王帅.多频实时跳频雷达信号发生器的设计与实现[D]. 哈尔滨: 哈尔滨工业大学, 2013.

- [17]LI S, DONG H, LI R. Design of SD Memory Card Based on FatFs File System [J]. Measurement & Control Technology, 2011(12): 020.
- [18]Ma Hualing, Zhang Tao, et al. FatFs Porting to 32Bit Microcontroller STM32 [J]. Electronic Technology, 2010(3): 013.
- [19]千应庆, 徐润华, 孙偲晟等.光模块 PECL 接口互联技术研究[J]. 兵工自动化, 2009, 28(5): 1-4.
- [20]李优杏, 周先敏, 吕军红.基于 FPGA 的 SERDES 接口设计与实现[C]. 南京: 中国通信学会第五届学术年会, 2008, 2.
- [21]周润景, 袁伟亭, 张鹏飞.Cadence 高速电路板设计与仿真[M]. 北京: 电子工业出版社, 2009.
- [22]Holland N. Interfacing Between LVPECL, VML, CML, and LVDS Levels[J]. Texas Instruments Application Report , 2002.
- [23]Ma J. Termination Schemes and Design Guidelines for 3.3 V LVPECL Driver[R]. Application Note.
- [24]Mustafa K, Sterzik C. AC-Coupling Between Differential LVPECL, LVDS, HSTL, and CML[J]. Texas Instruments Application Report SCAA059, 2003.
- [25]Han S, Lee M S. AC-coupled burst-mode optical receiver employing 8B/10B coding[J]. Electronics Letters, 2003, 39(21): 1527-1528.
- [26]于争.信号完整性揭秘[M]. 北京: 机械工业出版社, 2013.
- [27]张磊, 唐继勇, 杨峰.高速电路中的信号完整性及仿真[J]. 中国测试技术, 2008, 34(1): 63-66.
- [28]邵清亮, 张振川, 李树良.高频 PCB 中 EMI 问题的研究[J]. 沈阳航空工业学院学报, 2004, 21(4): 91-93.
- [29]王鹏.拉电阻在数字电路中的应用[J]. 河南机电高等专科学校学报, 2009, 17(3): 9-10.
- [30]蒋爱如.基于 FPGA 的高速 PCB 的设计[J]. 大众科技, 2009, (11): 012.
- [31]王银珺.封装和 PCB 上电源/地平面的分析和优化[D]. 浙江: 浙江大学, 2008.
- [32]朱丽芳.PWM/PSM 双模式高压直流电压转换器[D]. 浙江: 浙江大学, 2010.
- [33]Xiaosong J, Runjing Z. Crosstalk Analysis and Simulation in High-Speed PCB Design[C].Electronic Measurement and Instruments , 2007.ICEMI'07.8th International Conference on. IEEE, 2007: 2-437-2-440.
- [34]李朝辉.高速数字电路的设计与仿真[D]. 河北: 燕山大学, 2006.
- [35]Hsu J, Su T, Li Y L, et al. Fast signal integrity methodology for PCB pre-layout analysis and layout quality check[C].Electronic Components and Technology

- Conference (ECTC), 2013 IEEE 63rd. IEEE, 2013: 2012-2017.
- [36] 张志伟, 赵峰. 多信道通信链路系统中的串扰分析与研究[J]. 电源技术, 2013, 37(7): 1241-1243.
- [37] 胡启翔. 高速数字电路的信号完整性分析及其应用[D]. 天津: 天津大学, 2007.
- [38] Fu L, Han Y, Wu K. Signal integrity research for high-speed video system design based on HyperLynx simulation[C]. Computer Research and Development (ICCRD), 2011 3rd International Conference on. IEEE, 2011, 3: 15-18.
- [39] 刘梦男. 蛇形线信号完整性分析[D]. 内蒙古: 内蒙古大学, 2013.
- [40] 吕向楠. 高速采集存储板卡设计[D]. 西安: 西安电子科技大学, 2012.
- [41] 王乐, 裴东兴, 崔春生. 基于信号完整性的高速数据采集存储器 PCB 设计与仿真[J]. 电子测试, 2012 (11): 76-80.
- [42] 祝加林. 多层 PCB 信号完整性的建模与边界元数值分析[D]. 集美大学, 2013.
- [43] 丁同浩. 高速数字电路电源分配网络设计与噪声抑制分析[D]. 西安: 西安电子科技大学, 2012.
- [44] Almalkawi M, Shamaileh K, Abushamleh S, et al. Effect of PCB traces with continuous impedance perturbation on crosstalk immunity[C]. Microwave and RF Conference, 2013 IEEE MTT-S International. IEEE, 2013: 1-4.

附 录

攻读硕士学位期间发表的论文及参加的科研项目

发表的学术论文：

- [1] Shuai Liu, Hui Hong, FeiHu Song. Multiple-channel and intelligence digital diagnostic system for SFP optical transceiver[C]. Industrial Engineering and Management Science. 2014, 2: 17-21.
- [2] 邵明宪, 刘帅, 洪慧, 程峰, 郑秋瑶. 基于物联网技术的智能空气质量检测系统设计[J]. 计算机科学与应用 (CSA), 2014.
- [3] FeiHu Song, Hui Hong, Shuai Liu. A High Precision Stray-immune Weak Capacitance Measurement System for Gas-solid Two-phase Flows Detection[C]. International Conference on Power and Energy Engineering. 2014.