

【本文献信息】苏财贵,叶宇煌,苏凯雄.HDMI接口在H.264高清视频编码系统中的应用[J].电视技术,2012,36(21).

HDMI 接口在 H.264 高清视频编码系统中的应用

苏财贵,叶宇煌,苏凯雄

(福州大学 物理与信息工程学院,福建 福州 350002)

【摘要】简要介绍了 HDMI 接口工作原理和 HDCP 规范,详细分析了 HDMI 接收芯片的功能结构和工作特性,并给出了 HDMI 接口电路在 H.264 高清视频实时编码系统中的设计方法,设计的内容包括硬件电路和控制软件。该设计能够对未经压缩的高清视频信号进行采集和转换,输出符合编码芯片要求的视频格式。

【关键词】HDMI;HDCP;H.264;视频编码器

【中图分类号】TN941.1

【文献标识码】A

Application HDMI in H.264 HD Video Encoding System

SU Caigui, YE Yuhuang, SU Kaixiong

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350002, China)

【Abstract】The work principle of High-Definition Multimedia Interface and the standard of High-bandwidth Digital Content Protection is introduced. Then the structure and working characteristics of HDMI receiver chip are analyzed in detail. Based on H.264 HD video real-time encoding system, a design of HDMI circuit is proposed, which includes hardware circuit and controlling software. The design support to receive and convert the uncompressed HD video, and output formats to meet the needs of the encoder chip.

【Key words】HDMI;HDCP;H.264;video encoder

近年来,随着 H.264 和 AVS 等先进视频压缩编码标准的不断推广应用,高清度视频正在快速进入到人们的日常生活中,数字电视机顶盒、数码产品和音视频编解码系统等一系列视频设备正面临着从标清到高清的全面升级换代。复合视频信号(CVBS)、S端子、分量信号和 DVI 等早期采用的音视频接口,由于存在传输速率低、信号容易损失、接线太多和不支持数字内容等问题,正逐渐被新一代数字音视频接口所替代。

HDMI(高清晰度多媒体接口)是由飞利浦、索尼和 Silicon Image 等 7 家公司联合制定的专用于传输数字视频/音频的新标准。它通过一根连接线,即可同时传输未经压缩的高清视频信号和数字伴音信号,并可支持数字内容保护(HDCP)功能和 RGB 4:4:4、YCbCr 4:4:4、YCbCr 4:2:2 等视频格式^[1]。HDMI 1.3v 规范是当前大多数 HDMI 芯片采用的设计版本,支持高达 340 MHz 的像素时钟和 10.2 Gbit/s 的数据传输速率^[2]。因此,HDMI 接口在高清数字视频领域具有广泛的应用前景。本文将结合 HDMI 专用接收端芯片,分析 HDMI 的工作原理和技术特性,并给出其在 H.264 高清视频实时编码系统中的应用方案。

1 HDMI 技术特性

1.1 HDMI 规范

完整的 HDMI 系统包括发送器、中继器和接收器等 3 部分,而通常的应用系统没有中继部分。HDMI 采用最小差分变换信号(TMDS)传输数据,其原理是通过特殊算法将通道上的 8 bit 数据变换成 10 bit 的直流平衡编码信号,以消弱传输电缆中的交叉电磁干扰(EMI)和提高长距离传输时的抖动误差容限。HDMI 的传输结构如图 1 所示,它包含 3 个通道的数据 TMDS 链路和 1 个通道的时钟 TMDS 链路,每个数据通道在每个时钟周期内传输 10 bit 数据。

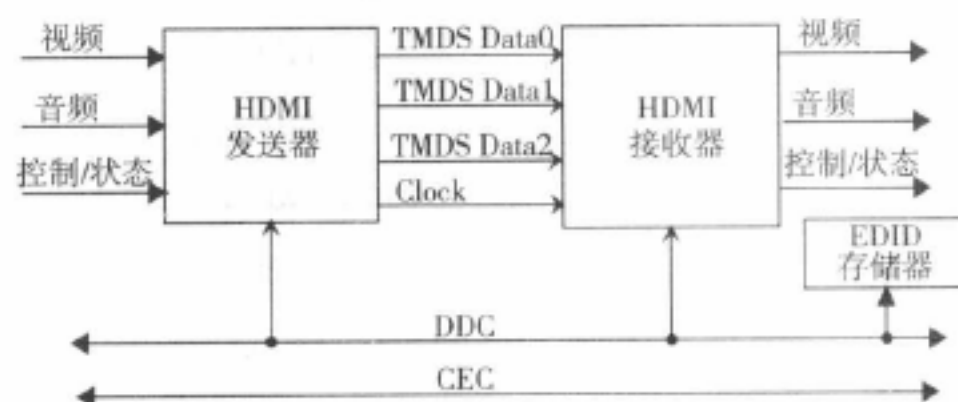


图1 HDMI 传输结构图

HDMI 发送器根据信号类型的不同可分为视频信号、数据岛和控制信号 3 种传输周期。在视频信号周期内传

送 24 bit 视频信号,每通道 8 bit 串行数据经 DC 平衡后变成 10 bit。对于低于 25 MHz 的视频格式(例如,NTSC 480i),HDMI 采用视频像素复制的方式,即每个像素传输两次,以保证接收端播放的流畅性;在数据岛周期内,HDMI 将音频数据和辅助数据合成一个 12 bit 的数据包,每个通道 4 bit。在 TMDS 传输前为了提高可靠性,分别使用 BCH 和 TERC4 两种编码方法,将 4 bit 的数据包变换成 10 bit 数据;在控制信号周期内,HDMI 传输包括 VSYNC、HSYNC 和下周期指示等 6 bit 的控制信号,传送前同样使用特殊的编码算法将每通道 2 bit 的数据变换成 10 bit。

HDMI 的另一个特点是带宽利用率高,主要原因是数据岛和控制数据的传输安排在视频数据传输的消隐期,故在不增加视频数据传输带宽的条件下节省了传输通道^[3]。

CEC(消费电子控制)在 HDMI 系统中是可选的,能够用来控制用户可能使用的多种视听设备,例如单键播放、遥控或自动设置等。DDC(数据 Display 通道)使得 HDMI 发送端可以读取接收端的 EDID(扩展显示识别数据),从而实现两者之间的配置以及状态信息的交换。EDID 是由视频标准组织 VESA 为优化 PC 显示格式而专门设计的数据规范,包含了制造厂商、产品名称、最大场/行频和可支持分辨率等视频接收设备的基本参数,它被存储在专用的 E²PROM 中,是实现 HDMI 接口即插即用功能的配置数据。只有当发送端识别并正确配置后,TMDS 传输链路才可能被激活。

1.2 HDCP 技术规范

为了有效保护视频内容版权拥有者的合法权益,大多数 HDMI 设备都嵌入了 HDCP(高带宽数字内容保护)模块。HDCP 的本质是设备授权认证和数字信号的加解密过程。HDCP 协议需要经过 3 步认证过程:第一步是设备合法性认证,它通过内容提供者和使用之间交换密码选择向量后计算并验证完成,确保收发双方建立可信的物理连接;第二步是中继认证,如果发送端和接收端直接连接时,此步认证不进行;第三步是视频数据的加解密过程,此过程必须在设备认证工作完成后才开始进行。HDCP 系统传输结构如图 2 所示。在 HDMI 发送端,HDCP 加密机为每个视频像素随机产生 24 bit 的伪随机码,与原始 24 bit 视频数据按位异或后进入 TMDS 编码模块。在 HDMI 接收端,TMDS 解码后的 24 bit 数据与 HDCP 解密机产生的 24 bit 随机码再次按位异或后输出原始的视频数据^[4-5]。



图2 HDCP系统结构图

2 HDMI 专用接收芯片在 H.264 编码器的应用

2.1 H.264 编码器的系统构成

H.264 高清视频实时编码器的总体结构如图 3 所示,主要由 HDMI 视音频接收接口、H.264 高清实时编码模块、主控模块(MCU)和 TS 流输出接口等部分组成。HDMI 接口负责高清视频信号的采集、色彩空间转换和上下采样等工作。H.264 编码器采用超大规模专用实时编码芯片,主要负责对分辨率为 1 920 × 1 080p、帧频为 60 的全高清视频和伴音信号进行实时压缩编码^[6]。MCU 主要用于控制整个系统的工作过程,包括完成 HDMI 芯片的初始化和编码芯片的功能配置等。ASI 接口将编码芯片输出的并行 TS 数据流转换成高速串行输出。

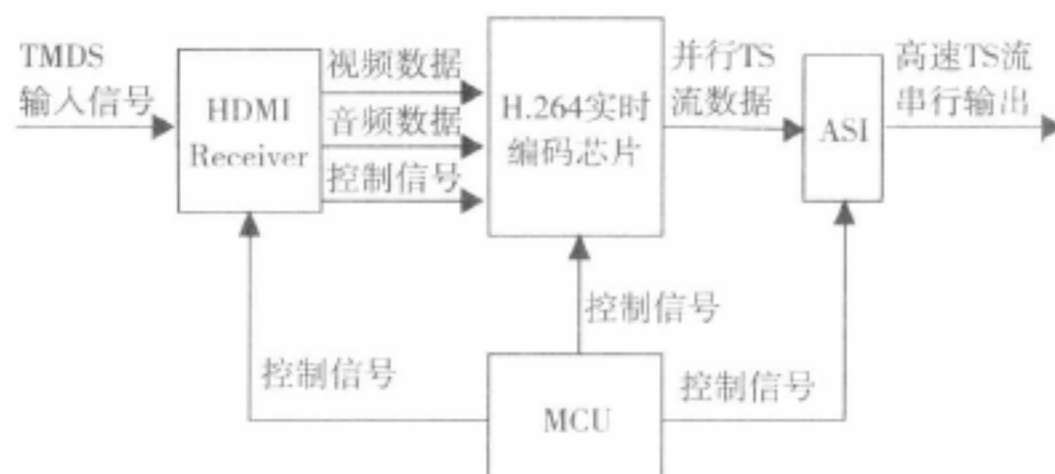
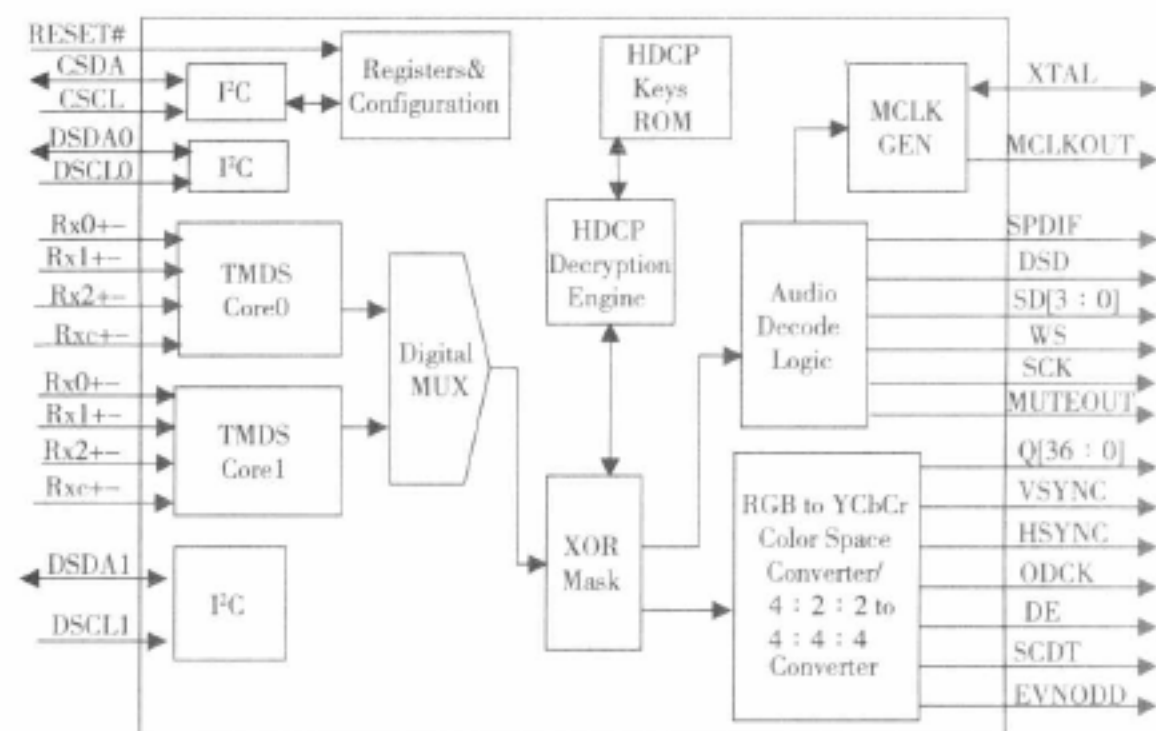


图3 H.264 高清视频编码系统结构框图

2.2 HDMI 专用接收芯片特性

HDMI 接口采用专用芯片 HDMI1300,该芯片具有灵活的电源管理、高达 225 MHz 的 TMDS 工作频率、提供最高安全级别的 HDCP 预编程技术、支持像素每个分量高达 12 bit 色深的视频信号和更高比特率音质等功能特性。其内部功能模块如图 4 所示,主要包括 TMDS 解码模块、HDCP 解密模块、音视频处理模块和 I²C 从机模块等。



软件可以通过检测相关的寄存器并激活对应的 TMDS 解码模块和 DDC 通道。HDCP 解密模块能够对 TMDS 模块解码后输出的音视频数据进行异或解密,整个解密过程的控制是发送端通过 DDC 通道发送一系列的读写数据来实现的。芯片的密钥存储在专用的串行存储器 EEPROM 中,这些密钥被编程后将不能被读出来,保证了 HDCP 密钥的最高安全性。 I^2C 从机模块有 DDC 通道和本机 I^2C 通道两种类型。DDC 通道用于 HDCP 机制的鉴定;本机 I^2C 则用于对芯片中功能寄存器的配置和状态读取。视频处理模块将 RGB 4:4:4、YcbCr 4:4:4 或者 YcbCr 4:2:2 的视频输入信号经过色彩空间转换或者上/下采样后输出符合编码器要求的视频格式。音频处理模块支持 8 通道高达 24 bit 精度的数字音频信号,并且提供标准的 I^2S 和 S/PF 输出接口。

2.3 接口电路设计

HDMI 接口的电路连接关系如图 5 所示。MCU 采用 S3C2440 作为 HDMI1300 的控制模块,它通过 I^2C 总线向 HDMI1300 的功能寄存器写入或者读取数据来实现其功能配置或者获取状态信息。当有中断产生时,寄存器中相应位被置 1,INT 引脚输出低电平信号向 S3C2440 请求中断处理。在 HDMI1300 中,当输入视频信号稳定后,SCDT 输出高电平信号。S3C2440 可以通过检测 SCDT 引脚电平的高低性来判断 HDMI1300 接收的视频信号是否有效、稳定。实时编码器与 HDMI1300 的连接电路主要用于音频部分和视频部分的数据传输。在实时编码器中,要求输入视频格式为 8 bit 色深的 YCbCr 4:2:2,即仅有 16 只视频信号输入引脚,而 HDMI1300 支持高达 12 bit 色深的 RGB 4:4:4 和 YCbCr 4:4:4 视频输出格式,共有 36 只用于视频信号输出的引脚。因此,必须通过配置 HDMI1300 寄存器从中选择所需要的 16 只引脚作为视频信号的传输线。

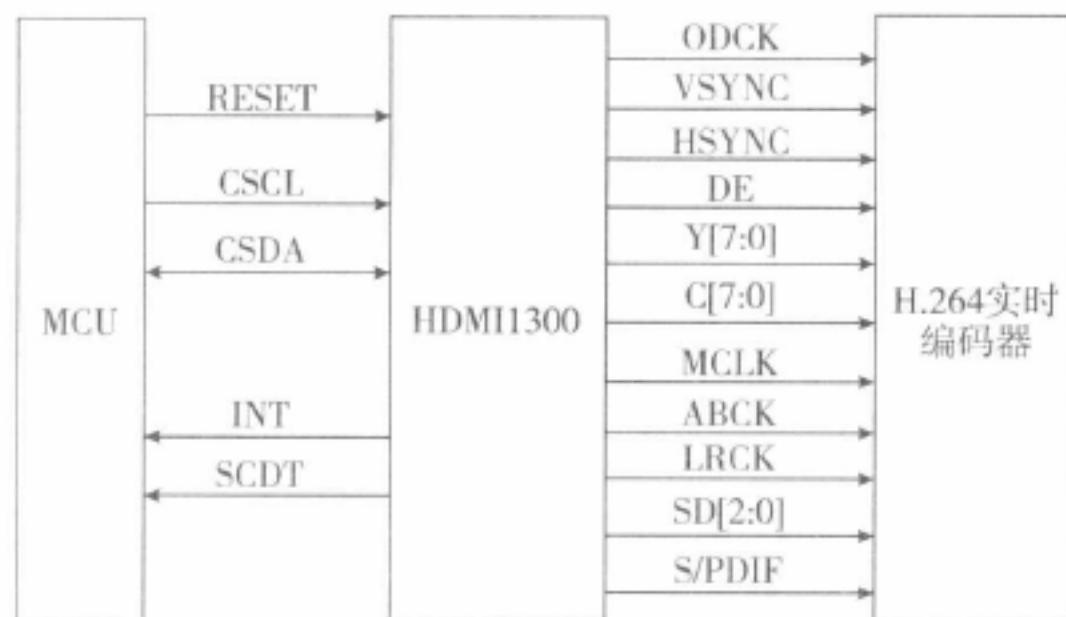


图5 HDMI接口电路连接图

在其他接口电路设计中,电源系统是保证芯片和系统正常工作的重要因素之一。HDMI1300 所需提供的电压有模数 3.3 V 和 1.8 V 两对,而且要求输入电压的误差

不能超过 5%,否则将导致正常的音视频信号受到严重干扰。本系统采用 5 V 的输入电源,经电源转换芯片变换后得到 3.3 V 和 1.8 V 电压对。在 DDC 接口设计方面,采用了型号为 24LCS22A 的 EEPROM 存储 EDID 信息,其接口的高电平为 3.3 V,而 DDC 通道的高电平为 5 V。因此,为了保证 DDC 通道正常工作和顺利通过 HDMI 的兼容性测试,采用了 CALMIRCO 公司为 HDMI 接收端专门设计的 CM2021 作为两者之间的电平转换芯片。CM2021 还具有 8 kV 的 ESD 保护能力,故还可简化 ESD 保护电路的设计。视频数据和视频时钟线是 HDMI 接收端最重要的输入信号,HDMI1300 的 TMDS 信号时钟最高可支持到 225 MHz,数据传输速度非常快。为了保证 HDMI 接口芯片能够正确采样到视频信号,必须将每对 TMDS 差分信号线设计得基本等长,并且尽可能短。

2.4 控制软件设计

HDMI 接口控制软件的设计流程如图 6 所示,主要包括芯片初始化配置、端口选择、视频处理和音频处理等过程。

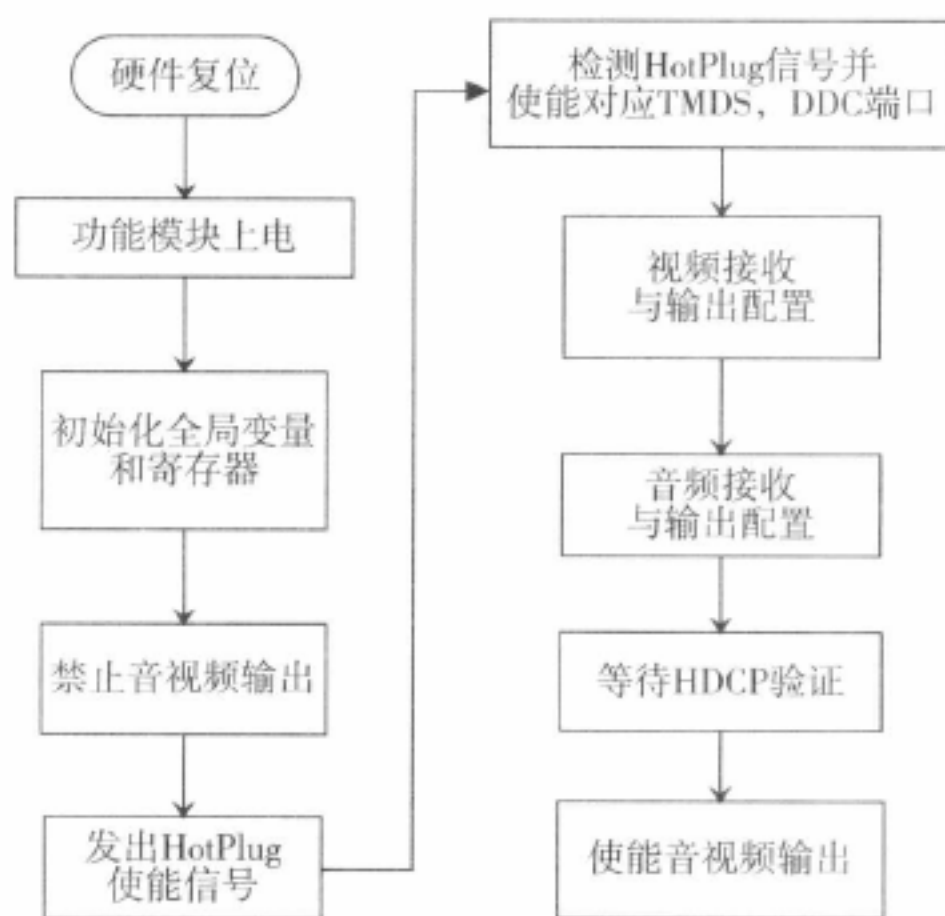


图6 HDMI接口控制软件流程图

HDMI1300 硬件复位后直接进入低功耗工作模式,芯片中除了与时钟相关的几个功能模块外,其他的都被停止。因此,复位后必须先通过软件置位系统控制寄存器的 PD# 位,才能使芯片内部各功能模块进入正常的工作状态。初始时需要配置的内容主要有全局变量、中断寄存器和音视频功能寄存器。全局变量用于记录芯片工作状态、系统工作模式、视频同步信号和音频数据等状态信息;中断寄存器用于监控像素时钟丢失、视频同步信号丢失、AVI 数据改变、音频数据变化、CTS 值丢失和 HDMI 线缆连接中断等重要中断源;音视频功能寄存器用于禁止音视频信号输出等。

初始化工作完成后,MCU 发出热检测使能信号,芯片进入等待 HDMI 信号的工作状态。当有效的 HDMI 线缆

接入时,软件通过检测相关寄存器识别有信号输入的 TMDS 通道口并使能相应的 DDC 通道。HDMI 发送端在 DDC 通道使能后通过读取和解析 EDID,选择一种能够被支持的音视频信号进行传输。随后软件进入等待 HDCP 认证步骤,这个过程大概需要 100 ms。HDCP 认证通过后,HDMI1300 中相关的寄存器被置位,HDCP 解密模块开始对 TMDS 的视频数据解码。如果接收到的视频信号是稳定并且是被支持的,软件开始通过 AVI 中的视频辅助信息包识别输入视频的格式和计算视频同步信息,并配置与色彩空间转换、上/下采样和信号输出相关的寄存器。当 HDMI1300 收到稳定的音频信号后,软件通过 AVI 中的音频辅助信息包计算音频采样率 F_s 和音频时钟 MCLK,配置输出 I²S/SPDIF 音源、音频 FiFo 映射图和音频输出通道等。视音频模块配置完成后,启动相关的输出模块,输出符合要求的音视频信号到编码器模块进行压缩编码处理。

3 结束语

HDMI 具有数据传输速率高、支持 HDCP 技术和单一电缆同时传输音视频信号等优异性能,是下一代高清数字视频设备必不可少的接口。目前专用的 HDMI 接口芯片主要是基于 HDMI 1.3v 规范进行设计,具有速度快、功耗低、可靠性高和安全性高等特点。本文根据 HDMI 接口的

功能要求,结合 H.264 高清实时编码器系统,通过详细探讨 HDMI 接口硬件电路和控制软件的设计方法,给出了一种适合于 H.264 高清视频实时压缩编码系统中的 HDMI 接口设计方案。

参考文献:

- [1] HDMI Specification Version 1.3[S]. 2006.
- [2] 沈璐,郑善贤.用于数字电视的 HDMI1.3 接收芯片点评[J].电视技术,2007,31(10):41-43.
- [3] 林志贤,陈兆芳,郭太良. HDMI 视频接口技术在彩色 FED 中的应用[J].液晶与显示,2008,23(2):241-245.
- [4] Digital Content Protection LLC, High-bandwidth digital content protection system revision 1.2 June[S]. 2006.
- [5] 魏涛. 数字视频接口标准与高带宽数字内容保护规范[J].电视技术,2005,29(5):31-34.
- [6] 郑明魁,苏凯雄,杨秀芝.一种高清数字电视 H.264 编码系统的设计[J].电视技术,2011,35(18):27-29.

作者简介:

苏财贵(1988—),硕士生,主研 H.264 高清视频编码系统的应用开发,为本文第一作者;

叶宇煌(1961—),副教授,主研微波技术、微波电路;

苏凯雄(1959—),教授,博士生导师,主研无线通信、数字电视方面。

责任编辑:时 雯

收稿日期:2012-05-30

(上接第 62 页)

5 结束语

为了实现 LDPC 编码器码率重构和功能重构的目的,同时降低编码器的硬件实现复杂度,本文选用 CCSDS 标准的 LDPC 生成矩阵,采用可重构体系结构,通过少量状态控制单元和时序控制单元,使得编码速率提高的情况下资源使用情况并没有成倍增长,仿真结果和综合结果进一步验证了设计预期,结果与理论分析一致,如何进一步降低编码时延是今后研究需要解决的问题。

参考文献:

- [1] GALLAGER R G. Low density parity check codes [EB/OL]. [2012-05-02]. <http://www.rle.mit.edu/rgallager/documents/ldpc.pdf>.
- [2] MACKAY D J C, NEAL R M. Near shannon limit performance of low density parity check codes[J]. Electronics Letters, 1996, 32(8):1645-1646.
- [3] DARABIHA A, CARUSONE A C, KSCHISCHANG F R. Multigbit/sec low density parity check decoders with reduced interconnect complexity [C]//Proc. ISCAS 2005. [S.l.]:IEEE Press, 2005:5194-5197.

- [4] 陈智雄,苑津莎.基于多重置换阵的满秩结构化 LDPC 码构造方法[J].电子学报,2012,40(2):314-318.
- [5] 王新梅,肖国镇.纠错码—原理与方法[M].西安:西安电子科技大学出版社,2001.
- [6] 万哲先.代数导引[M].北京:科学出版社,2004.
- [7] 许帮保,刘春江,郭沛宇,等. LDPC 编码中大矩阵求逆及存储的一些方法[J].电视技术,2010,34(9):4-6.
- [8] 王刚,李冰,刘勇,等.一种可重构 LDPC 编码器的设计与实现[J].微计算机信息,2010,26(12):168-170.
- [9] 杨光,黄正兴. LU 分解法的 LDPC 码编码器的 FPGA 实现[J].电视技术,2011,35(23):55-58.
- [10] 田耘,徐文波. Xilinx FPGA 开发实用教程[M].北京:清华大学出版社,2008.

作者简介:

邱鹏文(1988—),硕士生,主研战术数据链与武器协同数据链技术与应用;

柏 鹏(1961—),教授、博士生导师,主研通信系统工程;

李明阳(1985—),博士生,主研电子系统综合化工程。

责任编辑:时 雯

收稿日期:2012-05-23