

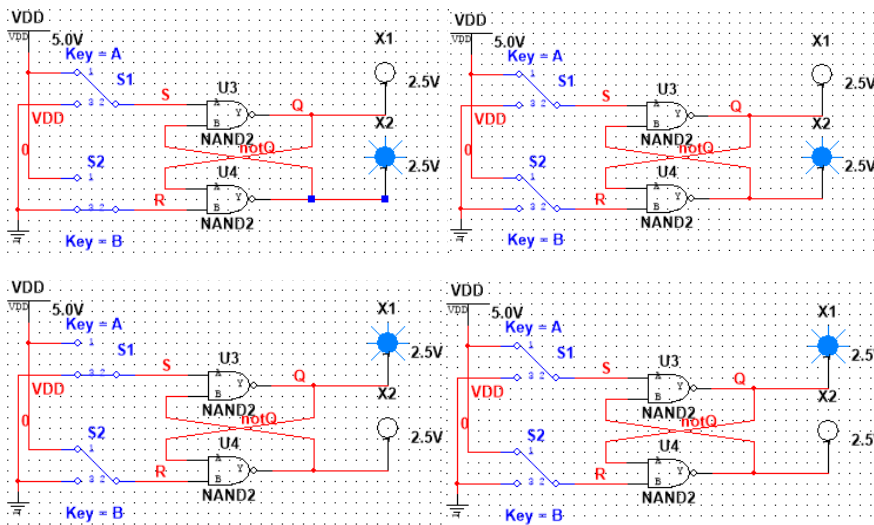
Sprawozdanie z technik cyfrowych laboratorium 3

Przerzutniki i rejestry

Agnieszka Warchoł gr. 17.50 – 19.20 B

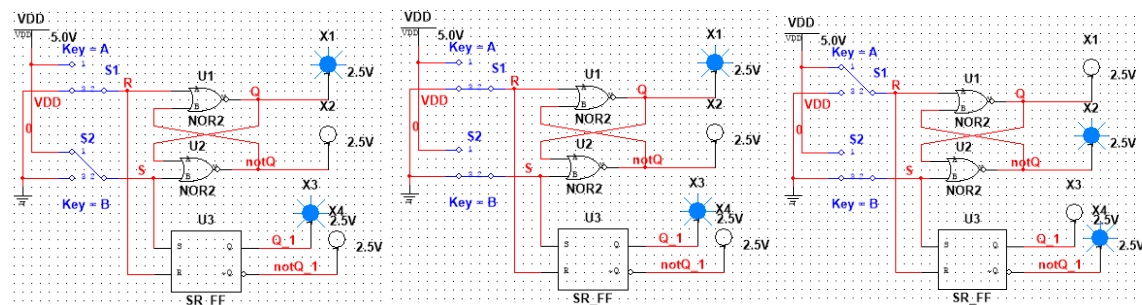
a) Asynchroniczny przerzutnik „RS” w oparciu o bramki NAND oraz NOR

Przerzutnik „RS” w oparciu o bramki NAND:



S	R	Q_{n+1}
0	0	X
0	1	1
1	0	0
1	1	Q_n

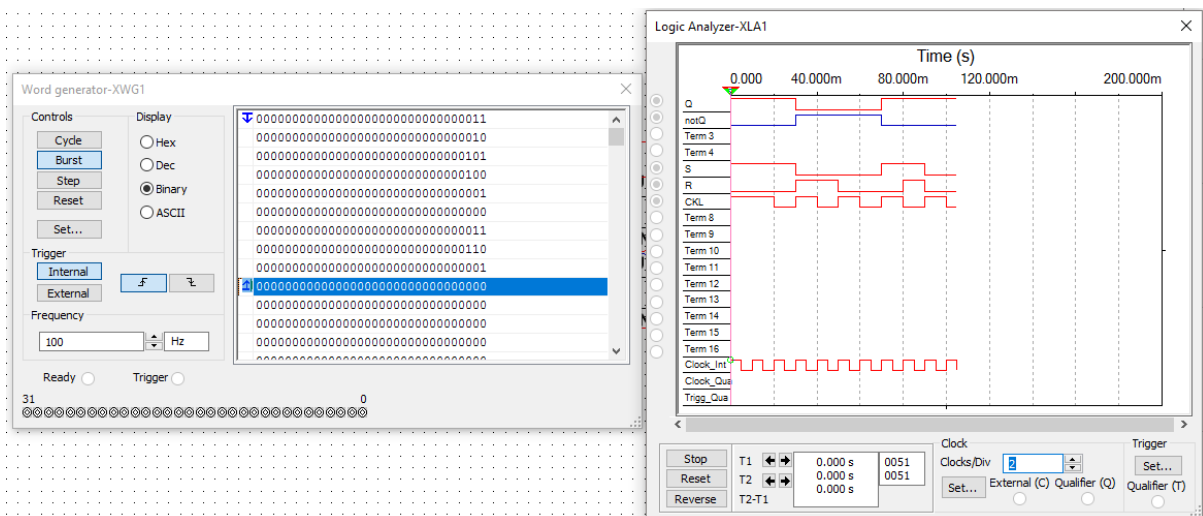
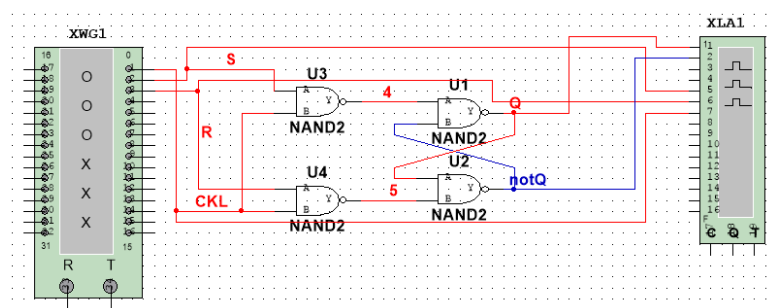
Przerzutnik „RS” w oparciu o bramki NOR:



S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	X

Wnioski: W zależności od tego jakich bramek użyliśmy do budowy przerzutnika „RS”, będzie on reagował na inne sygnały wejściowe S, R oraz będą inne sygnały zabronione. Przerzutnik, który jest w programie Multisim działa tak jak ten zbudowany z bramek NOR.

b) Synchroniczny przerzutnik „RS”



Wnioski: Sygnałem zabronionym są dwie jedynki podane na wejście S i R, ale jeśli clock jest w stanie niskim to analizator logiczny nam pozwala, ponieważ reaguje tylko na stan wysoki. Jak podamy kombinację 111 na wejście, czyli stan zabroniony to analizator się zatrzyma wykonywanie i nic nie wyświetli dla tego stanu.

c) Synchroniczny przerzutnik „JK” reagujący na opadające zbocze sygnału zegarowego

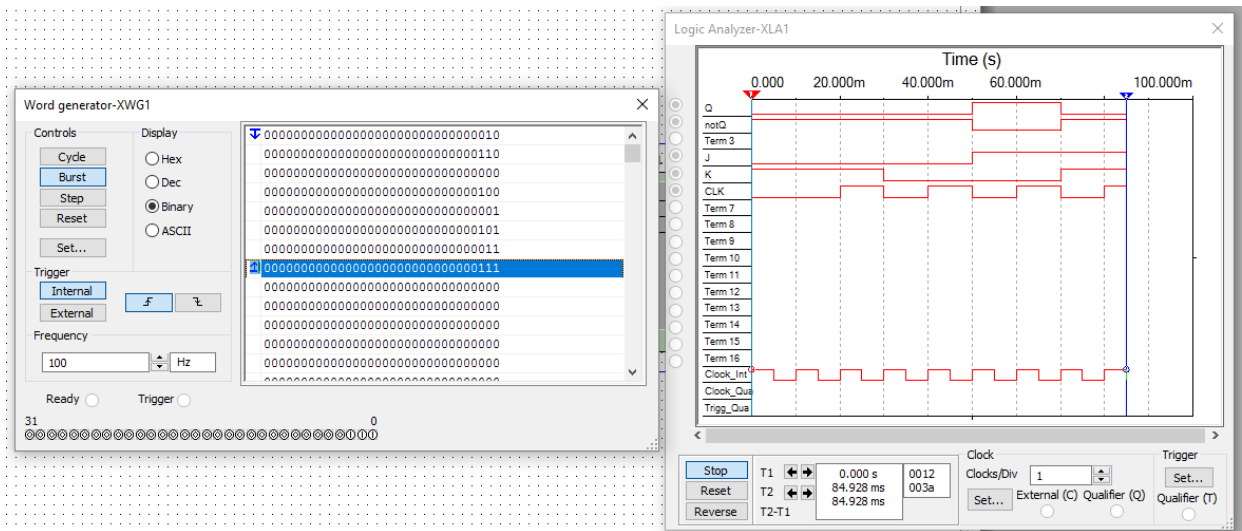
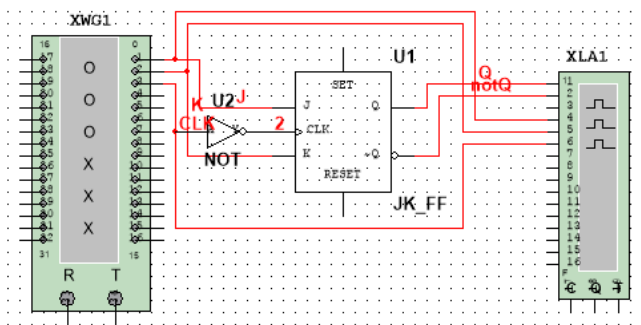


Tabela prawdy dla przerzutnika „JK”:

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Wnioski: W układzie jest bramka NOT przed wejściem Clocka, żeby przerzutnik reagował na opadające zbocze sygnału zegarowego, zamiast na rosnące.

d) Przerzutnik typu „D” bazując na asynchronicznym przerzutniku „RS”

D	CLK	S	R
1	1	1	0
1	0	0	0
0	0	0	0
0	1	0	1

D\CLK	0	1
0	0	1
1	0	0

Dla S:

D\CLK	0	1
0	0	0
1	0	1

$$Y = \overline{D} * CLK + D * CLK$$

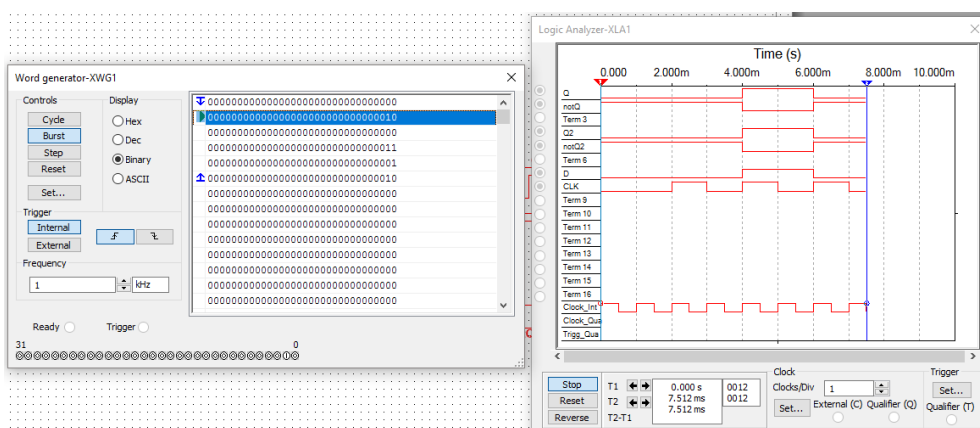
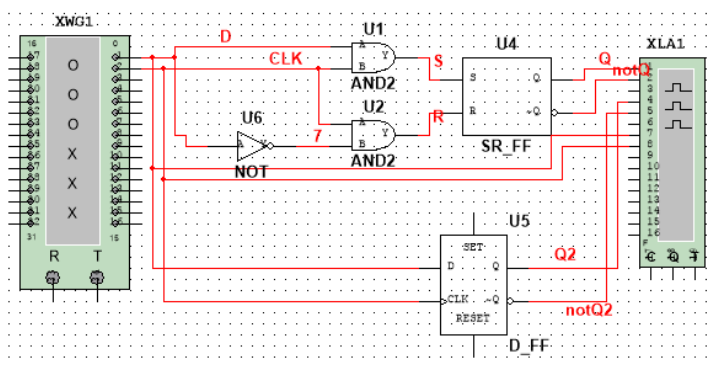


Tabela prawdy dla przerzutnika „D”:

CLK	D	Q_{n+1}
-----	---	-----------

rosnący	0	0
rosnący	1	1
*	0	Q_n
*	1	Q_n

e) Przerzutnik typu „T” bazując na synchronicznym przerzutniku typu „D”

T	Q	Q_{n+1}
1	1	0
1	0	1
0	1	1
0	0	0

T\Q	0	1
0	0	1
1	1	0

$$Y = T\bar{Q} + \bar{T}Q = T \text{ xor } Q$$

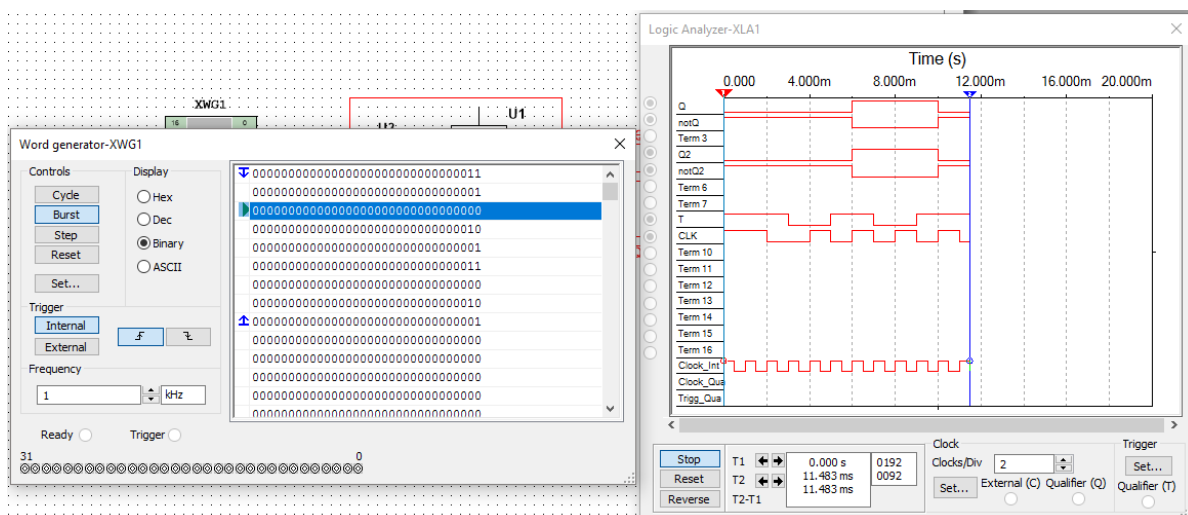
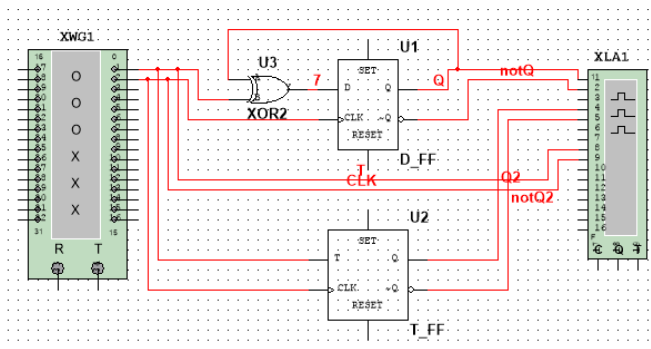
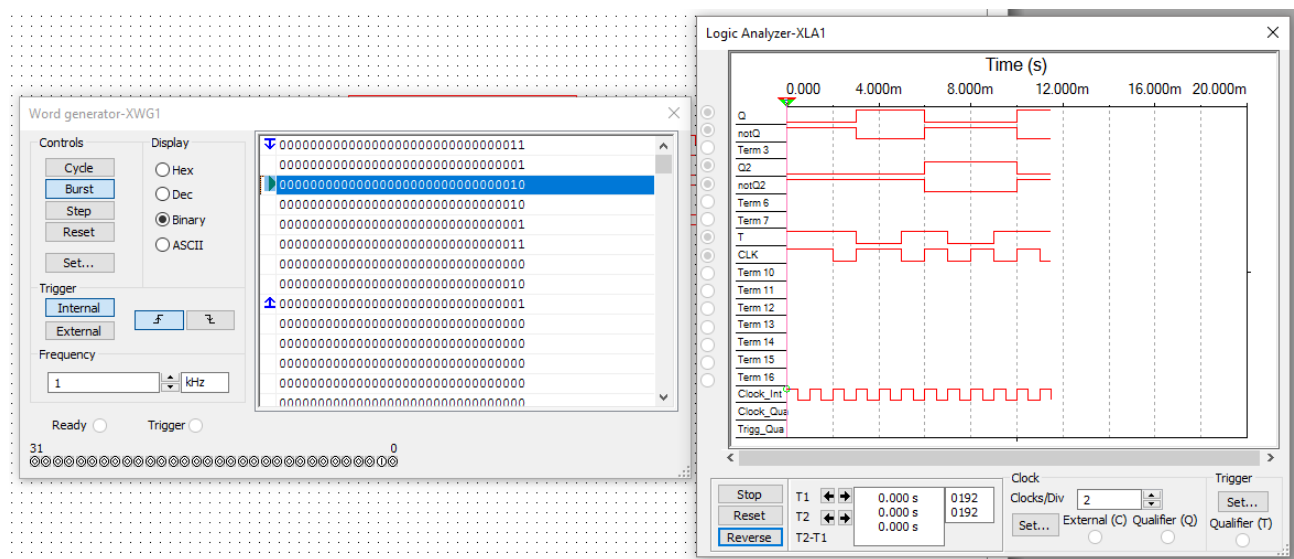


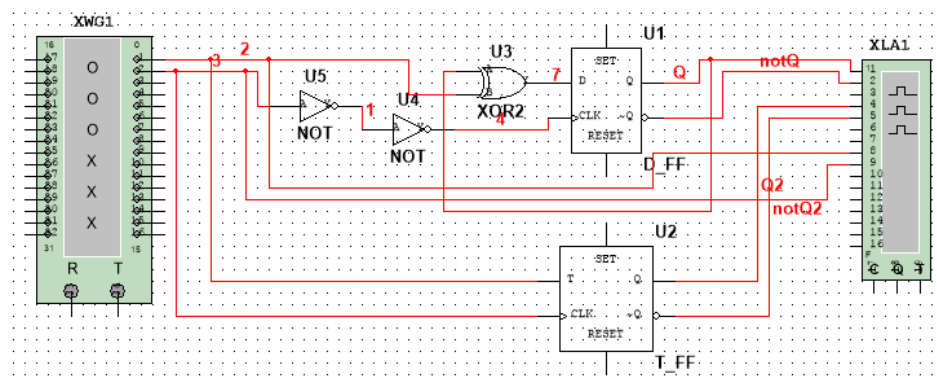
Tabela prawdy dla przerzutnika „T”:

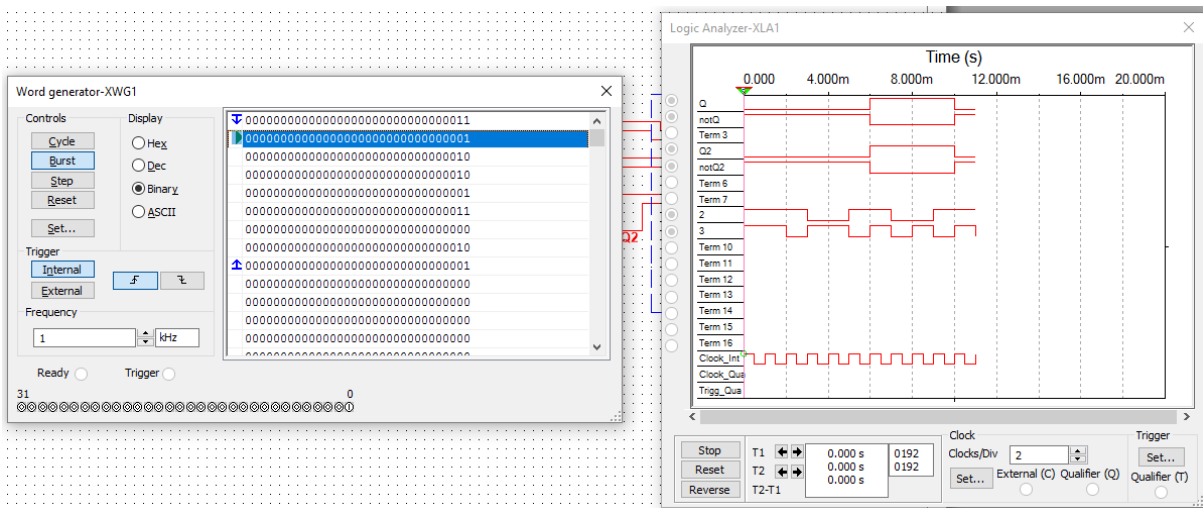
T	Q_{n+1}
1	$\overline{Q_n}$
0	Q_n

Wnioski: Pomimo tego, że układ jest poprawnie skonstruowany według tabel Karnougha, to sygnał wyjściowy nie zawsze jest poprawny. Dzieje się tak, ponieważ występuje propagacja sygnału. Poniżej jest przypadek w którym to występuje:



Można wykluczyć ten błąd dodając na wejście clocka dwie bramki NOT, aby spowolnić sygnał, rozwiązanie pokazane na poniższych rysunkach:





f) Przerzutnik typu „D” bazując na synchronicznym przerzutniku typu „JK”

D	J	K	Q
0	0	1	0
1	1	0	1

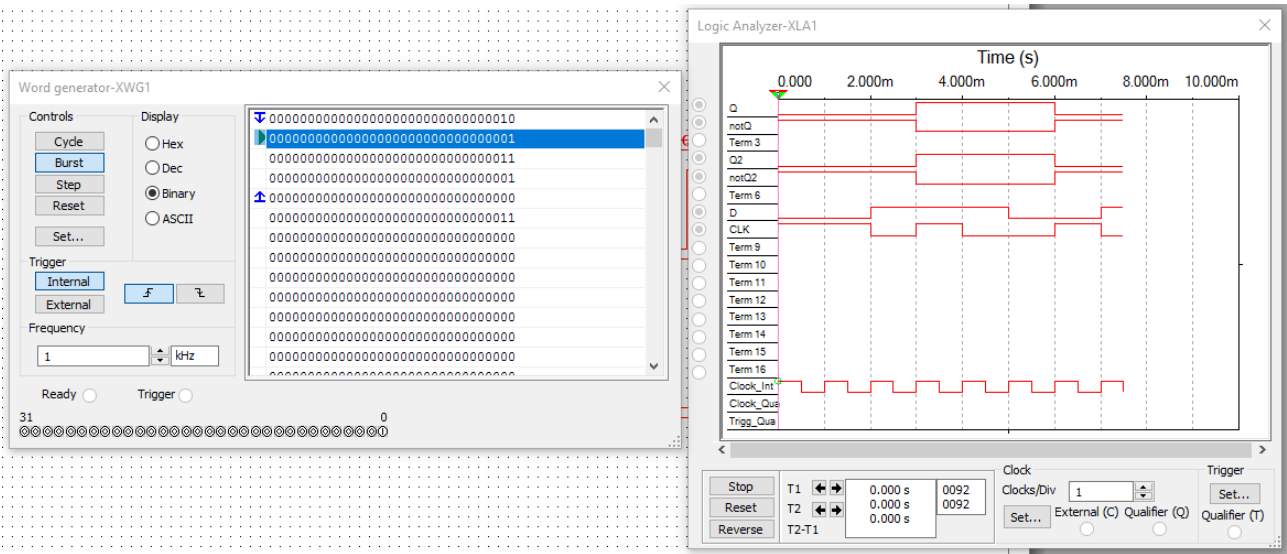
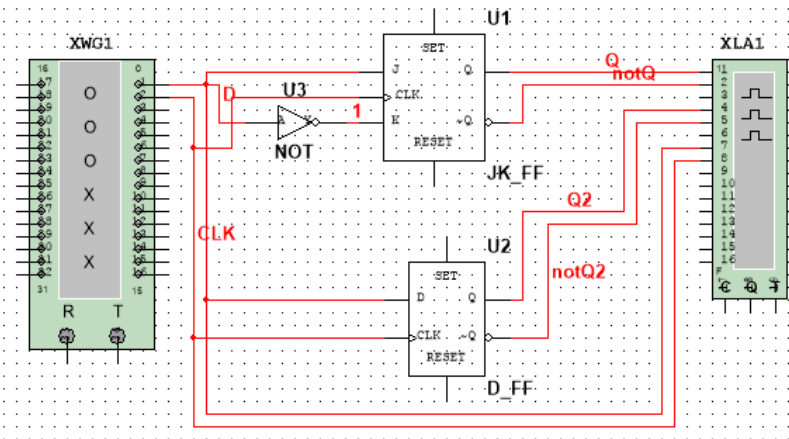


Tabela prawdy dla przerzutnika „D”:

CLK	D	Q_{n+1}
rosnący	0	0
rosnący	1	1
*	0	Q_n
*	1	Q_n

g) Przerzutnik typu „T” bazując na synchronicznym przerzutniku „JK”

T	Q	J	K	Q_{n+1}
1	1	1	1	0
1	0	1	1	1
0	1	0	0	1
0	0	0	0	0

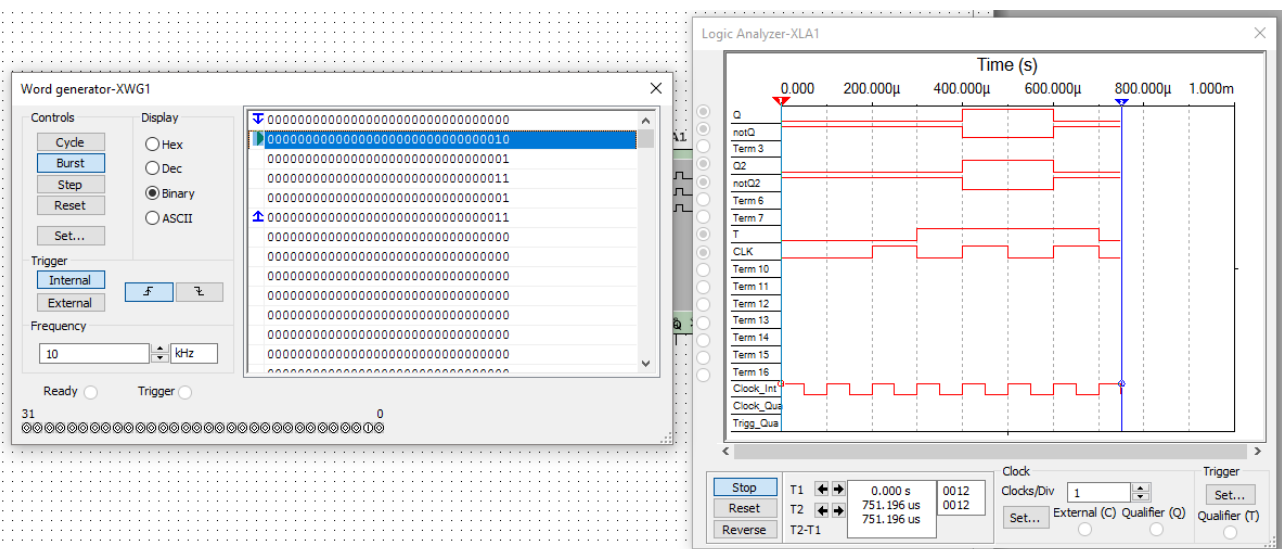
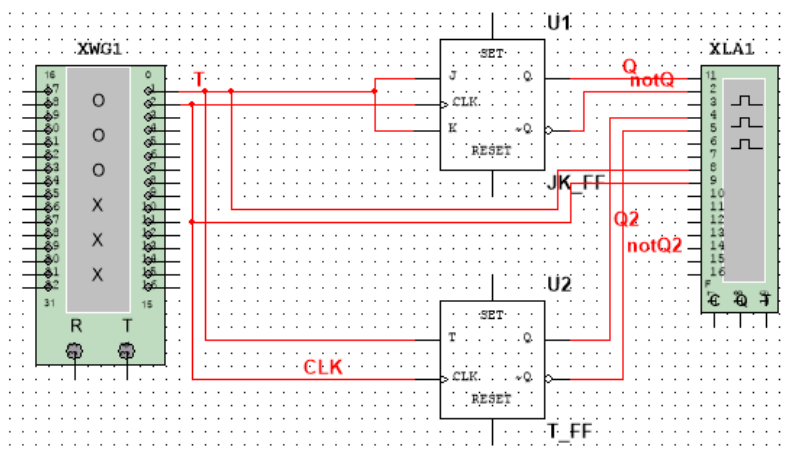
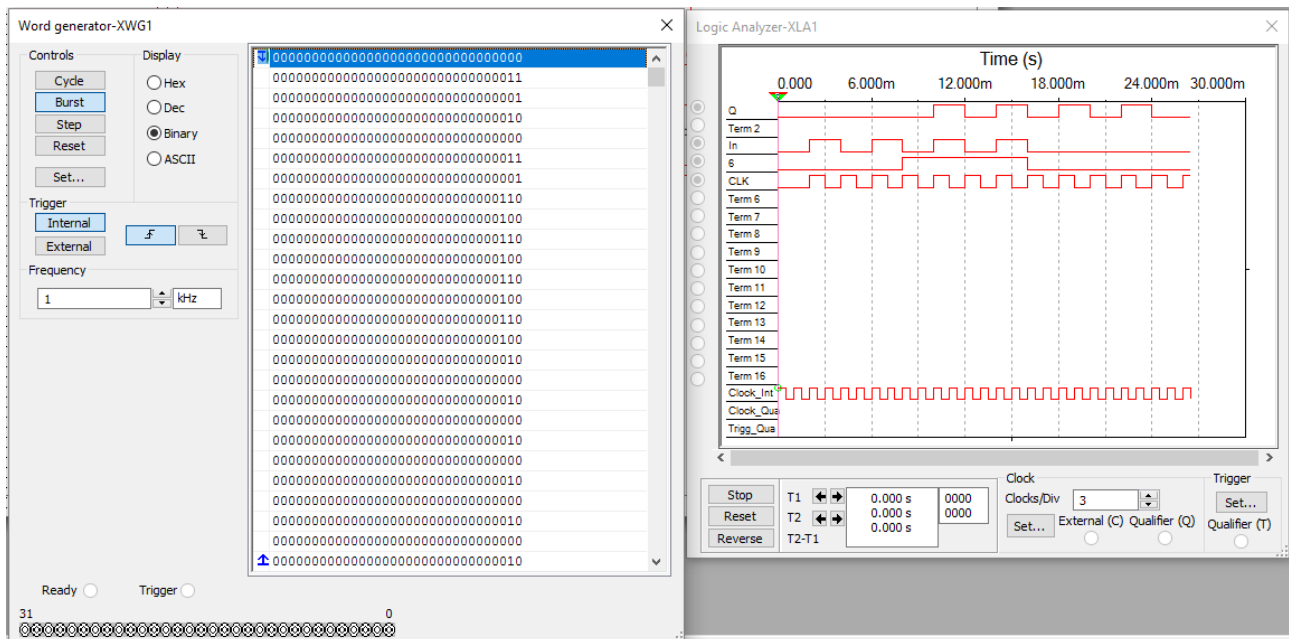
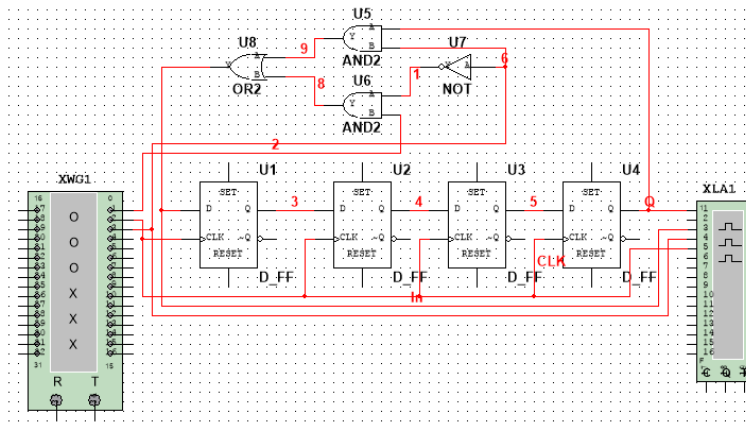


Tabela prawdy dla przerzutnika „T”:

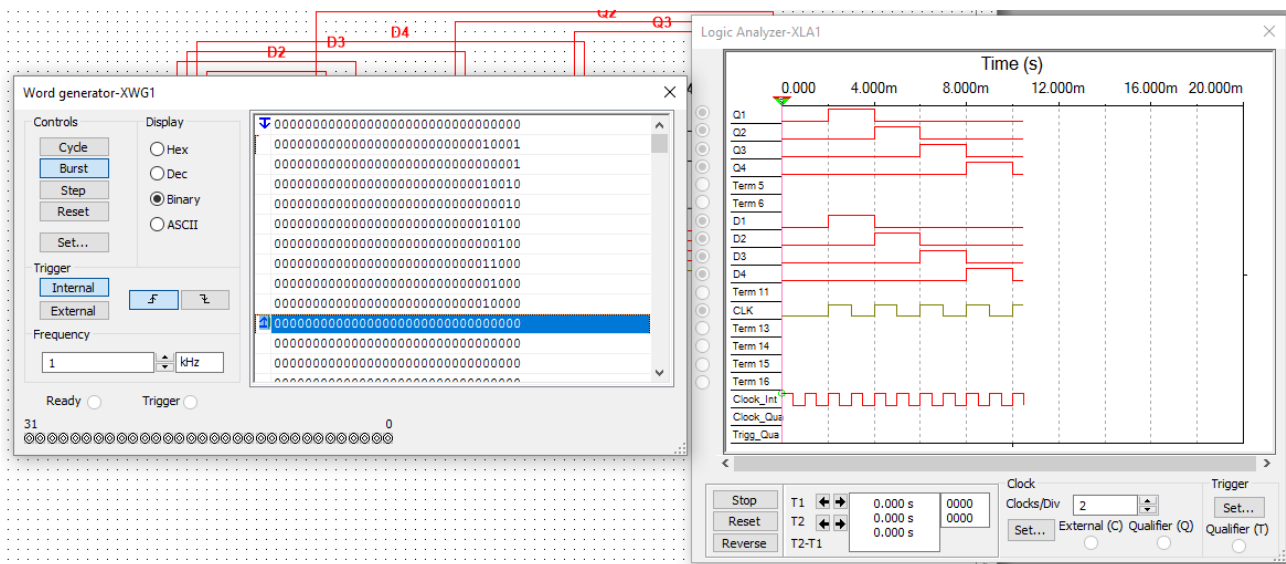
T	Q_{n+1}
1	$\overline{Q_n}$
0	Q_n

h) Rejestry: SISO, SIPO, PIPO i PISO bazując na synchronicznych przerzutnikach „D”

Rejestr SISO:



Rejestr SIPO:



Rejestr PISO:

