

Tareas-capítulo CPU

Resolver los siguientes problemas.

FECHA LÍMITE DE ENTREGA: 10/04/2014 A LAS 11:00H.

Enviar tarea por email: albert.angles@mail.udp.cl

Problema 1

Suponga que en cierto procesador Von Neuman el ciclo fetch-decode-execute-write dura 1-1-2-2 ciclos respectivamente. Haga un diagrama de pipeline considerando que este procesador tiene pipeline nivel 4, para un programa de 10 instrucciones, y calcule el tiempo de ahorro contra pipeline nivel 1. Compare el ahorro de tiempo (en ns) ejecutando el programa en un procesador a 2GHz y uno a 3GHz. Cual es la mejora con el procesador de 3GHz??

Tareas-capítulo CPU

Problema 2

Para el siguiente código del computador básico con pipeline, determine el número de ciclos que se demora detallando los estados del pipeline para cada instrucción. Considere que el pipeline tiene data forwarding implementado entre todas sus etapas, el manejo de *stalling* (*stalling* = detención del pipeline) se realiza por software y se tiene predicción de salto asumiendo que no ocurre salto. En su diagrama detalle cuando ocurre forwarding de datos y *flushing* (*flushing* = detención de las siguientes etapas del pipeline cuando se detecta un salto condicional) de instrucciones.

```
DATA:
res 0
i   0
CODE: MOV B,2 // 2 → B
mult: MOV A,2 // 2 → A
      ADD (res) // res = A+B
      MOV A, (i) // (i) → A
      ADD A,1 // A = A+1
      MOV (i), A // A → (i)
      JNE mult
```

(i): contenido de memoria en la dirección i
JNE: Instrucción de salto condicional