

# آزمایشگاه مدار منطقی و معماری کامپیوتر

مقدمه ای بر زبان برنامه نویسی VHDL و نرم افزار ISE

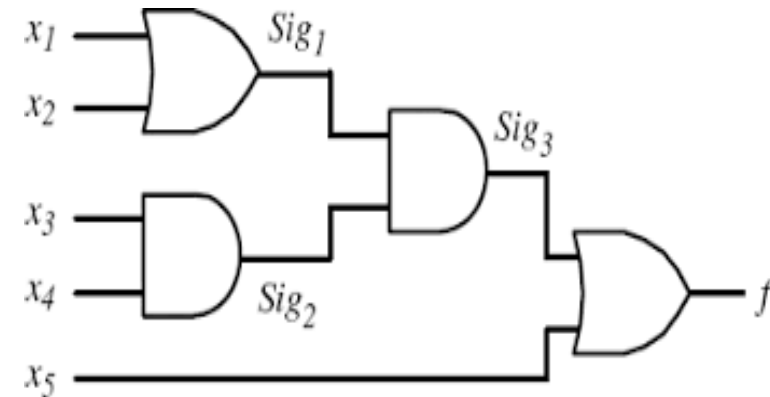
مهسا غلامی

گروه مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

# VHDL در Signal

سیگنال یک کلمه کلیدی در کدنویسی VHDL می باشد. از سیگنال برای تعریف مقادیر میانی در پیاده سازی مدارات استفاده می شود.

```
library IEEE;  
use IEEE.Std_Logic_1164.all;  
entity DataTransm is  
  port (Data: Std_Logic_Vector(15 downto 0));  
end entity DataTransm;  
architecture ExDecl of DataTransm is  
  signal Temp: Std_Logic;  
  signal FlagC, FlagZ: Bit;  
begin
```



# Variable در VHDL

سیگنال یک کلمه کلیدی در کدنویسی VHDL می باشد اما متغیرها اطلاعات را در فرآیندها و زیربرنامه هایی که در آنها تعریف شده اند ذخیره می کنند.

```
;VARIABLE variable_name : type_name
```

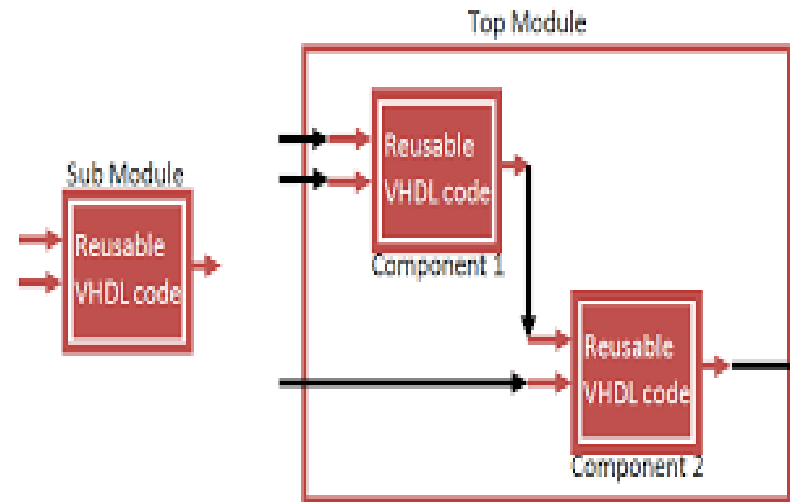
## تفاوت Signal با Variable؟

متغیرها برای ذخیره اطلاعات استفاده می شوند. (در پروسس ها و یا زیربرنامه ها)  
سیگنال ها در واقع معادل **wire** است. (داخل یا خارج پروسس ها)

# VHDL Component

کامپوننت یک ماژول در زبان VHDL می باشد. با استفاده از کامپوننت در واقع بجای یک کد پیچیده می توان از یک حالت سلسله مراتبی استفاده کرد.

```
component Name is  
port (input: in std_logic;  
output: out std_logic);  
end component;
```



# Component در VHDL

نام‌های ورودی و خروجی کامپوننت باید مشابه نام‌های ورودی و خروجی انتیتی قطعه مورد نظر باشد.

مثلا یک نمونه از استفاده‌ی کامپوننت در طراحی مالتی پلکسر 4:1 از چند مالتی پلکسر 2:1 می‌توان نام برد.

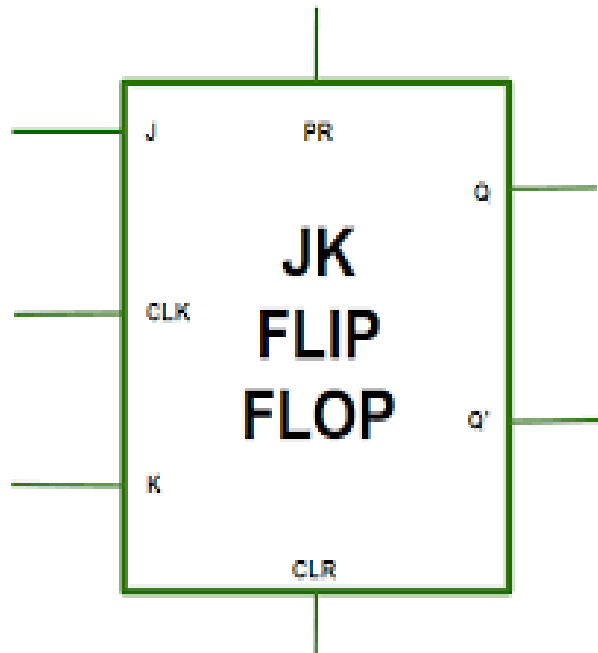
# VHDL در CLK

در مدارات ترتیبی از کلاک‌ها استفاده می‌شود.

```
process(Clk) is
begin
    if rising_edge(Clk) then
        if nRst = '0' then
            <reset all output signals here>
        else
            <main logic here>
        end if;
    end if;
end process;
```

```
if clk'event and clk = '1' then
    int2 <= int2 + 1;
end if;
```

# هفتمین برنامه در VHDL



Truth Table

J	K	CLK	Q
0	0	↑	$Q_0$ (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q}_0$ (toggles)

# هشتمین برنامه در VHDL

شمارنده چهاربیتی اعداد

با استفاده از پکیج :

```
use IEEE.STD_LOGIC_UNSIGNED.all;
```

Rst	CLK	O3	O2	O1	O0
1	↑	0	0	0	0
0	↑	0	0	0	1
0	↑	0	0	1	0
0	↑	0	0	1	1
0	↑	0	1	0	0
0	↑	0	1	0	1
0	↑	0	1	1	0
0	↑	0	1	1	1
0	↑	1	0	0	0
0	↑	1	0	0	1
0	↑	1	0	1	0
0	↑	1	0	1	1
0	↑	1	1	0	0
0	↑	1	1	0	1
0	↑	1	1	1	0
0	↑	1	1	1	1
0	↑	0	0	0	0



پایان  
۱۴۰۱