

آزمایشگاه مدار منطقی و معماری کامپیوتر

مقدمه ای بر زبان برنامه نویسی VHDL و نرم افزار ISE

مهسا غلامی

گروه مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

VHDL انواع داده در

| | |
|--------------------------|---|
| Bit | '0', '1' |
| Bit_Vector | Array of bit |
| STD_LOGIC | '0', '1', 'X', 'W', 'Z', 'L', 'H', '_' |
| STD_LOGIC_VECTOR | Array of STD_LOGIC |
| STD_ULOGIC | '0', '1', 'X', 'W', 'Z', 'L', 'H', 'U', '_' |
| STD_ULOGIC_VECTOR | Array of STD_ULOGIC |
| SIGNED | Array of STD_LOGIC |
| UNSIGNED | Array of STD_LOGIC |
| Boolean | True and False |
| Character | 7-bit ASCII |
| integer | -2,147,483,647 to +2,147,483,647 |
| NATURAL | 0 to +2,147,483,647 |
| POSITIVE | 1 to 2,147,483,647 |
| real | Floating point, min:+1e38 to -1e38 |
| string | Array of characters |
| time | Hr, min, sec, ms, ns, ps, fs |

VHDL در Case-When

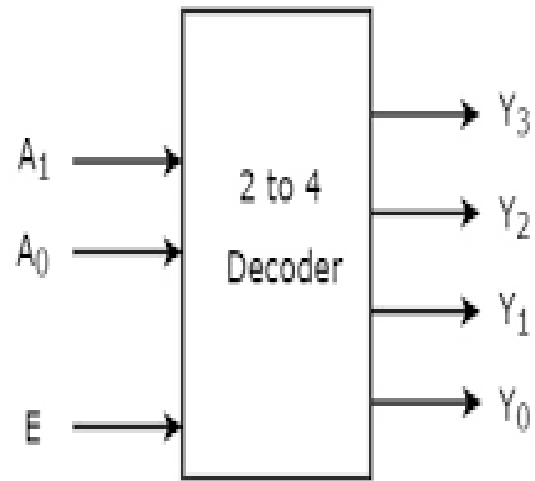
این باعث می شود که برنامه بسته به مقدار یک سیگنال، متغیر یا عبارت، یک حالت را به عنوان خروجی در نظر بگیرد.

The basic syntax for the Case-When statement is:

```
case <expression> is
  when <choice> =>
    code for this branch
  when <choice> =>
    code for this branch
  ...
end case;
```

چهارمین برنامه در VHDL

:Decoder 2:4



VHDL در Process

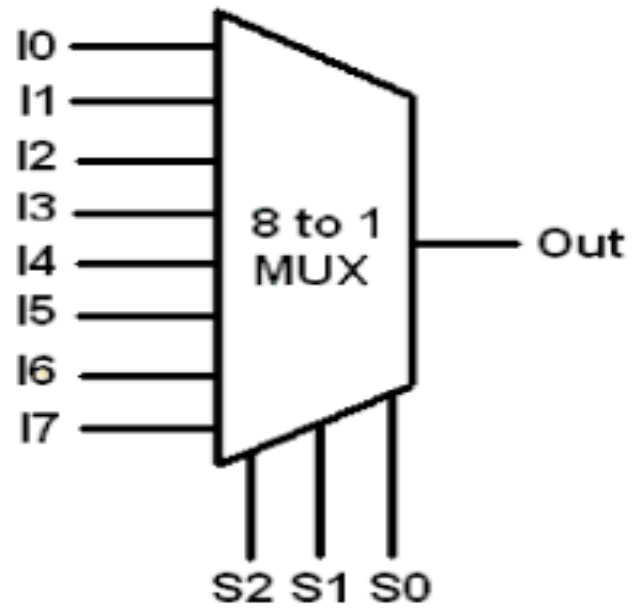
```
ARCHITECTURE test_int OF test IS
BEGIN
    PROCESS (X)
        VARIABLE a: INTEGER;
    BEGIN
        a := 1;  -- OK
        a := -1; -- OK
        a := 1.0; -- illegal
    END PROCESS;
END test_int;
```

VHDL در IF ELSE

```
if_statement ::=  
  if condition then  
    sequence_of_statements  
    { elsif condition then  
      sequence_of_statements }  
  [ else  
    sequence_of_statements ]  
end if ;
```

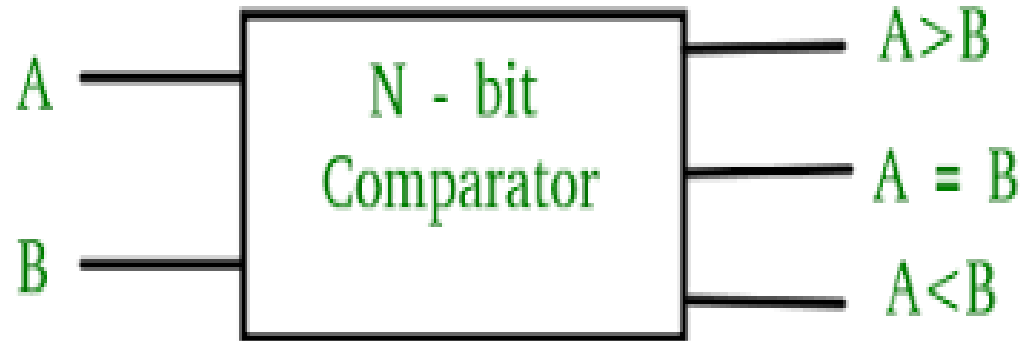
پنجمین برنامه در VHDL

:MUX 8



ششمین برنامه در VHDL

:2 Bit Comparator



پایان
۱۴۰۱