

آزمایشگاه مدار منطقی و معماری کامپیوتر

مقدمه ای بر زبان برنامه نویسی VHDL و نرم افزار ISE

مهسا غلامی

گروه مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

ISE چیست؟



یک نرم افزار، محصول شرکت XILINX است.

روال طراحی در ISE:

۱. طرح را به زبان VHDL یا VERILOG می توانید وارد کنید.
۲. کد نوشته شده را سنتز کنید.
۳. Placement و Routing را برای پیاده سازی روی FPGA می توانید انجام دهید.
۴. فایل پیکربندی می سازید.
۵. روی FPGA پروگرام می کنید.

VHDL(Very High Speed Integrated Circuits Hardware Description Language)



VHDL یا VERILOG؟

VHDL از لحاظ سینتکسی غنی تر از Verilog می باشد.

از طرفی انواع داده ها و استفاده از آنها در Verilog راحت تر از VHDL است.

VHDL شامل ساختارهایی است که آن را برای طراحی سیستم مناسب تر از Verilog متمرکز بر IC می کند.

نتیجه؟

تاریخچه VHDL

VHDL یک زبان توصیف سخت‌افزار است که برای طراحی و توصیف مدارهای مجتمع سرعت بالا طراحی شد و بعد از چندسال انجمن IEEE (انجمن مهندسان برق و الکترونیک) استانداردهایی را تعیین کرد.

با استفاده از توصیف سخت‌افزاری می‌توان سیستم‌های پیچیده را از طریق ارتباط بین بلوک‌های سازنده آن‌ها مدل‌سازی نمود؛ به این ترتیب پیاده‌سازی این سیستم‌ها توسط زبان VHDL ساده‌تر از زبان‌های برنامه‌نویسی از قبیل C می‌باشد.

با بکارگیری کتابخانه‌ها و component‌ها در زبان VHDL، می‌توان از المان‌های موجود و نوشته شده در سایر طراحی‌ها استفاده نمود. در واقع عملکرد آن‌ها شبیه DLL‌ها و توابع در زبان‌های برنامه‌نویسی نرم‌افزاری می‌باشد.

تاریخچه VHDL

سرعت طراحی و پیاده‌سازی سیستم‌های پیچیده توسط این زبان بسیار بیشتر از طراحی شماتیک است زیرا چگونگی اتصال گیت‌ها و بلوک‌ها، توسط نرم‌افزار سنتزکننده تعیین می‌شود. به این ترتیب می‌توان سیستم‌های پیچیده را در مدت زمان کوتاهی پیاده‌سازی کرده، تغییرات و اصطلاحات مورد نیاز را در برنامه اعمال نمود.

استفاده از این زبان بستر مناسبی برای شبیه‌سازی سیستم مورد توصیف ایجاد می‌کند و پس از اطمینان از صحت عملکرد کد نوشته شده در محیط شبیه‌ساز، می‌توان توصیف سیستم را به روی تراشه مورد نظر پیاده کرد.

اجزای VHDL

VHDL از دو قسمت اصلی تشکیل شده است:
۱. Entity:

پورتهای ورودی و خروجی مدار معرفی می شوند.

۲. Architecture:

بدنه مدار به حساب می آید.

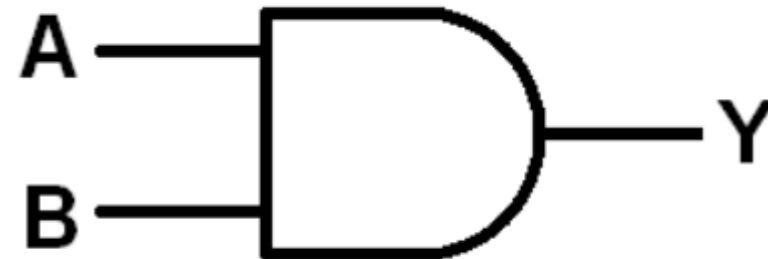
شامل دو قسمت Concurrent و Sequential :

در قسمت Concurrent مدارات ترکیبی طراحی می شوند و در قسمت Sequential هم مدارات ترکیبی و ترتیبی طراحی می شوند.

اولین برنامه در VHDL

گیت AND:

```
library IEEE;  
use IEEE.std_logic_1164.all;  
entity andgate is  
  Port( A : in std_logic;  
        B : in std_logic;  
        Y : out std_logic  
        );  
end andgate;  
  
architecture Behavioral of andgate is  
begin  
  Y<= A and B ;  
end Behavioral;
```

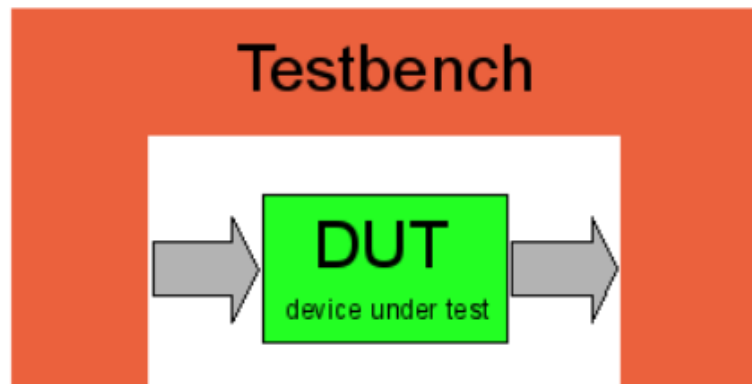


TEST BENCH

Testbench یک ماژول hdl است که برای تست ماژول به نام DUT (Device under Test) استفاده می‌شود.

این بخش حاوی عباراتی برای اعمال ورودی‌هاست. سپس بررسی می‌شود که خروجی صحیح تولید می‌شود یا خیر.

به الگوهای ورودی و خروجی موردنظر Test vector می‌گویند.



VHDL اولین برنامه در

تست پنج گیت AND:

```
stim_proc:process
begin
wait for 10ns;
a<='1';
b<='0';
wait for 10ns;
a<='0';
b<='1';
wait for 10ns;
a<='0';
b<='0';
wait for 10ns;
a<='1';
b<='1';
wait for 10ns;
end process;
end Behavioral;
```

VHDL در برنامه دومین

کد VHDL برای تابع زیر را پیاده کنید و برای آن تست بنچ بنویسید و خروجی آن (شکل موج) را بررسی کنید.

$$Z=(A+B)C'$$

پایان
۱۴۰۱