



**FUNDAMENTAL OF DIGITAL SYSTEM FINAL PROJECT REPORT
DEPARTMENT OF ELECTRICAL ENGINEERING
UNIVERSITAS INDONESIA**

TRAFFIC LIGHT CONTROLLER

GROUP PA21

Dhafin Hamizan Setiawan	2306267145
Mirza Adi Raffiansyah	2306210323
M Arya Wiandra Utomo	2306218295
Wiellona Darlene Oderia S	2306264396

PREFACE

Laporan ini disusun sebagai bagian dari proyek akhir untuk mata kuliah Perancangan Sistem Digital. Proyek yang berjudul **Traffic Light Controller** yang mengimplementasikan sistem digital untuk mengelola dan mengoptimalkan operasi lampu lalu lintas pada persimpangan empat arah. Tujuan dari proyek ini adalah merancang pengontrol arus lalu lintas dan penyeberangan pejalan kaki.

Desain sistem ini beroperasi dengan 4 state utama, yaitu Idle, Red, Yellow, dan Green state yang menunjukkan lampu utama lalu lintas yang sedang menyala, dan 1 state tambahan, yaitu Pedestrian state yang hanya berlangsung ketika terdapat sinyal high pada setidaknya input pedestrian light. Saat mode aktif, sistem akan mengulang siklus state secara berurutan dari arah utara, timur, selatan, dan terakhir barat.

Fungsi utama dari sistem ini meliputi:

1. **Lampu lalu lintas utama:** Pengontrol akan menjalankan siklus lampu lalu lintas searah jarum jam pada empat arah persimpangan
2. **Lampu pengelolaan belok kiri:** Pengontrol sinyal belok kiri yang disinkronkan dengan lampu hijau lalu lintas utama arah yang bersangkutan dan arah selanjutnya, dan nonaktif ketika terdapat permintaan penyeberangan pejalan kaki
3. **Lampu penyeberangan pejalan kaki dan timernya:** Mekanisme tombol diintegrasikan dengan lampu lalu lintas utama dan lampu belok kiri, di mana setiap lampu yang berada pada Green State akan dialihkan ke Red State sehingga lampu penyeberangan dapat memasuki Green State. State penyeberangan berlangsung dengan rentang waktu yang diatur oleh timer.

Proyek ini menerapkan prinsip-prinsip dasar dari desain sistem digital yang mencakup modul looping construct, finite state machines, dataflow, behavioral, procedure, dan function.

Depok, December 6, 2024

Group PA21

TABLE OF CONTENTS

CHAPTER 1: INTRODUCTION

- 1.1 Background
- 1.2 Project Description
- 1.3 Objectives
- 1.4 Roles and Responsibilities

CHAPTER 2: IMPLEMENTATION

- 2.1 Equipment
- 2.2 Implementation

CHAPTER 3: TESTING AND ANALYSIS

- 3.1 Testing
- 3.2 Result
- 3.3 Analysis

CHAPTER 4: CONCLUSION

REFERENCES

APPENDICES

- Appendix A: Project Schematic
- Appendix B: Documentation

CHAPTER 1

INTRODUCTION

1.1 BACKGROUND

Sistem pengontrol lampu lalu lintas memiliki peran penting dalam mengatur arus kendaraan dan pejalan kaki di persimpangan jalan, terutama di persimpangan empat arah yang padat. Tanpa pengontrol yang efisien, penumpukan jumlah kendaraan dapat terjadi sehingga menyebabkan kemacetan yang mengarah pada peningkatan waktu perjalanan, konsumsi bahan bakar yang lebih tinggi, bahkan kecelakaan. Pengontrol lampu lalu lintas yang baik harus mampu mengoptimalkan pergerakan kendaraan, memberikan waktu yang cukup bagi pejalan kaki untuk menyeberang, dan mengatur arus lalu lintas untuk kasus-kasus khusus. Sistem digital menawarkan solusi yang efisien dibandingkan pengontrol berbasis analog. Proyek **Traffic Light Controller Design** mensimulasikan perancangan pengontrol arus lalu lintas dengan meningkatkan efisiensi lalu lintas perempatan dengan menerapkan prinsip-prinsip perancangan sistem digital untuk menciptakan lampu lalu lintas yang lebih efisien. Sistem yang kami rancang menggunakan *finite state machine* (FSM) untuk mengatur sinyal lampu lalu lintas, memastikan kelancaran arus lalu lintas, dan mengutamakan keselamatan baik bagi kendaraan maupun pejalan kaki.

1.2 PROJECT DESCRIPTION

Proyek ini bertujuan untuk memenuhi tugas proyek akhir mata kuliah Perancangan Sistem Digital dan untuk membuat sistem lampu lalu lintas yang efisien yang mampu mengelola lampu lalu lintas di persimpangan empat arah, termasuk pengelolaan lampu belok kiri dan penyeberangan pejalan kaki. Sistem ini menggunakan arsitektur finite state machine (FSM) untuk mengatur transisi antar state, seperti Red, Yellow, Green, dan Pedestrian. Selain itu, proyek ini juga mengimplementasikan timer untuk penyeberangan pejalan kaki yang memungkinkan waktu lampu hijau pejalan kaki dapat diatur secara fleksibel sesuai dengan input yang diberikan. Sistem berbasis VHDL ini dibentuk sedemikian rupa untuk mengontrol lampu lalu lintas utama dari 4 arah, yaitu utara, timur, selatan, dan barat, di mana pada masing-masing arah terdapat lampu belok kiri dan lampu penyeberangan yang disertai timer. Dengan menggunakan pendekatan desain sistem digital, proyek ini bertujuan untuk

menciptakan solusi yang lebih efisien dan adaptif dalam mengelola lalu lintas di persimpangan yang padat.

1.3 OBJECTIVES

Proyek akhir ini bertujuan untuk merancang dan mengimplementasikan *Traffic Light Controller*, sebuah sistem yang mampu mengefisiensikan lampu lalu lintas. Adapun tujuan utama dari proyek ini adalah sebagai berikut:

1. **Keamanan:** Sistem ini diharapkan untuk bisa memprioritaskan keamanan pengguna jalan baik itu motor maupun pedestrian.
2. **Adaptif:** Mampu dikonfigurasi secara realtime untuk menyesuaikan keadaan lalu lintas di sekitarnya.
3. **Efisiensi:** Optimasi sinyal lampu timing untuk mengurangi waktu menunggu yang terlalu lama dan mengoptimalkan arus lalu lintas.

Dengan mencapai tujuan-tujuan tersebut, proyek **Traffic Light Controller** diharapkan dapat berfungsi sebagai langkah awal dalam efisiensi lalu lintas yang ada dan sebagai prototipe sederhana efisiensi lampu lalu lintas.

1.4 ROLES AND RESPONSIBILITIES

The roles and responsibilities assigned to the group members are as follows:

Roles	Responsibilities	Person
Base traffic light code	Merancang fondasi awal dari proyek	Mirza
Troubleshooting	Troubleshooting error-error yang muncul	Arya, Dhafin, Mirza, Wiellona
Project Report and Presentation	Role 5 responsibilities	Arya, Dhafin, Wiellona

Table 1. Roles and Responsibilities

CHAPTER 2

IMPLEMENTATION

2.1 EQUIPMENT

The tools that are going to be used in this project are as follows:

- Modelsim
- Quartus
- Visual Studio Code
- Git

2.2 IMPLEMENTATION

Pada proyek Traffic Light Controller, kami mengimplementasikan modul-modul yang telah kami pelajari pada mata kuliah Perancangan Sistem Digital seperti:

- Behavioral Style Programming in VHDL
- Testbench
- Looping Construct
- Procedure, Function, dan Impure Function
- Finite State Machine

Behavioral digunakan untuk mengatur logika transisi antar-keadaan (finite state machine) yang mencakup 4 state utama: Idle, Red, Yellow, dan Green state, dan 1 state tambahan yaitu Pedestrian state. Setiap state bertanggung jawab untuk menentukan output lampu lalu lintas, lampu belok kiri, dan pedestrian berdasarkan kondisi input seperti timer dan tombol pejalan kaki.

Finite State Machine (FSM) digunakan untuk mengelola transisi antar-keadaan berdasarkan input kondisi tombol pedestrian atau waktu lampu berjalan.

Testbench digunakan untuk mensimulasikan sistem untuk berbagai skenario, seperti aktivasi tombol pedestrian dan siklus lampu lalu lintas di setiap arah persimpangan.

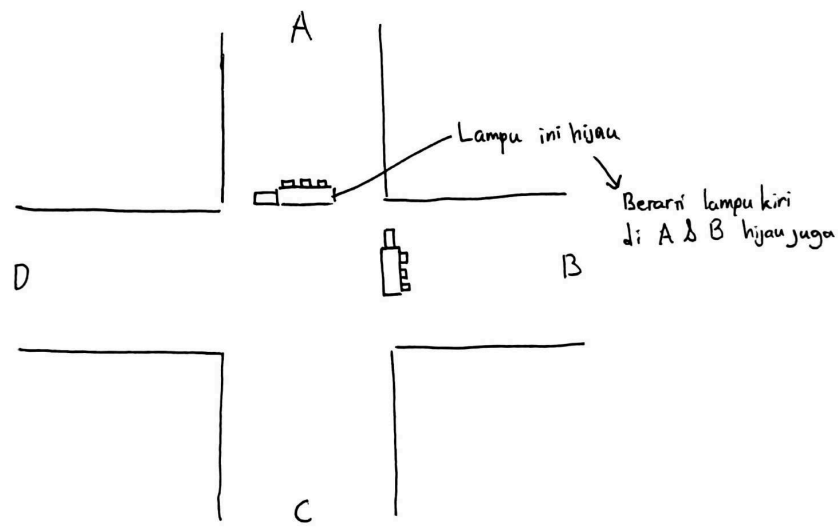
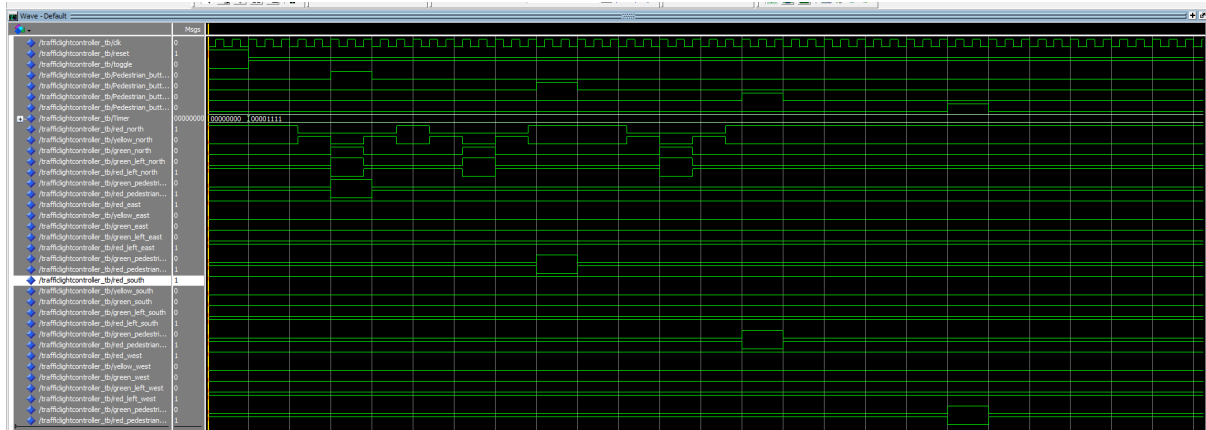


Fig. 1 Outline Ide Traffic Light Controller

CHAPTER 3

TESTING AND ANALYSIS

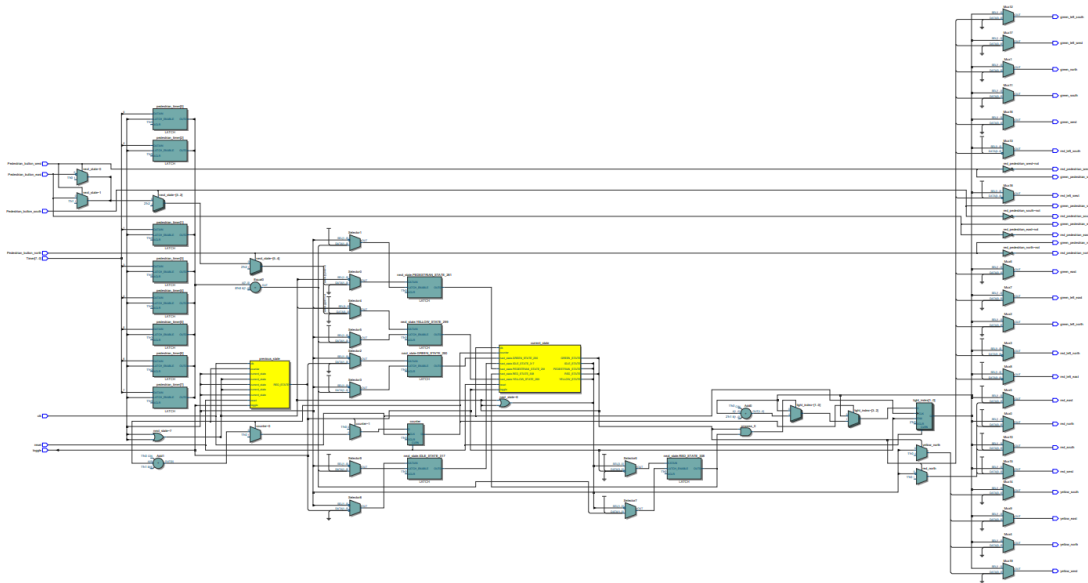
3.1 TESTING



Testing dilakukan dengan menggunakan wave test simulation pada ModelSIM. Simulation dijalankan pada program *testbench* dengan input yang mewakili skenario yang mungkin untuk terjadi.

Pada pengujian *Traffic Light Controller Design*, tidak ada anomali atau behavior yang tidak sesuai dengan rancangan awal. Output yang dihasilkan dari simulasi juga sesuai dengan lampu lalu lintas masing-masing mata angin nyala sesuai urutan lalu ketika tombol pedestrian ditekan maka lampu hijau pedestrian akan menyala dan ini sudah sesuai dengan rancangan awal. Simulasi juga menunjukkan skema prototipe lampu lalu lintas yang efektif.

3.2 RESULT



Setelah dilakukan testing dengan wave test dan sesuai dengan rancangan awal yang kita buat, maka dapat disimpulkan bahwa *Traffic Light Controller Design* sudah berhasil diimplementasikan pada FPGA. Langkah berikutnya adalah melakukan synthesis menggunakan Quartus Prime. Dapat dilihat pada gambar synthesis, bahwa synthesis berhasil dilakukan dan tidak ada error yang muncul.

3.3 ANALYSIS

Proyek Traffic Light Controller ini dibuat dan diuji untuk membantu sebuah perempatan yang dinamai dengan mata angin. Traffic Light Controller yang telah dirancang telah melewati berbagai jenis ujian untuk memastikan fungsionalitas dari Traffic Light Controller tersebut.

Dari hasil simulasi wave pada modelsim menunjukkan sistem *Traffic Light Controller* mampu menjalankan alur lampu lalu lintas yang efisien. Setiap lampu lalu lintas berjalan sesuai dengan alur yang sudah dibuat yaitu yang pertama akan hijau adalah north kemudian dilanjutkan dengan east, south, dan west. Setiap pedestrian menekan tombol juga akan menjalankan lampu pedestrian.

CHAPTER 4

CONCLUSION

Proyek *Traffic Light Controller Design* ini berhasil dibuat dan diuji untuk membuat sistem lampu lalu lintas yang efisien serta aman bagi pengguna jalan baik itu bermotor maupun pedestrian.

Dari hasil pengujian, sistem terbukti bisa menjalankan skema lampu lalu lintas yang aman dan efisien untuk pengguna jalan. Semua skema bekerja sesuai desain awal, dan pendekatan modular yang digunakan membuat sistem lebih stabil dan mudah disintegrasi.

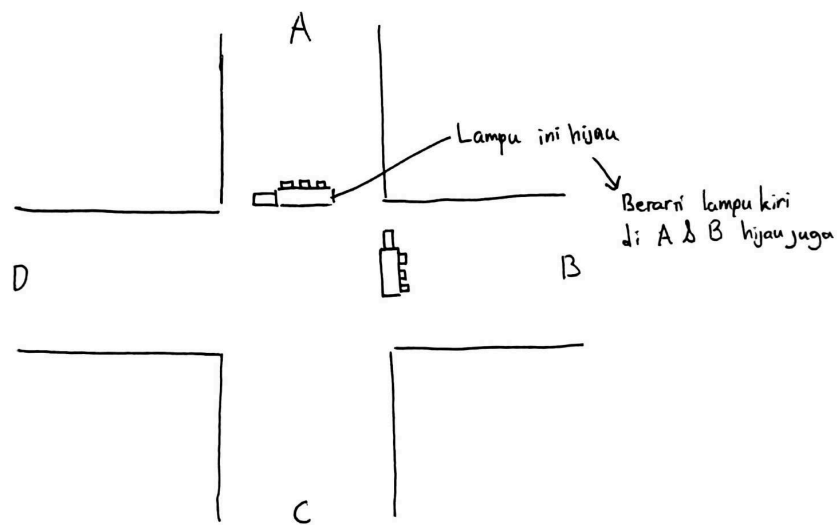
Proyek ini menjadi pengalaman yang baik dalam mengaplikasikan teori yang dipelajari selama perkuliahan. Kami berharap hasil kerja ini bisa berguna sebagai dasar pengembangan sistem lalu lintas di masa depan.

REFERENCES

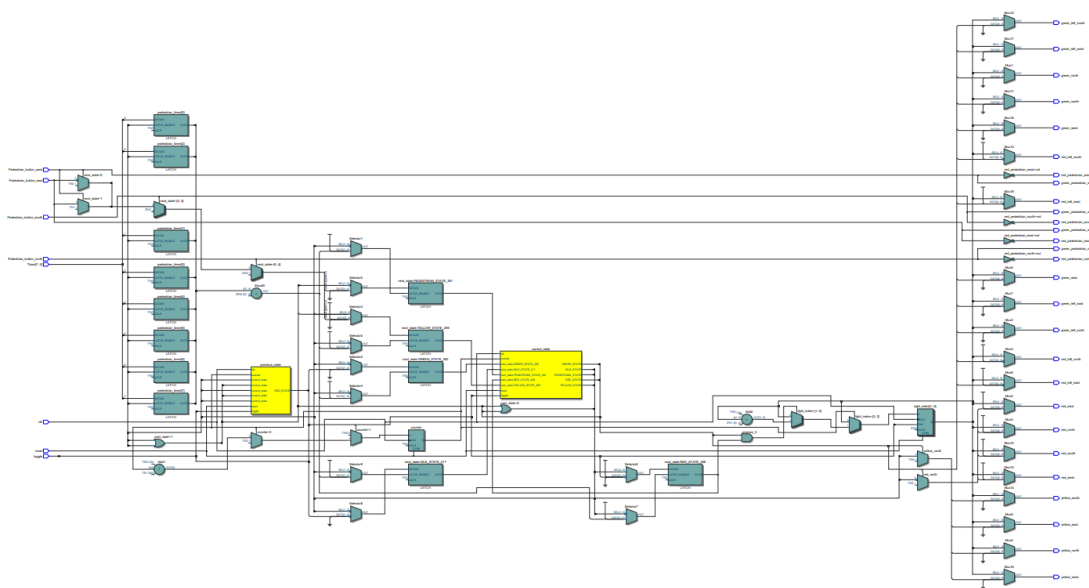
- [1] "VHDL || Electronics Tutorial," *www.electronics-tutorial.net*.
<https://www.electronics-tutorial.net/VHDL/Introduction/Data-Flow-Modeling/>
- [2] Surf-VHDL, "VHDL FOR-LOOP statement," *Surf-VHDL*, Nov. 04, 2017.
<https://surf-vhdl.com/vhdl-for-loop-statement/>
- [3] "VHDL Behavioral Modeling Style," *Surf-VHDL*.
<https://surf-vhdl.com/vhdl-syntax-web-course-surf-vhdl/vhdl-behavioral-modeling-style/>
- [4] John, "How to Write a Basic Testbench using VHDL," *FPGA Tutorial*, May 23, 2020.
<https://fpgatutorial.com/how-to-write-a-basic-testbench-using-vhdl/>

APPENDICES

Appendix A: Project Schematic



CS Scanned with CamScanner



Appendix B: Documentation

