|  |  |
| --- | --- |
| Filip Mazur 226018 | dr inż. Jarosław Sugier |
| Marcin Kozieł 225937 | 14:00 wtorek TP |

**Układy Cyfrowe i Systemy Wbudowane 1 – Laboratorium 3**

1. Cel ćwiczenia

Zapoznanie się z językiem VHDL oraz sposobami opisu typowych układów kombinacyjnych   
i sekwencyjnych.

1. Przebieg ćwiczenia
   1. Zasymulowanie modelu magistrali Y = (12 - X) mod 16, gdzie X => K(3:0), a Y => LED(3:0).
      1. Naszym pierwszym krokiem było dodanie do naszego projektu modułu VHDL i opisanie struktury magistrali.

(..)

entity lab3module is

Port ( X : in STD\_LOGIC\_VECTOR (3 downto 0);

Y : out STD\_LOGIC\_VECTOR (3 downto 0));

end lab3module;

architecture Behavioral of lab3module is

-- Y <= 12 - X

begin

WITH X SELECT

Y<= "1100" when "0000", -- 12-0 = 12

"1011" when "0001", -- 12-1 = 11

"1010" when "0010", -- 12-2 = 10

"1001" when "0011", -- 12-3 = 9

"1000" when "0100", -- 12-4 = 8

"0111" when "0101", -- 12-5 = 7

"0110" when "0110", -- 12-6

"0101" when "0111", -- 12-7

"0100" when "1000", -- 12-8

"0011" when "1001", -- 12-9

"0010" when "1010", -- 12-10

"0001" when "1011", -- 12-11

"0000" when "1100", -- 12-12 = 0

"1111" when "1101", -- 12-13 = 15

"1110" when "1110", -- 12-14 = 14

"1101" when "1111", -- 12-15 = 13

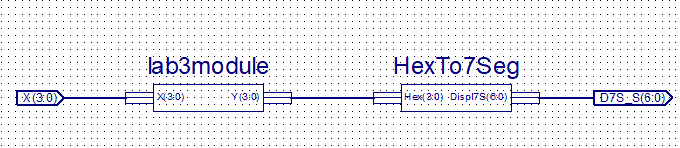
"XXXX" when others;

end Behavioral;

Istotny fragment kodu opisującego magistralę.

* + 1. Dodanie pliku obsługującego siedmiosegmentowy wyświetlacz. Sporządzenie schematu.

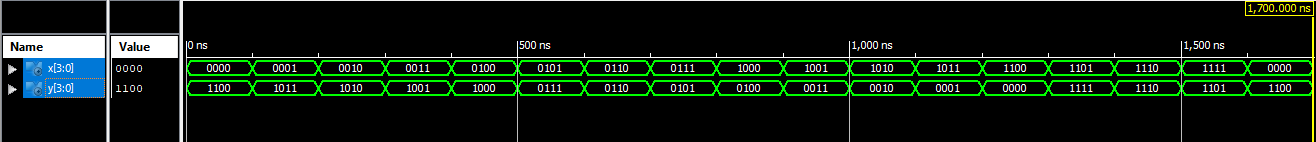
Kolejnym krokiem było pobranie oraz przyłączenie do projektu pliku HexTo7Seg pobranego ze strony przedmiotu. Następnie z kodu napisanego przez nas na laboratorium wygenerowaliśmy segment, który potem mogliśmy umieścić na schemacie razem z modułem HexTo7Seg.



Gotowy schemat.

* + 1. Wykonanie symulacji.

Układ działał zgodnie z założeniami. Symulacja typu Behavioral została przeprowadzona w aplikacji ISim.



Wynik symulacji.

Następnie projekt otworzyliśmy w programie iMPACT. Po zaprogramowaniu układ pokazywał na wyświetlaczu prawidłowe wartości dla podawanych wejść.

* 1. Zasymulowanie modelu licznika synchronicznego, rewersyjnego, 3-bitowego o następującej sekwencji: { 0, 1, 2, 6, 3, 4, 5, 7 }

1. Wnioski

Praca na zajęciach umożliwiła nam zapoznanie się ze środowiskiem Xilinx ISE.  
W szczególności pomocny okazał się edytor schematów ECS, który pozwala na zaprojektowanie układu cyfrowego bez znajomości języka VHDL. Kolejnym ważnym narzędziem jest aplikacja iMPACT, którą programowaliśmy zestaw ZL-9572. W efekcie uzyskaliśmy dwa w pełni funkcjonalne układy cyfrowe.