**micromips设计报告**

北京航空航天大学学校一队

石浤澔、田韵豪、曹文轩、韩锋

1. 设计简介

本项目是利用nscscc大赛官方提供的SoC，实现一个具有AXI接口的cpu，符合mips32标准，并通过官方提供的功能、性能和系统测试的verilog工程。

在设计中，主要包含core（CPU核心，处理各种功能），cp0（大赛技术方案要求实现的协处理器），mmu、tlb、cache（完成core\cp0和内存的交互）等模块。

二、设计方案

（一）总体设计思路

按照常见CPU设计的方案，本项目将cpu按照实际功能，拆分为core、内存管理、cp0三大部分，他们各自的功能定位如下：

Core：完全采用虚拟地址，为5阶段流水线mipscpu，实现了技术方案要求的所有mips指令+lwl+lwr+mul（以完成系统测试），在EM级向cp0提交异常，同时接收cp0给出的异常中断信号；在I和M级与mmu交互，进行内存读写。

对外界来说，core只关心虚地址读写，异常提交，异常中断处理。对于如何访问tlb、cache，甚至通过总线访问主存等过程并不关心，这样可以较好的让core着重于实现指令的功能。

Mmu：cpu访存的顺序依次为：tlb，mmu，cache，主存；在预赛中，因为不会使用00000000-7ffffffc等地址，为了进一步提高性能，本项目取消了tlb相关的所有时序逻辑，直接将高位抹除从而获得实地址。本项目实现了分离的一级icache和一级dcache，用于提高性能。

Cp0：在预赛中，由于不涉及tlb相关功能，因此cp0暂不实现entrylo0/1，entryhi，index等寄存器，仅实现与异常中断有关的寄存器+prid，读写逻辑较为简单。

（二）XX模块设计（可选）

对模块内部设计方案进行更进一步描述。可以包含：模块的功能意图，模块的输入输出，模块内部的数据通路和控制逻辑，以及可能的软硬件交互机制。

（三）XX模块设计（可选）

……

三、设计结果

请不要大篇幅地直接粘贴代码。

（一）设计交付物说明

说明所提交设计的目录层次，各目录下对应的内容是什么。提供所提交设计进行仿真、综合、上板演示的必要操作提示步骤。

（二）设计演示结果

以文字、图、表等形式展示设计的演示结果。

四、参考设计说明

如果在提交设计中使用了第三方IP或者借鉴了他人的部分源代码，请在此处逐一列举，并说明出处。所谓“借鉴”是指从模块划分、接口定义、数据通路结构、状态机、关键信号含义这些方面均与原设计存在较高的相似度。

五、参考文献

无

格式补充说明：

1. 标题层次建议不超过四级，从第一级开始标号格式依次采用：一、二、三；（一）、（二）、（三）；1、2、3；（1）、（2）、（3）。

一级标题用小三号字，中文为黑体，英文为Times New Roman，单倍行距，段前段后各0.5行。

二级标题用四号字，中文为黑体，英文为Times New Roman，单倍行距，段前段后各0.25行。

三级标题用小四号字，中文为黑体，英文为Times New Roman，单倍行距。

四级标题用五号字，中文为黑体，英文为Times New Roman，单倍行距。

2. 正文用五号字，中文为宋体，英文为Times New Roman，1.5倍行距。

3. 所有图统一顺序标号，图标题紧挨在图的下方，居中，用小五号字，中文为宋体，英文为Times New Roman，单倍行距，段后0.5行。

4. 所有表统一顺序标号，图标题放在表的上方，居中，用小五号字，中文为宋体，英文为Times New Roman，单倍行距，段前0.5行。

**5. 报告形成后请删除本模板中所有红色文字。**