

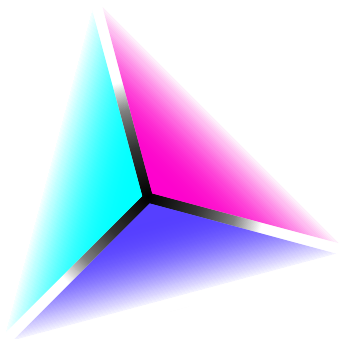
Struktura a architektura počítačů

Katedra číslicového návrhu
Fakulta informačních technologií
České vysoké učení technické

© Hana Kubátová, 2021

Paměti

BI-SAP, květen 2021



HW počítače - shrnutí

- **Všechny počítače se skládají z 5 základních částí:**
 - Datová část (ALU) - v procesoru
 - Řídící část (řadič) – v procesoru
 - Hlavní paměť – lépe řečeno paměťový subsystém (část je mimo procesor)
 - Vstupní zařízení
 - Výstupní zařízení
- **Paměťový systém**
 - Caches (skrytá paměť): rychlé, dražší, kapacitně menší, umístované blíž k procesoru
 - Hlavní paměť: pomalejší, levnější, větší
 - Vnější paměť: ještě pomalejší, ale velká kapacita
 - Záložní paměť (přenositelné): CD, DVD, flash, magnetická páska
- **Vstupní a výstupní zařízení** (mají nejméně pravidelné struktury)
 - Široký rozsah rychlosti: klávesnice vs. grafika
 - Široký rozsah požadavku: rychlost, cena, norma atd.

Obsah přednášky

- Typy pamětí a jejich dělení podle různých kritérií
- Adresace paměti
- SRAM/DRAM

Paměti

- paměť ... zařízení pro uchování dat a programů (nejen v počítači)
- základní funkce zápis a čtení
(\exists paměti s pevným obsahem, který lze pouze číst)
- dělení podle:
 - použití v počítači
 - fyzikálního principu
 - způsobu výběru položek
 - způsobů a možností změny uložené informace

Nejen hlavní paměť v číslicovém počítači)

Rozdělení pamětí

podle použití v počítači:

- hlavní (operační paměť)
- vnější paměť
- skrytá paměť (cache)
-

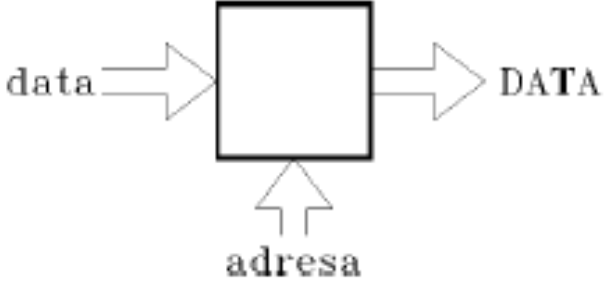

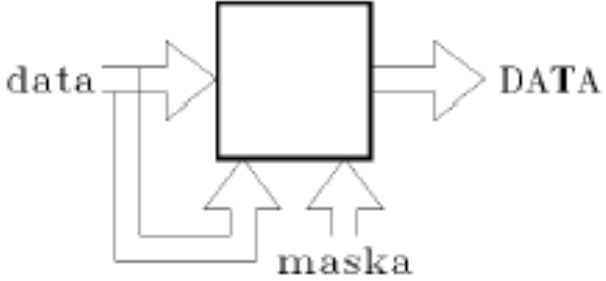
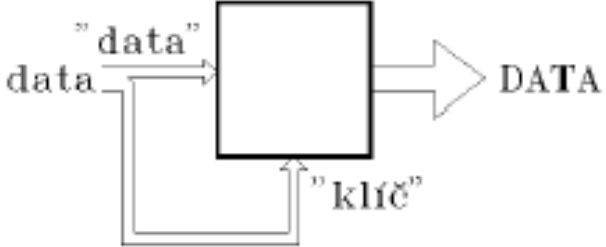
podle fyzikálního principu:

- polovodičové
- magnetické
- optické
-

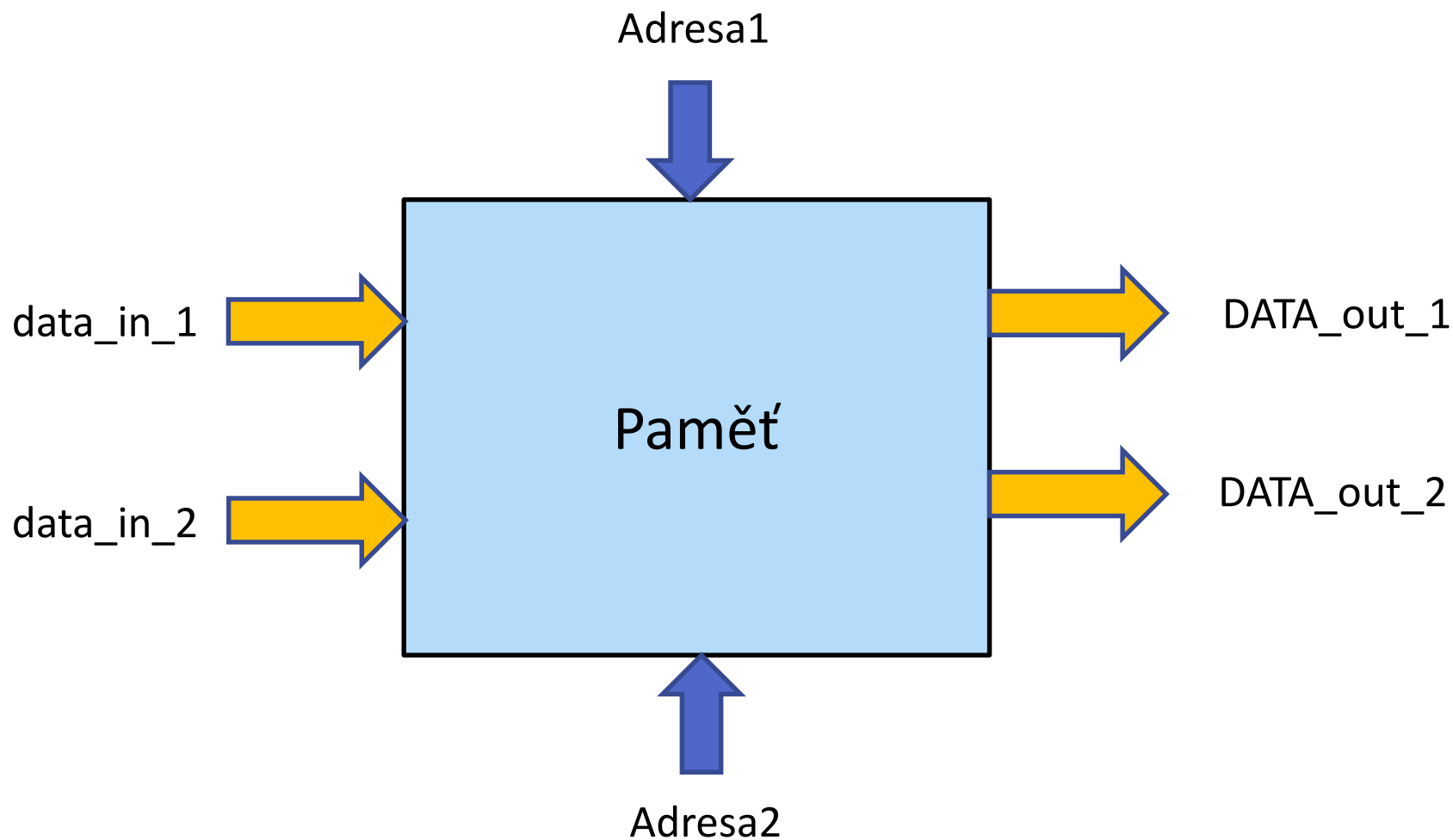
.... rozdělení pamětí

Podle způsobu výběru položek:

- adresou ... s adresovým výběrem (adresové, adresovatelné)
RAM *Random Access Memory*
- asociativně výběr podle části uložené informace, tzv. **klíče**
CAM ... *Content Addressable Memory*
- podle toho, jak jsou položky uloženy:
 - s postupným výběrem (sériové)
 - zásobník (LIFO ... last in first out)
 - fronta (FIFO ... first in first out)

Paměť	
adresovatelná	
s postupným výběrem, LIFO, FIFO	
„universální“ CAM	
„speciální“ CAM	

Adresovatelná paměť vícebránová



Další dělení pamětí

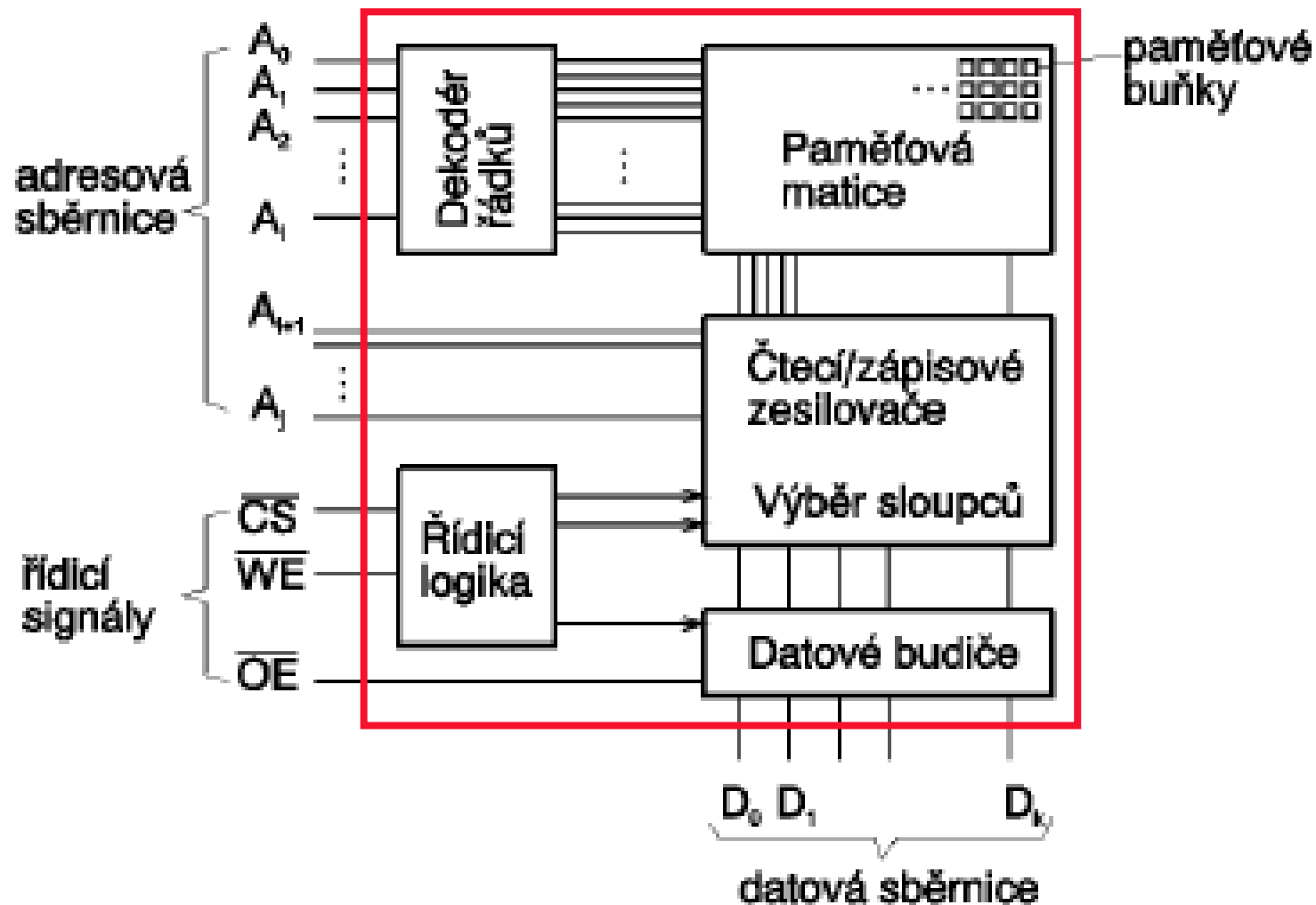
podle způsobů a možností změny uložené informace:

- paměti pro čtení a zápis RWM (Read Write Memory)
- obsah lze libovolně přepisovat RAM (Random Access Memory)
 - » SRAM ... statická
 - » DRAM ... dynamická
- permanentní
 - obsah určen při výrobě ROM (Read Only Memory)
 - obsah lze jednorázově naprogramovat PROM (Programmable ROM)
- semipermanentní
 - obsah lze naprogramovat a lze vymazat a přeprogramovat EPROM, EEPROM, FLASH
- volatilní ... energeticky závislé (uložená informace zanikne po vypnutí napájení) SRAM, DRAM
- nonvolatilní ROM, PROM, EPROM, EEPROM, FLASH

Základní pojmy

- **paměťová buňka** ... základní stavební blok paměti, slouží k záznamu jednoho bitu
- **paměťové místo** ... skupina paměťových buněk které lze najednou zapisovat nebo číst (šířka slova paměti)
- **položka** ... obsah paměťového místa
- **adresa** ... číselné označení (index) paměťového místa, jímž lze vybírat jednotlivé položky
- **kapacita paměti** ... počet položek
- **paměťová matice** ... skupina paměťových míst uspořádaná tak, že je lze vybírat adresou

Blokové schéma typického paměťového obvodu



Popis

- kapacita paměťového obvodu je dána šířkou jeho adresové a datové sběrnice, zde 2^{j+1} slov po $k+1$ bitech
- dekodér řádků ... dekoduje binární kód na kód 1zN (přesněji 1 z 2^{i+1})
- výběr sloupců ... jeden multiplexor pro každý datový bit
- paměťová buňka ... např. bistabilní klopný obvod u SRAM

Řídící signály

- $\overline{\text{OE}}$ - **output enable** ... aktivace výstupních třístavových budičů datové sběrnice
- $\overline{\text{WE}}$ - **write enable** ... povolení zápisu
- $\overline{\text{CS}}$ - **chip select** ... výběr čipu, podmiňuje provedení zápisu nebo čtení

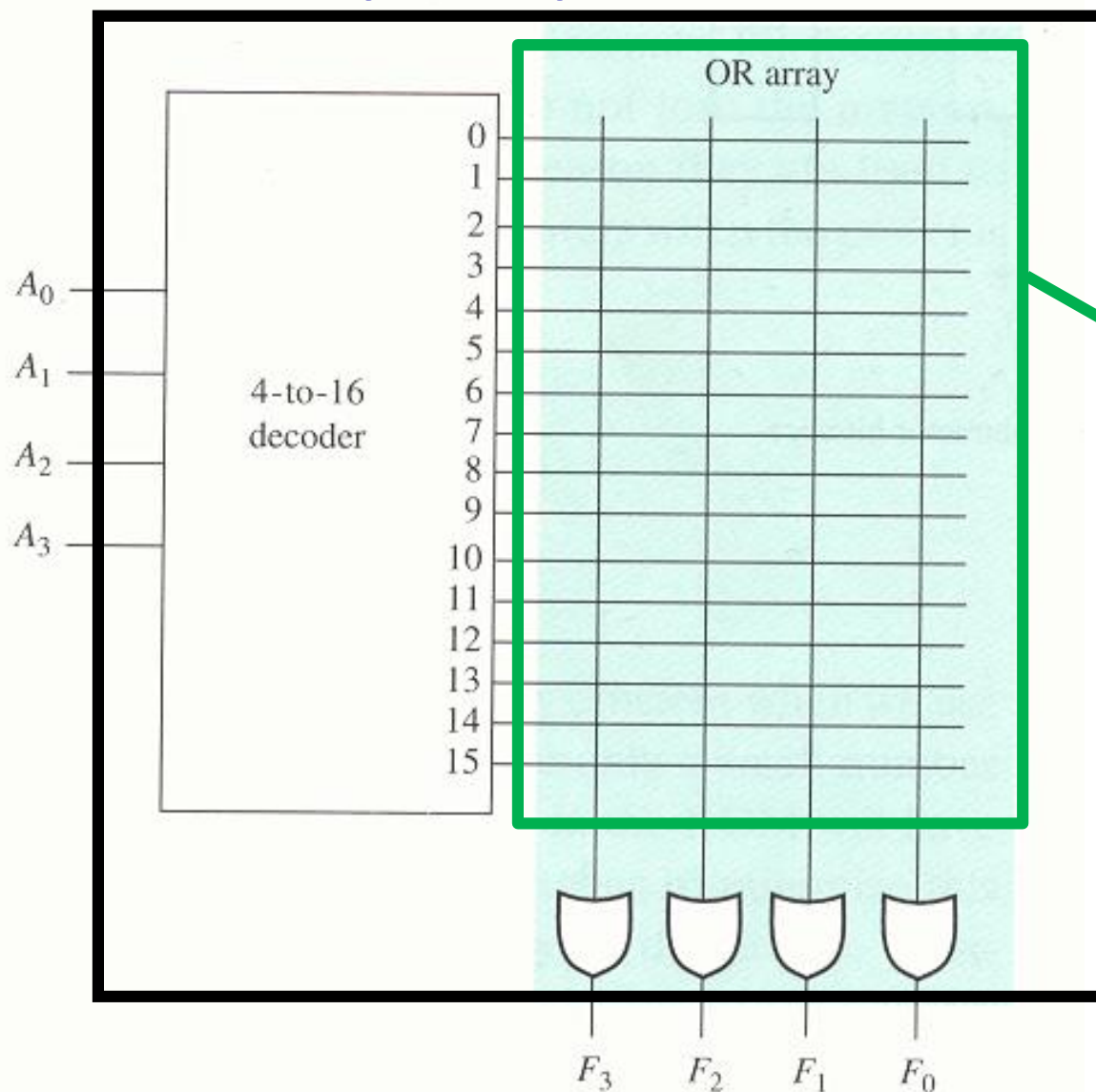
Poznámka: negace nad názvy signálů znamená, že aktivní hodnota je logická nula

Možné organizace paměťových obvodů

- $2^n \times 8$... Obvody SRAM, ROM, EPROM, některé EEPROM, FLASH
např. 32kx8, 64kx8, 128kx8, ... 512kx8
- $2^n \times 1$... Obvody DRAM
např. 256kx1, 1Mx1, ... 16Mx1
- $2^n \times 9$... Paměťové moduly DRAM
- $2^n \times 36$ např. 256kx9, 1Mx9, ... 4Mx36

Využití pamětí

konkrétněji –
paměť 16x4



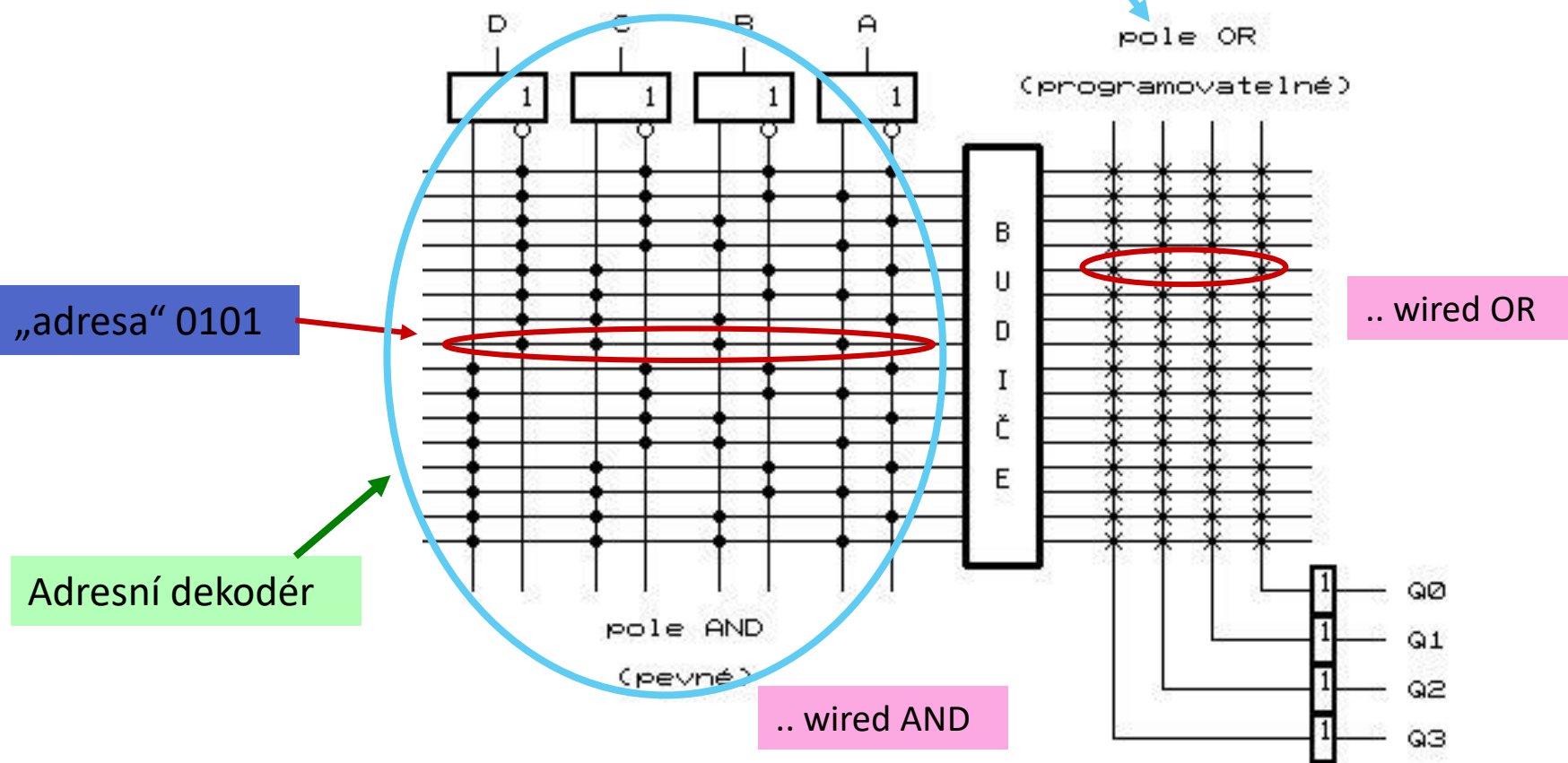
paměťová
matice
16x4
.....
sem lze
uložit/číst
data

Struktura paměťového obvodu

- programovatelné pole OR
- počet programovatelných bodů: $N = m \cdot 2^n$
- EEPROM (Electrically Erasable PROM)
- obsahuje pravdivostní tabulku, tedy ÚNDF

zde 4×2^4

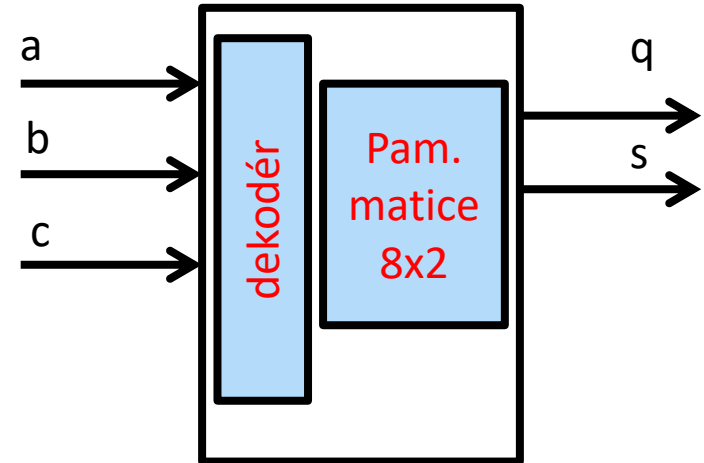
n adresních vstupů
 m datových výstupů
 realizuje m funkcí
 n proměnných



Příklad: jeden blok dvojkové sčítačky

Vstupy: adresa

a	b	p	q	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

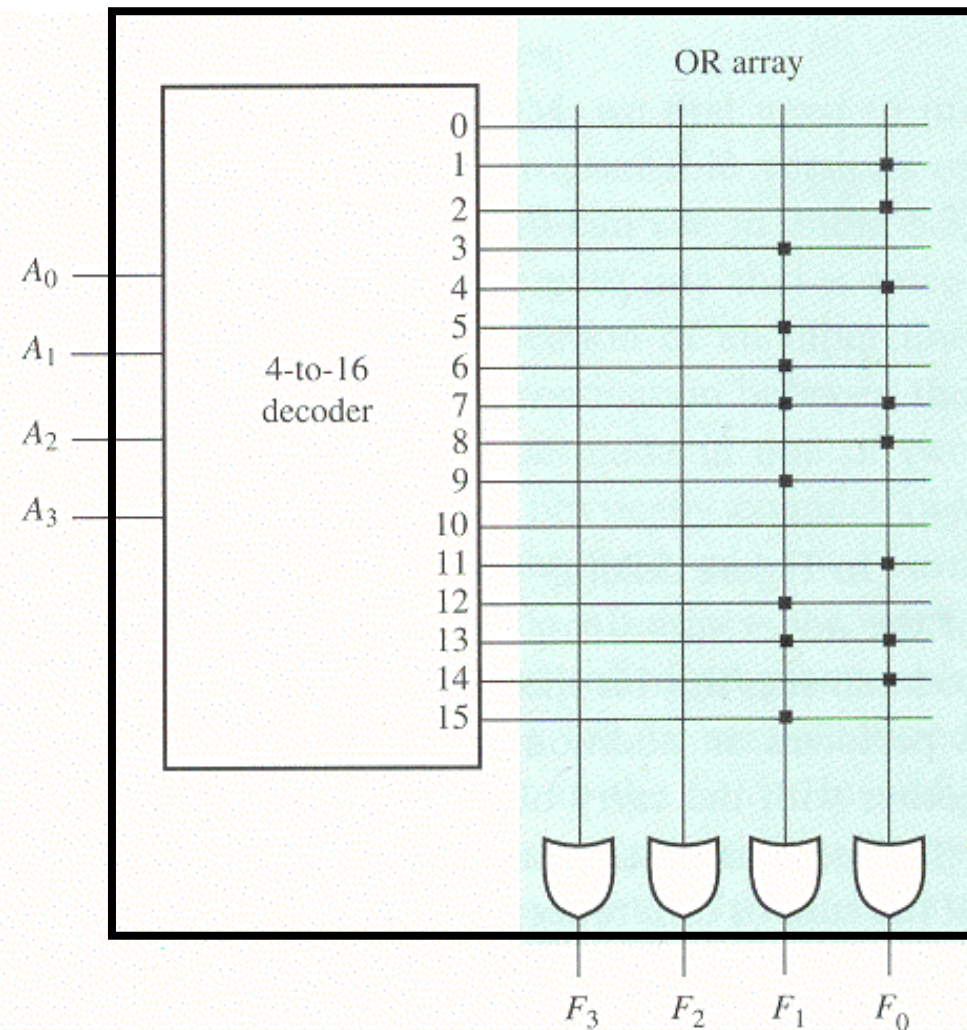


Programujeme tabulku,
není třeba minimalizace,
protože adresa musí být úplná:
vstupy a, b, c jsou adresy

Příklad: realizace pomocí paměti 16x4

Sčítačka – odčítačka v doplňkovém kódu – $S=1...$ subtraction

A_3 (S)	A_2 (a_i)	A_1 (b_i)	A_0 (c_i)	F_3	F_2	F_1 (c_{i+1})	F_0 (f_i)
0	0	0	0	X	X	0	0
0	0	0	1	X	X	0	1
0	0	1	0	X	X	0	1
0	0	1	1	X	X	1	0
0	1	0	0	X	X	0	1
0	1	0	1	X	X	1	0
0	1	1	0	X	X	1	0
0	1	1	1	X	X	1	1
1	0	0	0	X	X	0	1
1	0	0	1	X	X	1	0
1	0	1	0	X	X	0	0
1	0	1	1	X	X	0	1
1	1	0	0	X	X	1	0
1	1	0	1	X	X	1	1
1	1	1	0	X	X	0	1
1	1	1	1	X	X	1	0



Jak přidat predikci?

P a G

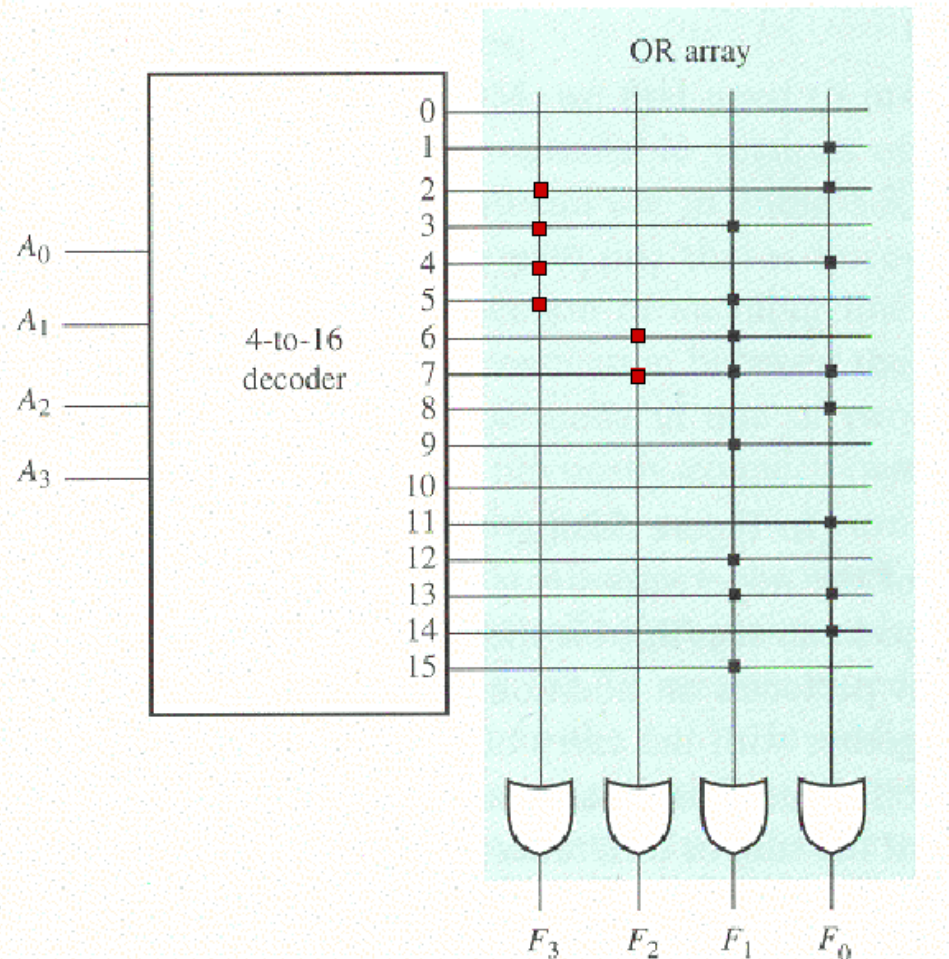
rozšířit na mintermy:

$$G = F_2 = x_i y_i = x_i y_i c_i + x_i y_i \bar{c}_i$$

$$P = F_3 = x_i \oplus y_i = x_i \bar{y}_i + \bar{x}_i y_i = x_i \bar{y}_i c_i + x_i \bar{y}_i \bar{c}_i + \bar{x}_i y_i c_i + \bar{x}_i y_i \bar{c}_i$$

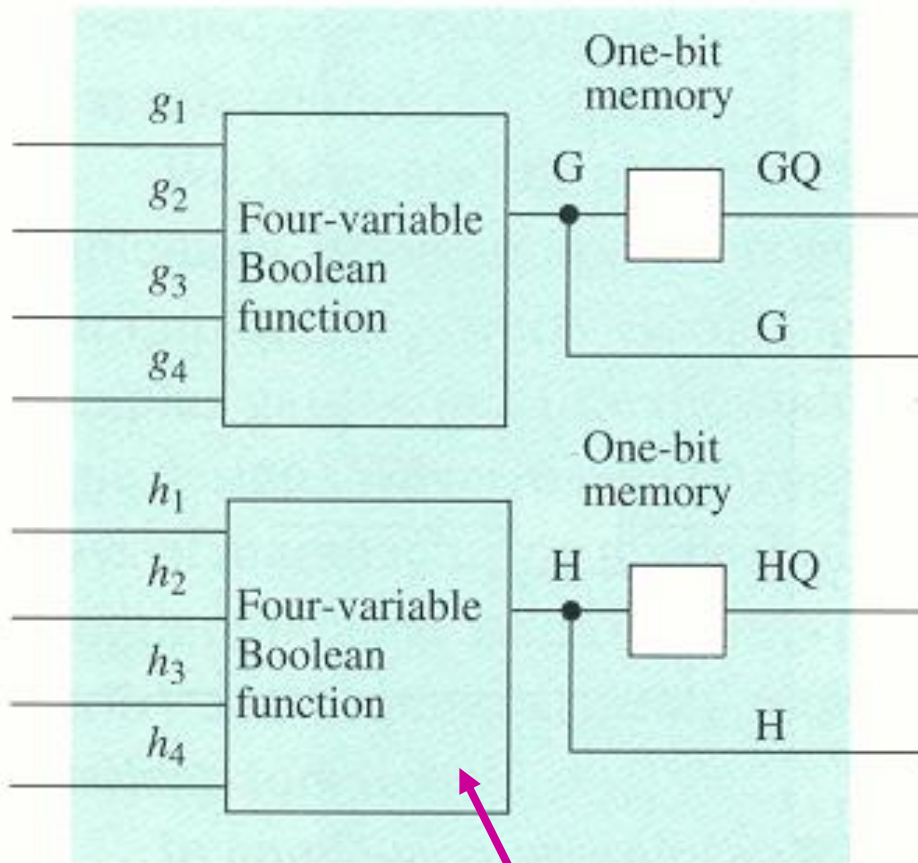
Sčítačka – odčítačka v doplňkovém kódu – S=1... subtraction

A_3 (S)	A_2 (a_i)	A_1 (b_i)	A_0 (c_i)	F_3	F_2	F_1 (c_{i+1})	F_0 (f_i)
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	0	1	0	0	1
0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	X	X	0	1
1	0	0	1	X	X	1	0
1	0	1	0	X	X	0	0
1	0	1	1	X	X	0	1
1	1	0	0	X	X	1	0
1	1	0	1	X	X	1	1
1	1	1	0	X	X	0	1
1	1	1	1	X	X	1	0

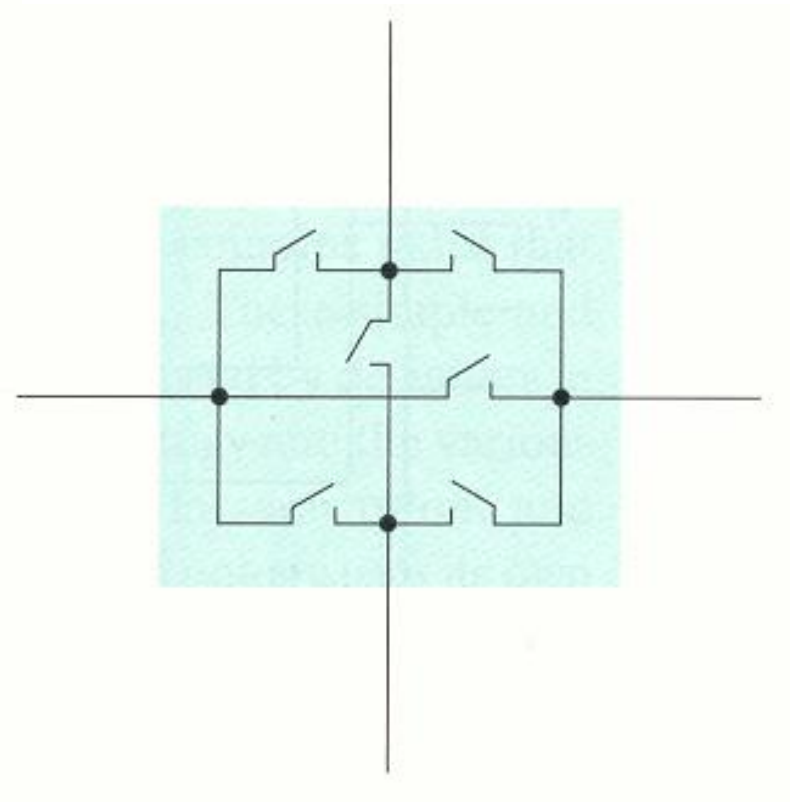


FPGA

Programmable logic block - PLB

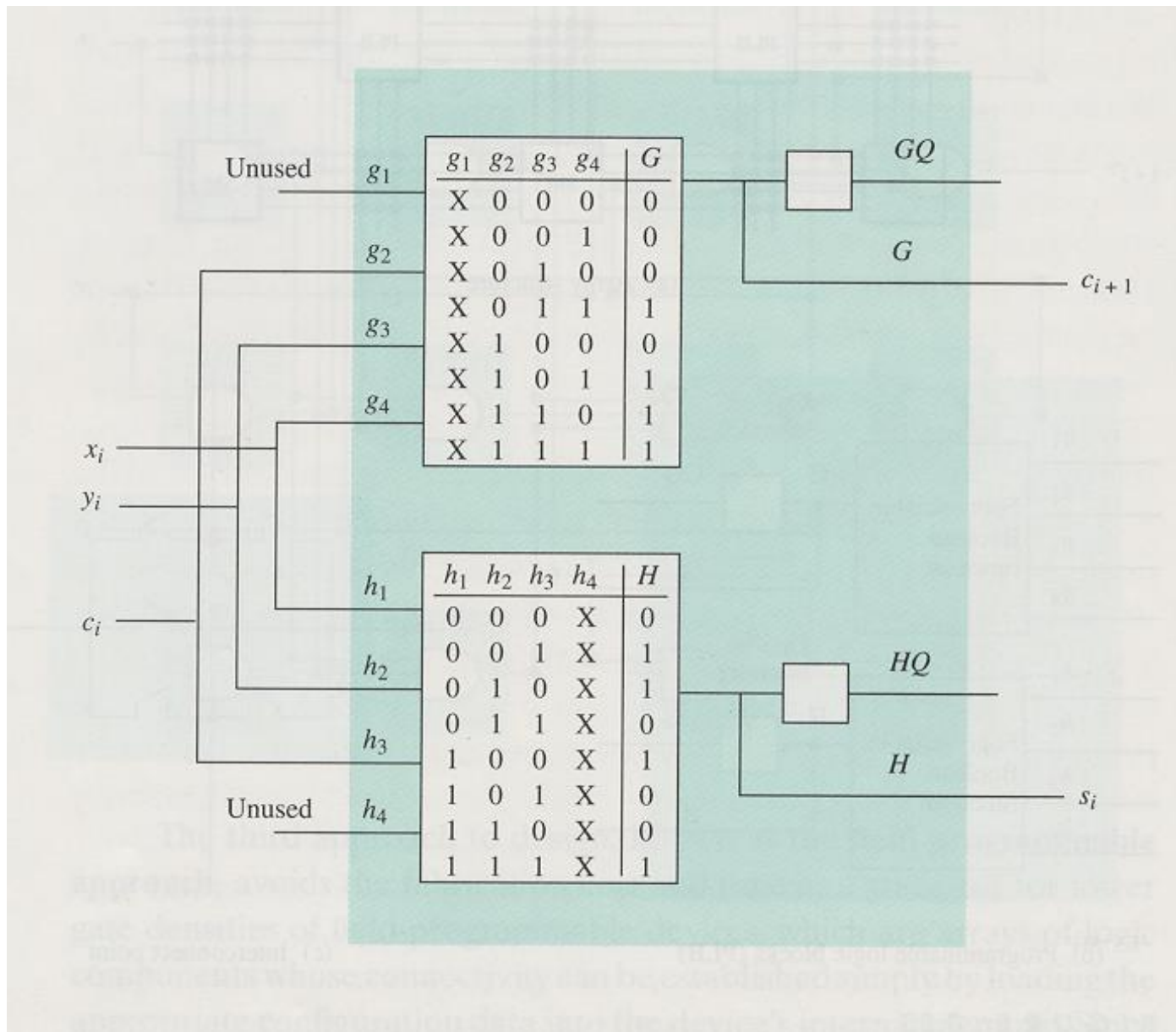


Propojovací bod



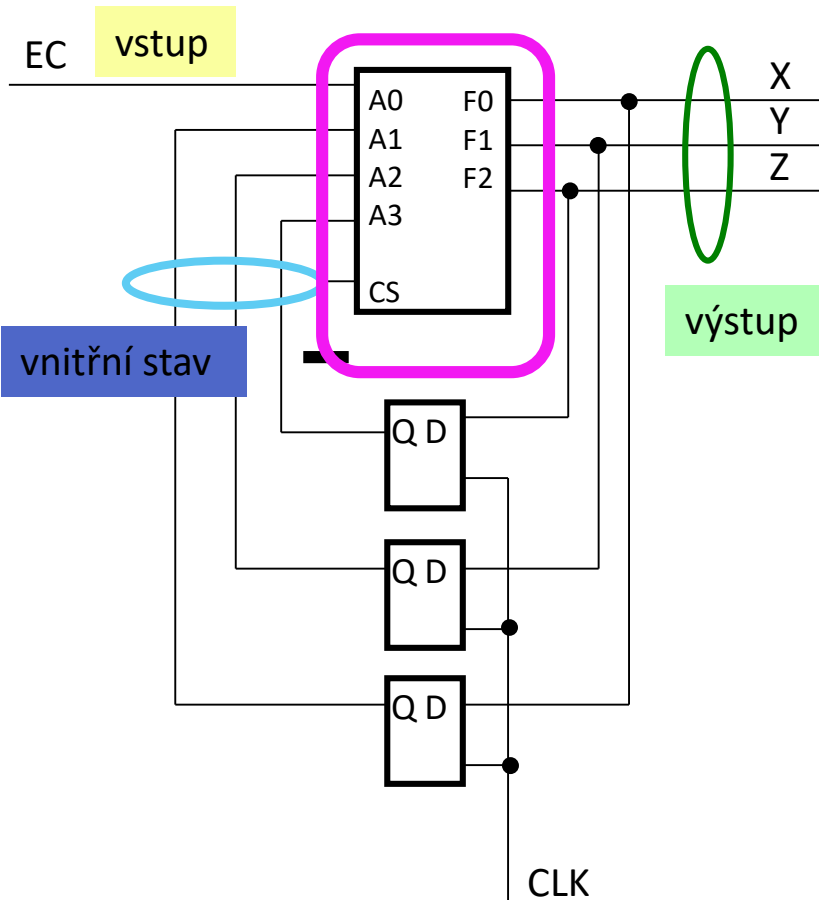
4-input *Look Up Table* (4-LUT) paměť RAM, programuje se tabulkou

Úplná sčítačka v jednom bloku PLB



Sekvenční obvod realizovaný pamětí

Čítač M5 v binárním kódu



adresa

A3	A2	A1	A0	F2	F1	F0
Z	Y	X	EC	Z	Y	X
0	0	0	0	0	0	0
0	0	1	0	0	0	1
0	1	0	0	0	1	0
0	1	1	0	0	1	1
1	0	0	0	1	0	0
0	0	0	1	0	0	1
0	0	1	1	0	1	0
0	1	0	1	0	1	1
0	1	1	1	1	0	0
1	0	0	1	0	0	0

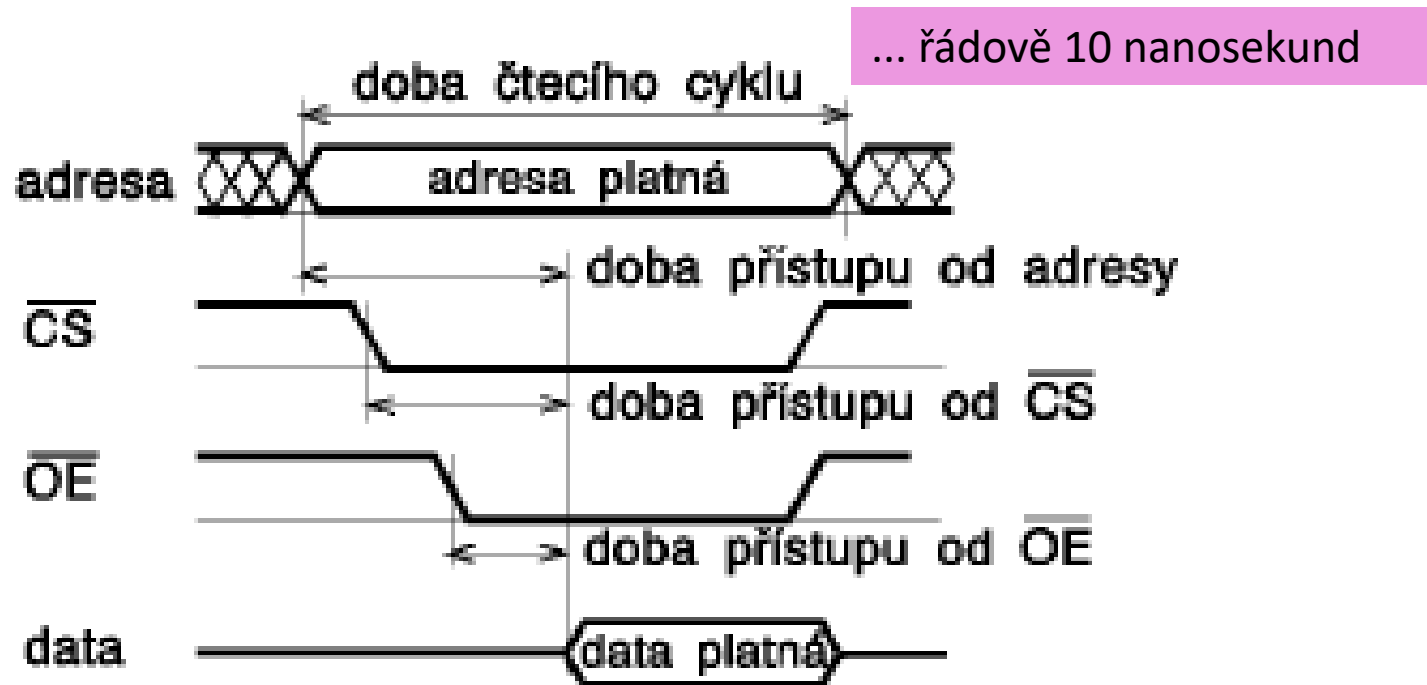
obsah
paměti

Kontrolní otázka: Mealy nebo Moore???

Chování paměťových obvodů

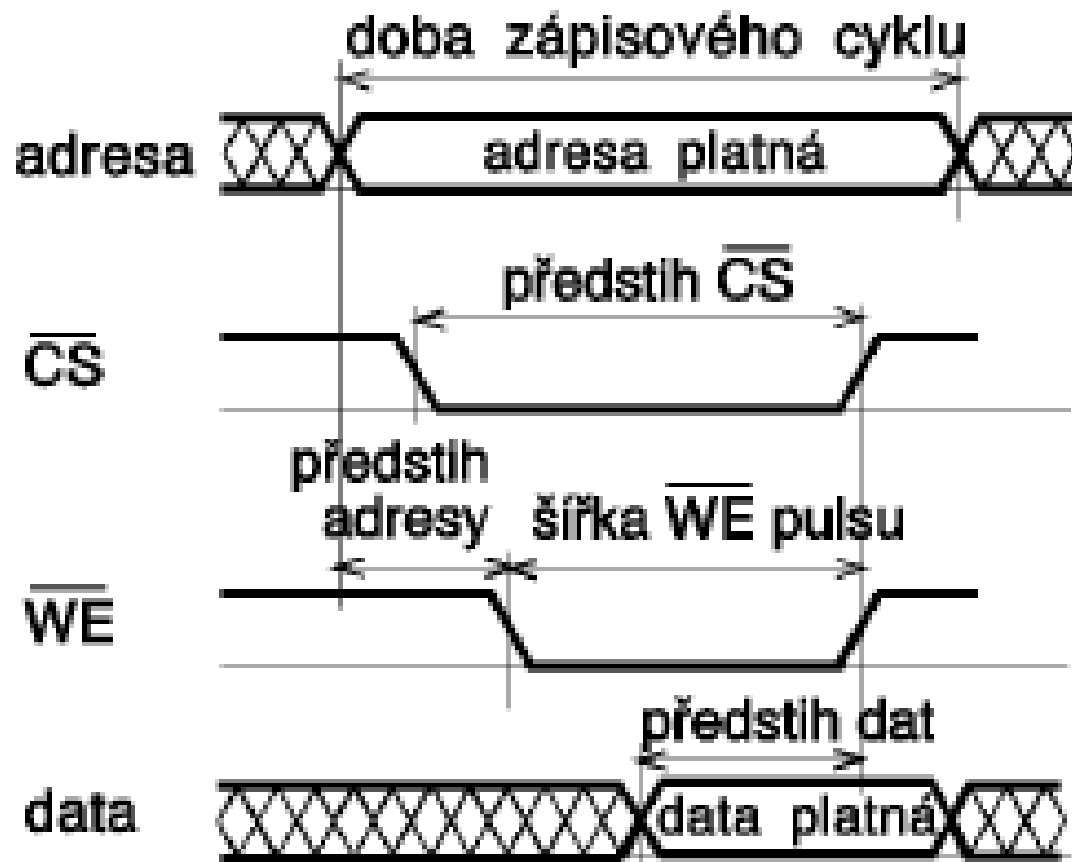
- Čtení

Typický průběh signálů pro operaci čtení ze statické paměti SRAM (je nutné dodržet minimální nebo i maximální zpoždění mezi aktivací jednotlivých signálů a dalšími událostmi)



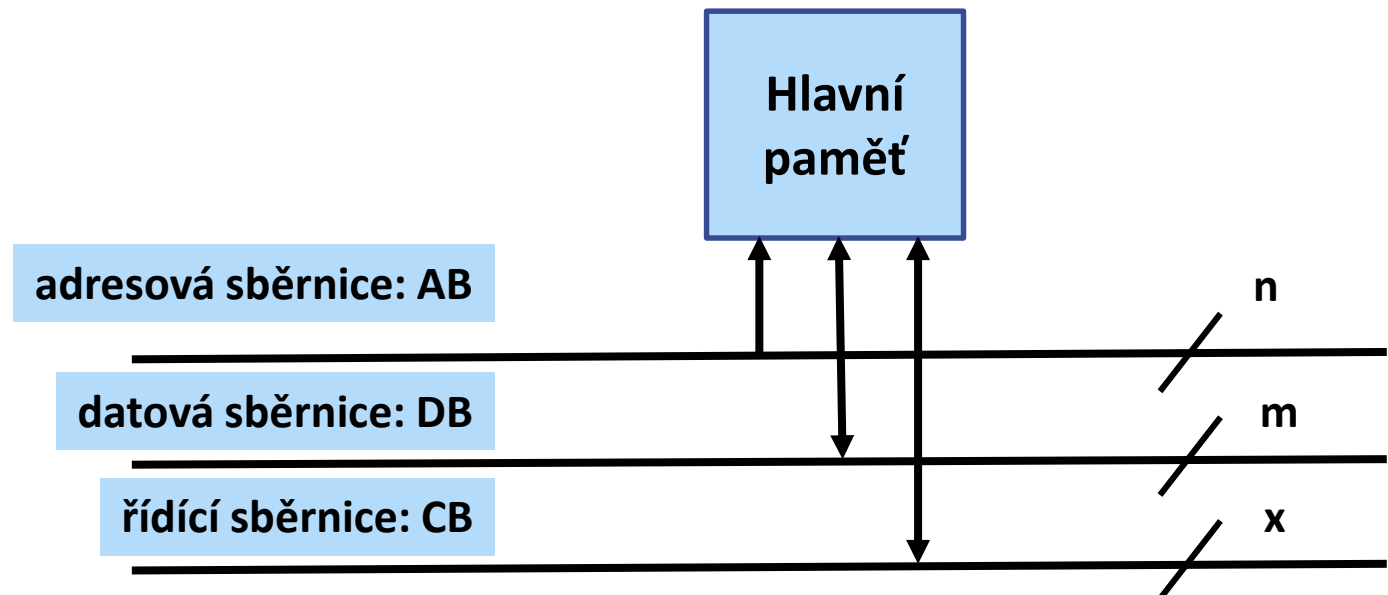
Chování paměťových obvodů

- zápis



Konstrukce hlavní paměti počítače

- Hlavní paměť komunikuje s ostatními jednotkami počítače prostřednictvím adresové, datové a řídicí sběrnice
- Hlavní paměť je sestavena z paměťových obvodů, v současnosti zpravidla CMOS DRAM



Konstrukce hlavní paměti 1:1

Připojení paměťového obvodu na sběrnice procesoru

2^{j+1} adres

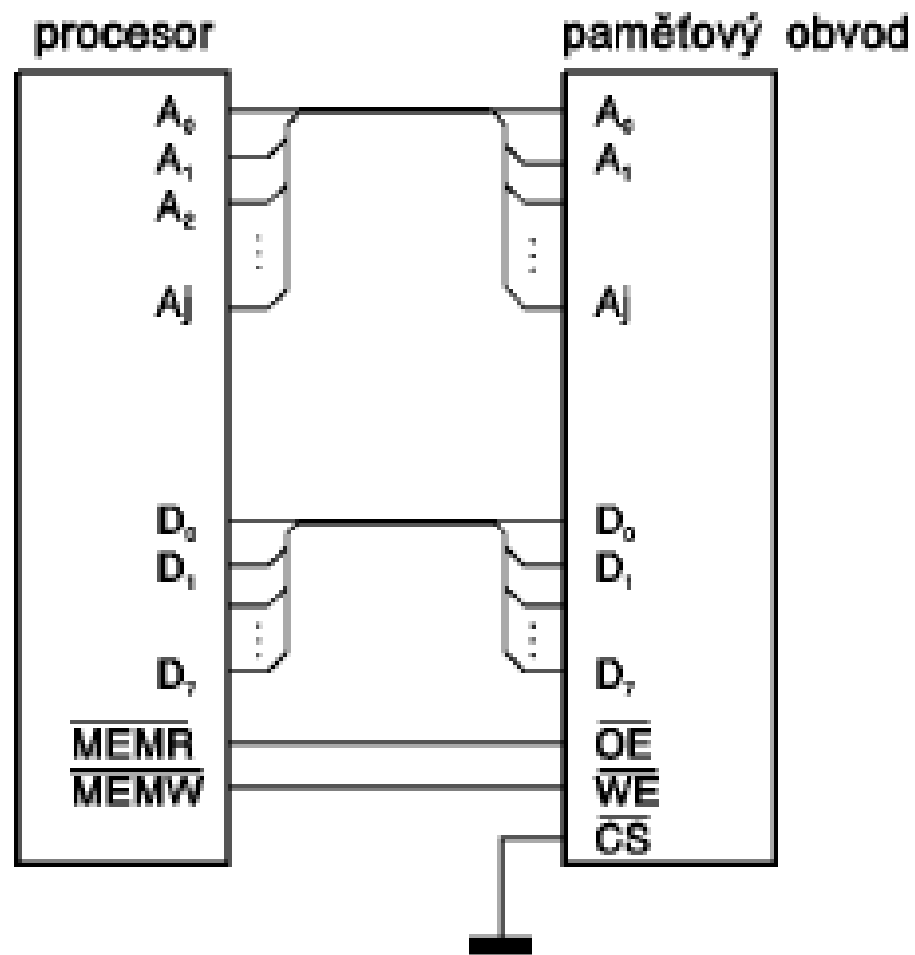
8 bitů dat

SRAM s kapacitou

$2^{j+1} \times 8$ bitů

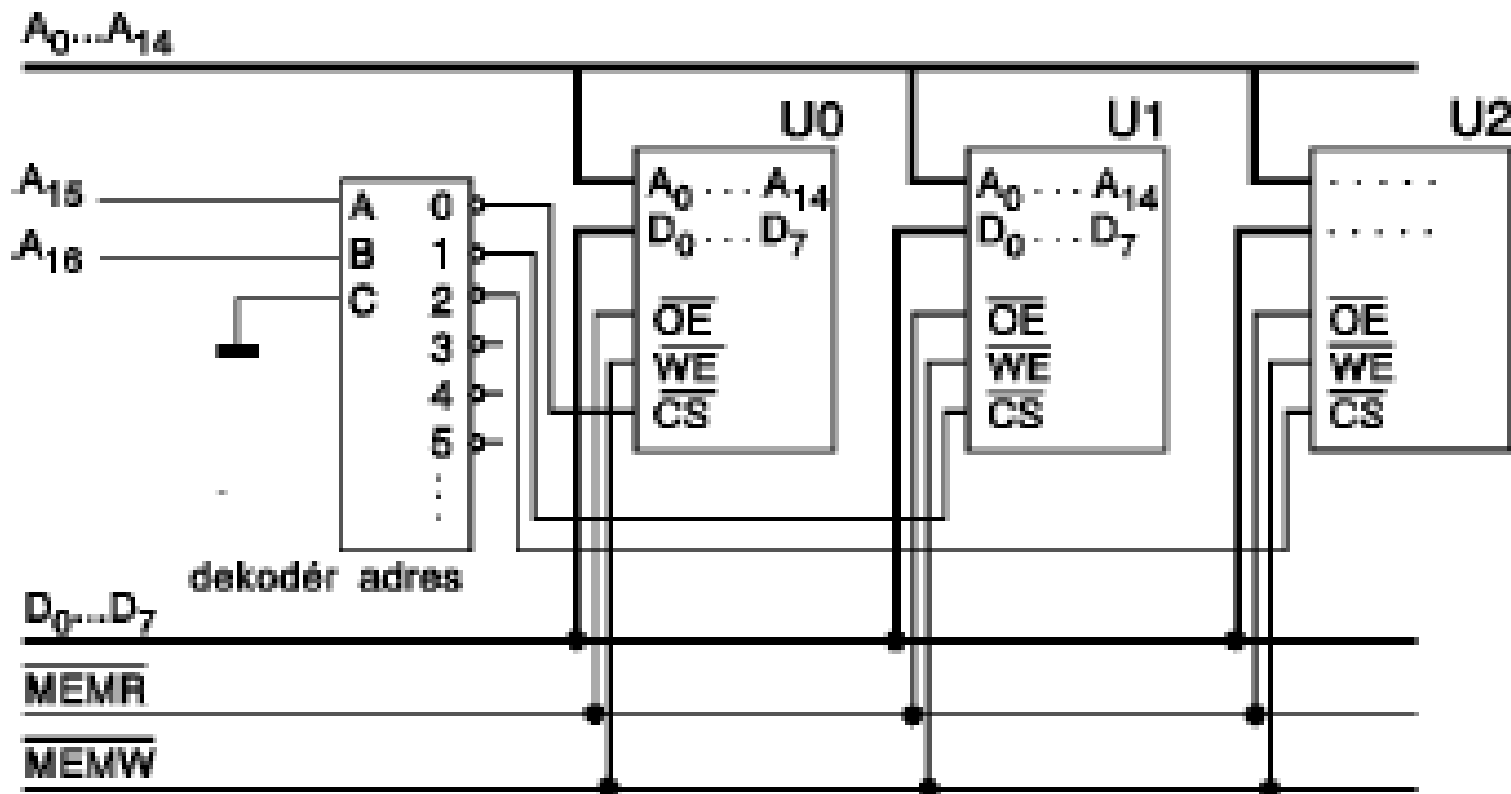
..... 1:1

(počet adresových bitů
procesoru a paměti)



Rozšíření paměťového prostoru

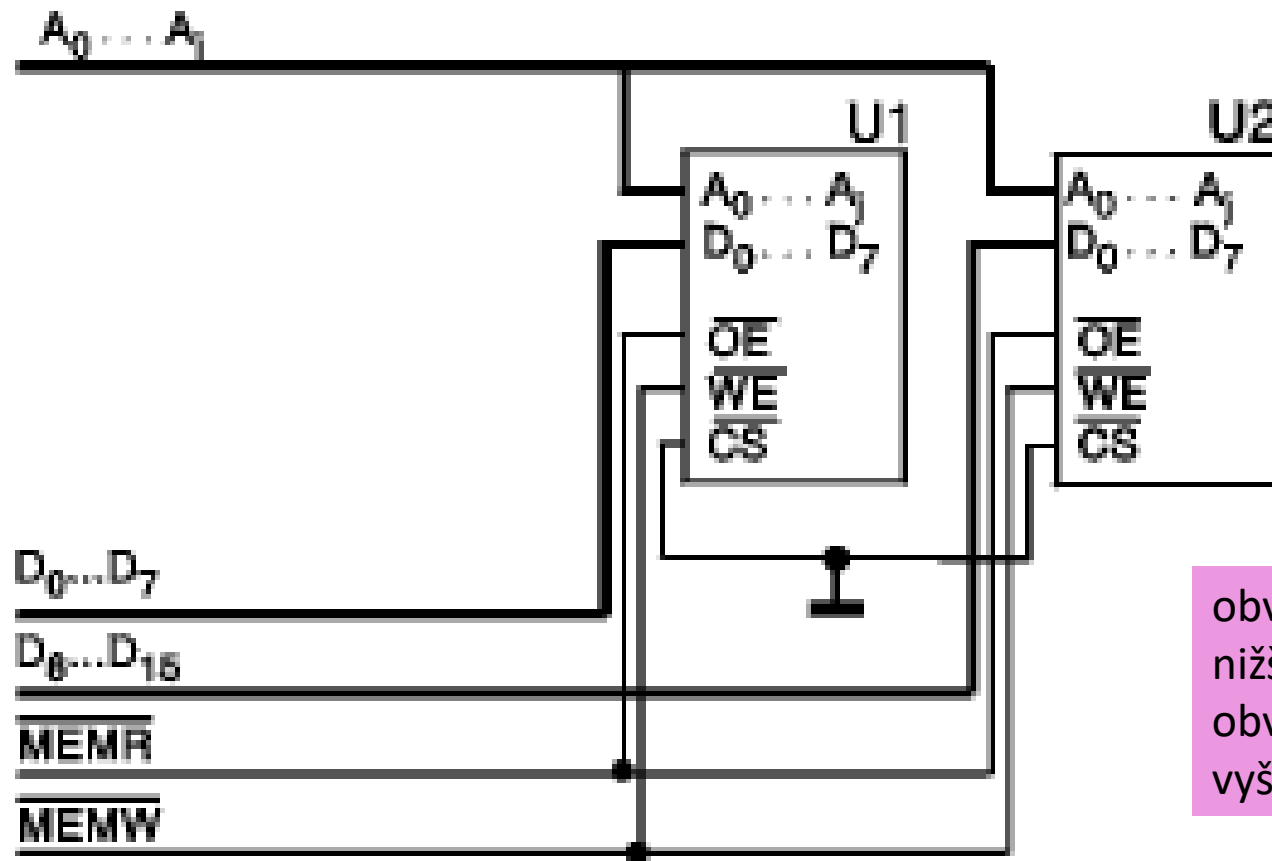
- Navrhněte modul hlavní paměti o kapacitě 96KB slabikově organizovanou (96K x 8) z modulů o kapacitě 32K x 8 ... 32KB



výběr pomocí \overline{CS} , jinak vše paralelně

Rozšíření slova hlavní paměti

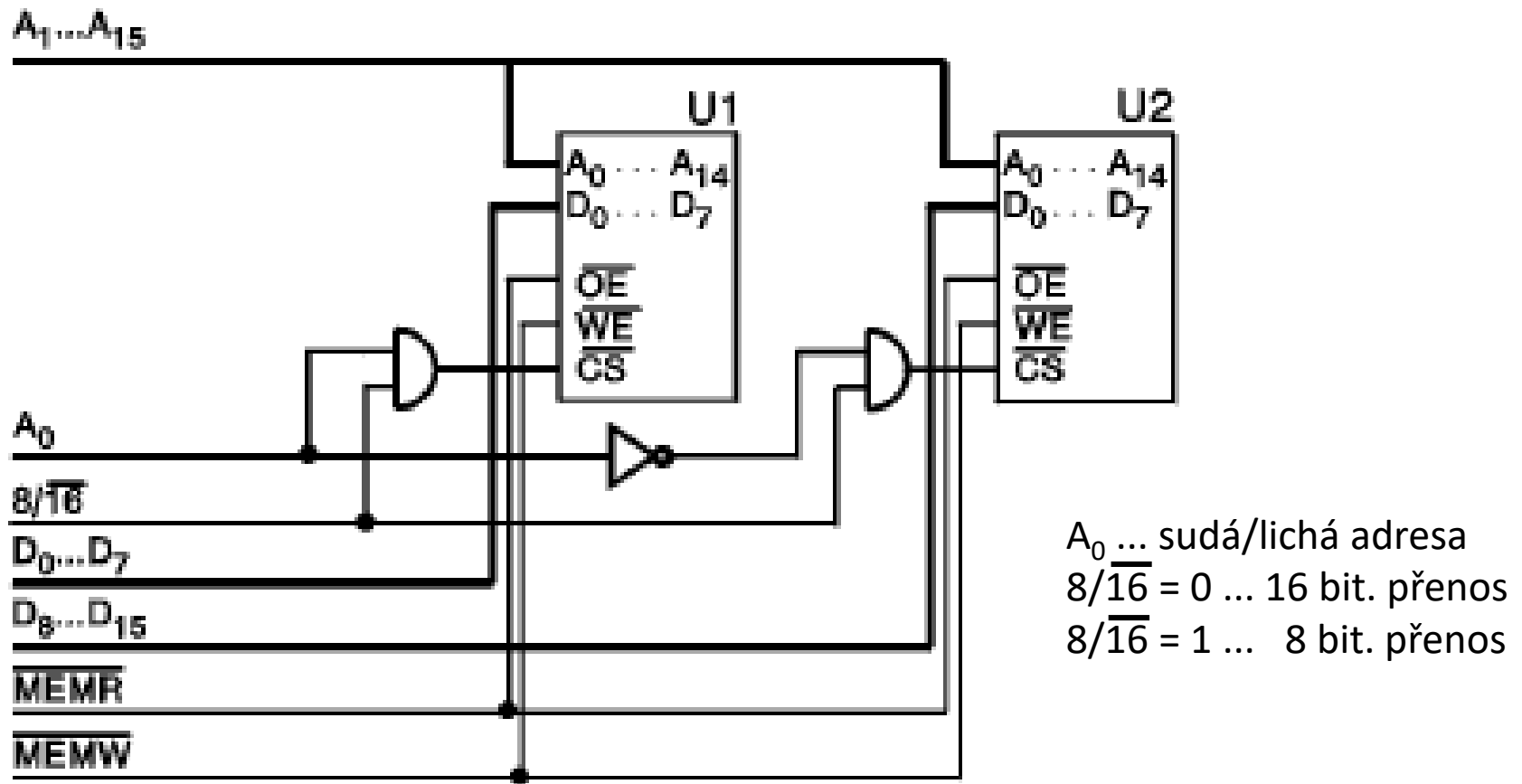
- Navrhněte modul hlavní paměti o kapacitě 32KB x 16 z modulů o kapacitě 32K x 8 ... paměť adresovatelnou po slovech.



obvod U1 ukládá
nižší slabiku
obvod U2
vyšší slabiku

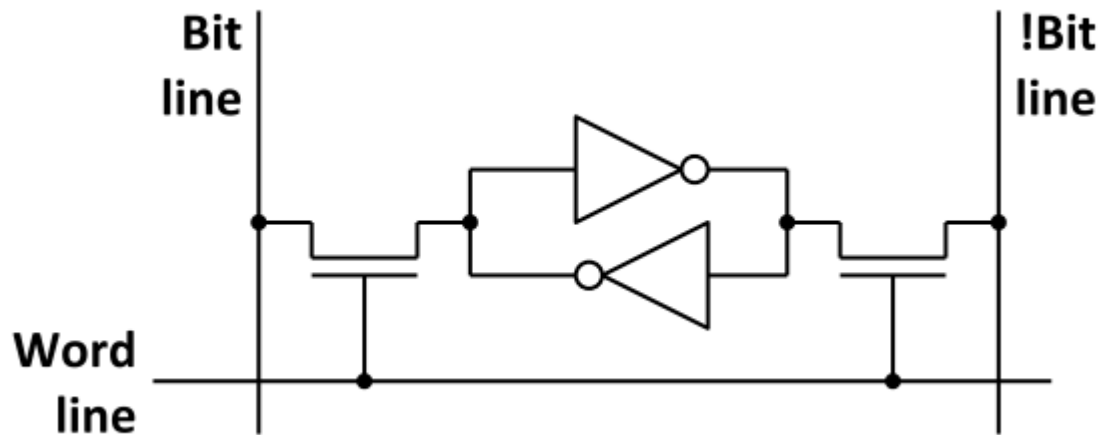
Volba slabiky/slova hlavní paměti

- Totéž, ale s 16 bitovou datovou sběrnicí a s možností volby slabiky nebo slova (podle PC-AT)



SRAM: princip

- 1 bit ~ dvojice invertorů + řídící tranzistory
- 6 transistorů na buňku



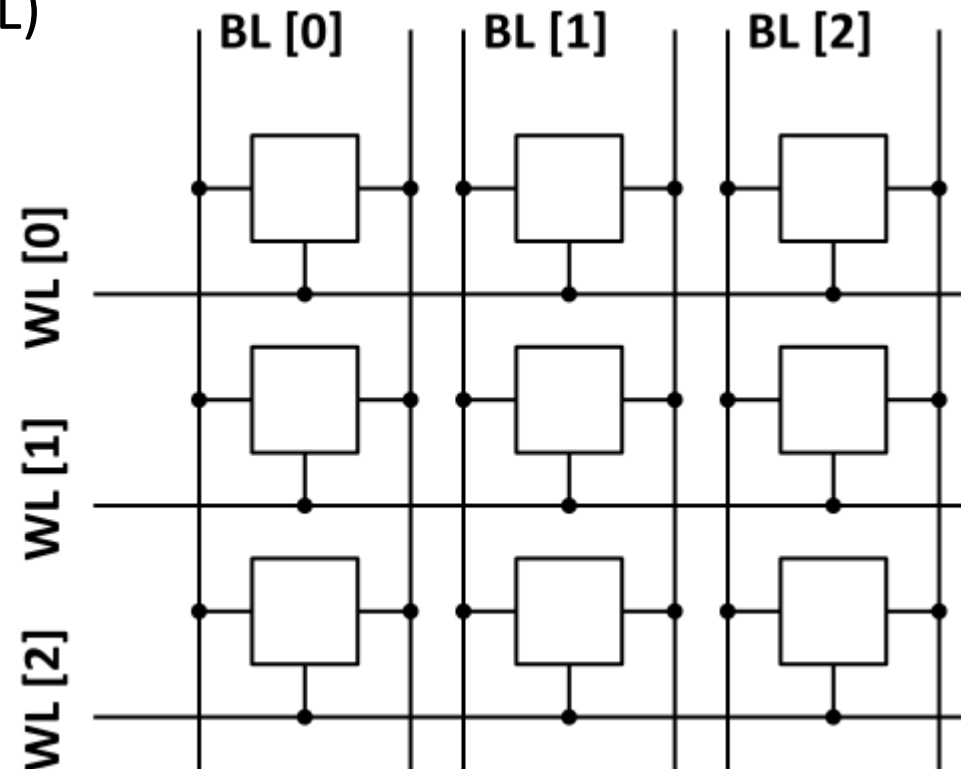
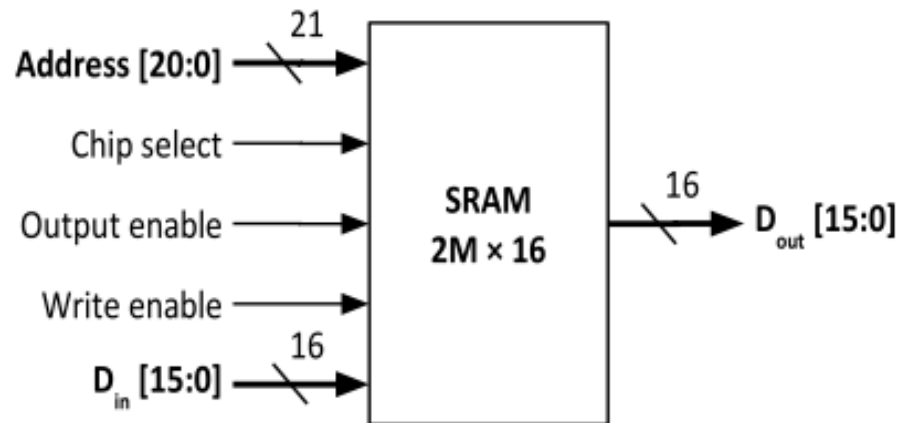
SRAM: organizace

$m \times n$ bitů ... m řádků po n bitech

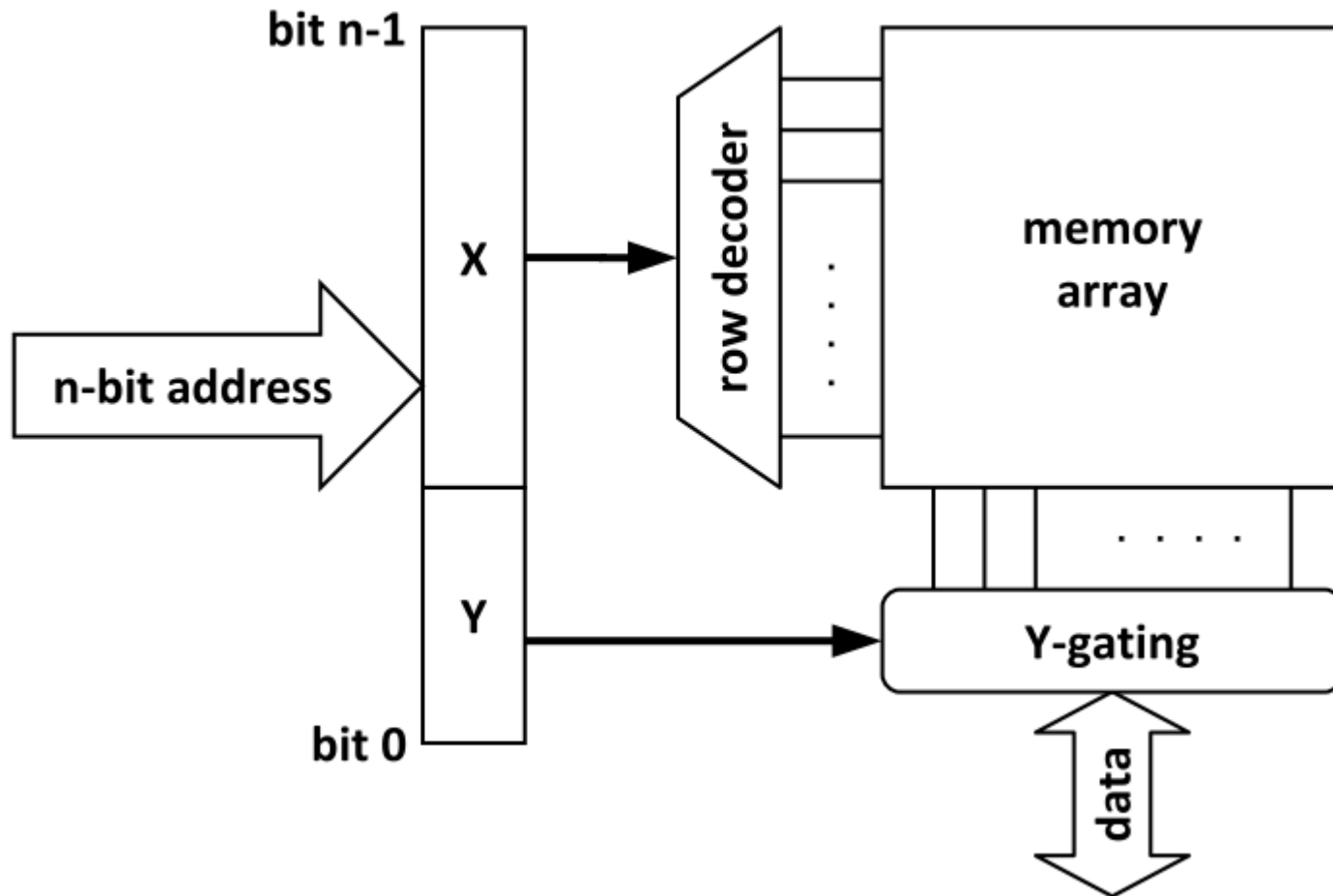
- vysoká hustota integrace
- výběr řádku ~ dekodér 1 z N

přístup do paměti ve dvou krocích

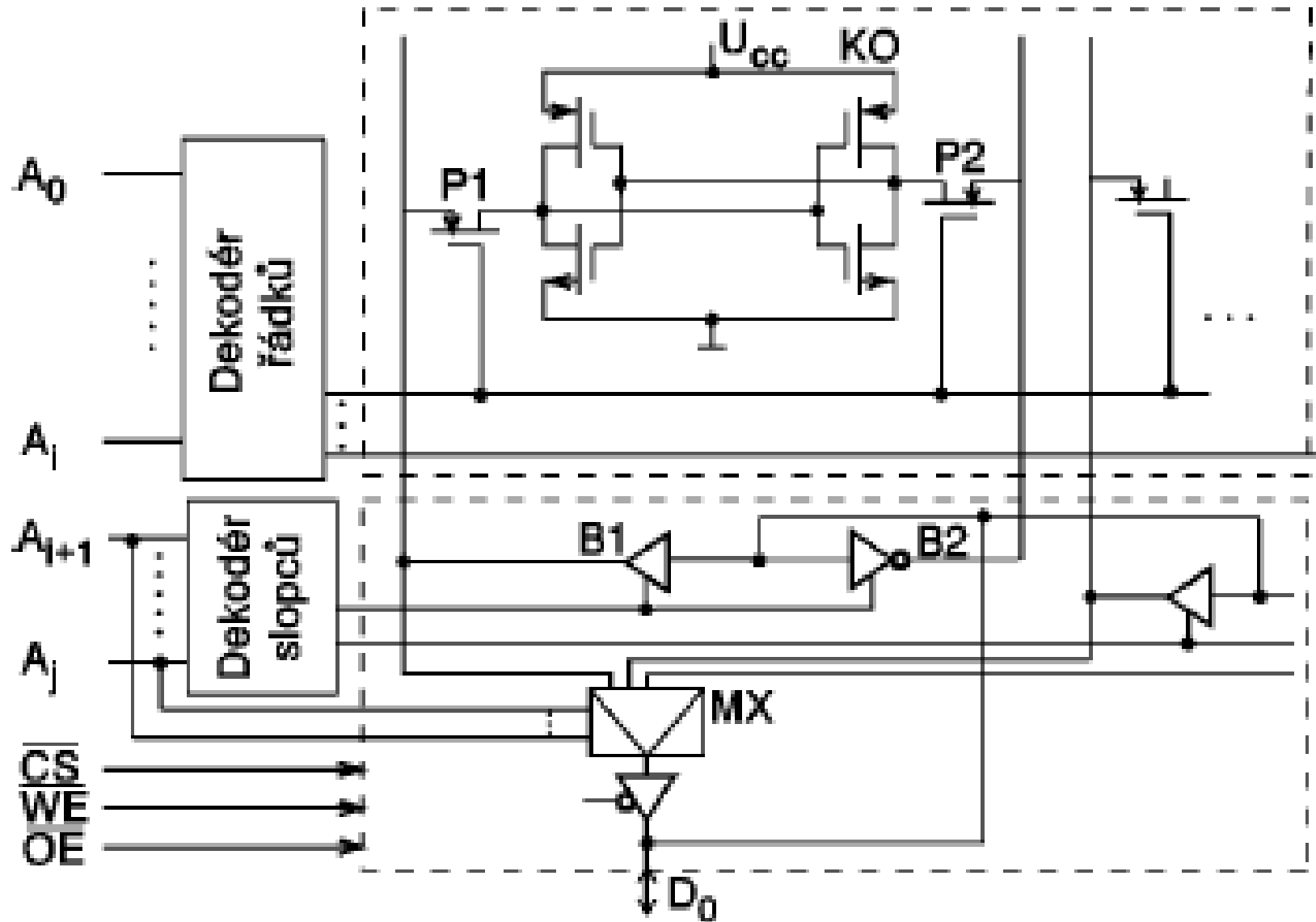
1. výběr řádku (word lines WL)
2. čtení sloupců (bit lines BL)



SRAM: Konstrukční princip



SRAM: konstrukční princip



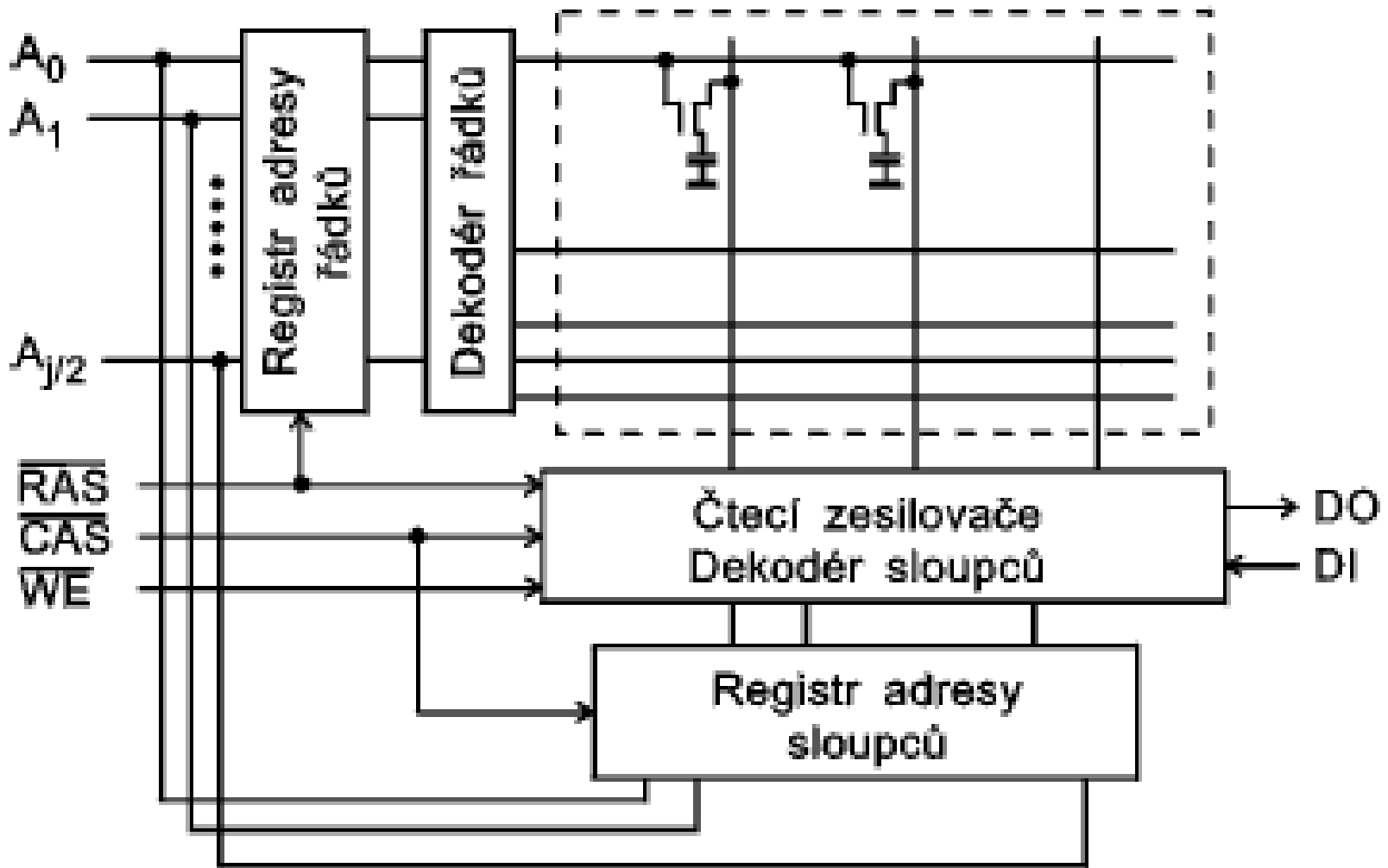
Popis

paměťová buňka je bistabilní klopný obvod (v CMOS dvojice invertorů)

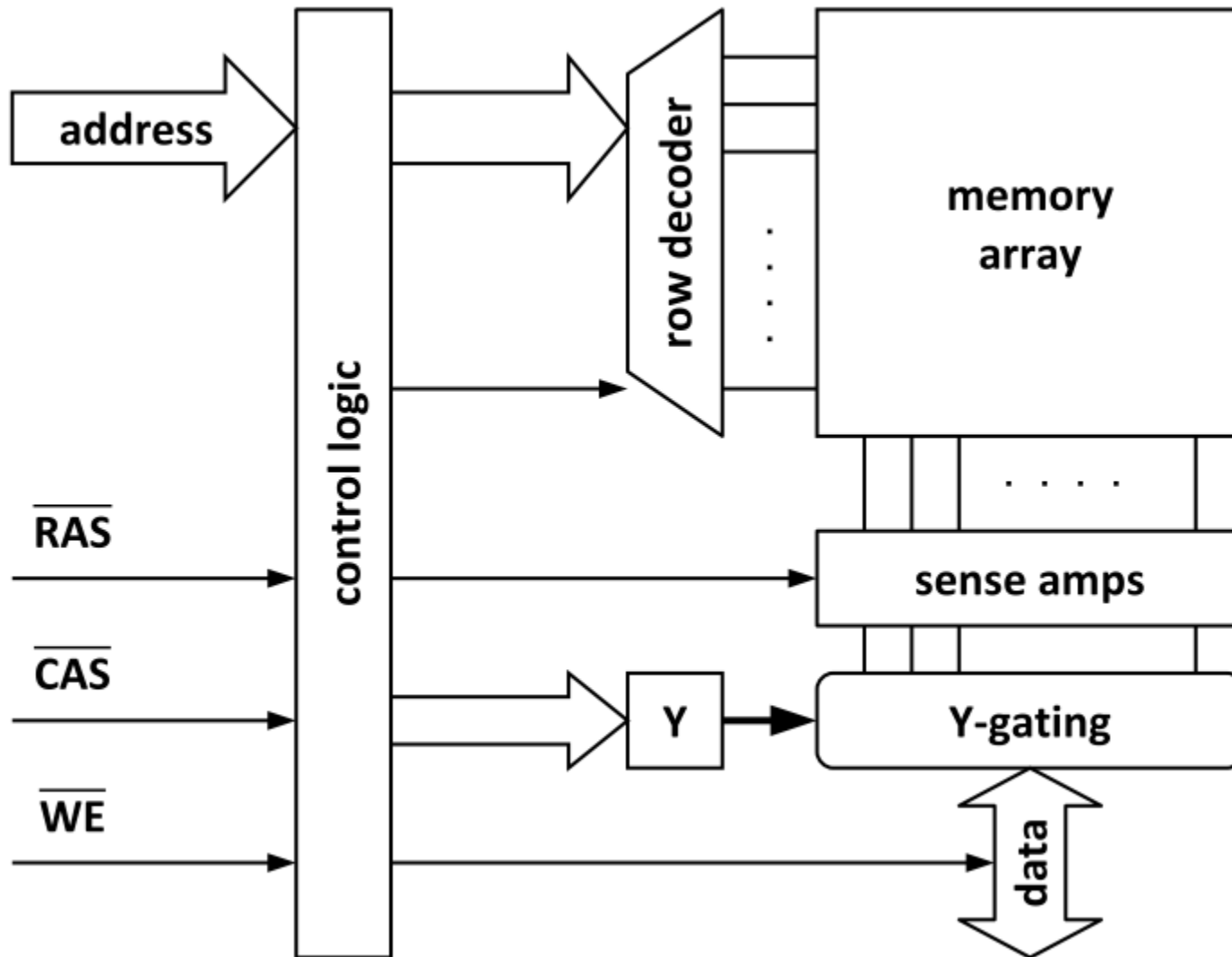
Při zápisu dojde k sepnutí přenosových hradel P1 a P2 a současně k aktivaci budičů B1 a B2. Tím se hodnota z vodiče D0 zapíše do klopného obvodu KO, protože přenosová hradla budiče jsou „silnější“ (mají menší impedanci v sepnutém stavu) než tranzistory v klopném obvodu. Při čtení se stav klopného obvodu KO přenesse přenosovým hradlem P1 na první vstup multiplexu MX a je-li tento vstup vybrán, objeví se na vodiči D0.

Viz <https://courses.fit.cvut.cz/BI-CAO/media/lectures/06/cao-cislicoveobvody2.pdf>

Konstrukční princip DRAM



Konstrukční princip DRAM



Popis

Paměťová buňka je tvořena jedním transistorem, data jsou uchována ve formě náboje na paměťovém kondenzátoru

Adresa je časově multiplexována, polovina adresy při $\overline{\text{RAS}}=0$ (řádek), druhá polovina adresy při $\overline{\text{CAS}}=0$ (sloupec)

Zápis: Na datový (sloupcový) vodič se přivede zapisovaná úroveň a aktivuje se zvolený řádek. Paměťový kondenzátor se nabije nebo vybije.

Čtení: Při výběru řádku se kondenzátory vybijí do vstupů čtecích zesilovačů (čtení je destruktivní, přečtenou informaci je nutno bezprostředně zapsat zpět).

Obnovení: Stejně jako čtení. Protože čtecí zesilovače jsou umístěny ve všech sloupcích, obnovují se všechny sloupce jednoho řádku najednou.

Zvyšování výkonu DRAM

- Pozorování
 - nejdéle trvá čtení řádku
 - řádek obsahuje více než jen požadované slovo
- Amortizace ceny čtení řádku
 - použít více slov z jednoho přečteného řádku
 - data z přečteného řádku jsou uložena v registru \Rightarrow je možné přečíst několik “sloupců” za sebou
 - pipelining výstupu dat a výběru nového řádku
 - přečtený řádek zkopírován do (dalšího) výstupního registru, což umožní zahájit čtení dat z jiného řádku současně s přenosem dat z paměti (výstupního registru)

Porovnání vlastností SRAM a DRAM

- **cena** DRAM je při stejné kapacitě levnější než SRAM (1 transistor x 6 transistorů na paměťovou buňku)
- pro refresh (**obnovení**) potřebují DRAM další obvody (periodické generování adres řádků)
- čtení DRAM je **destruktivní**, po čtení musí být informace znovu zapsána ... delší čtecí cyklus
- DRAM mají větší **spotřebu** v klidovém stavu (obnovování)
- (mýtus **rychlosti** ... závisí hlavně na velikosti paměti)

Historický vývoj

