

## TP 1 : Modélisation d'un circuit séquentiel

- Objectifs :
- Créer une structure utilisant des process
  - Réaliser une unité de test en VHDL avec ses stimuli

### 1.Présentation du circuit:

Le circuit envisagé est un compteur programmable pourvu de diverses fonctionnalités.

La vue générale du circuit final est donnée Figure 1

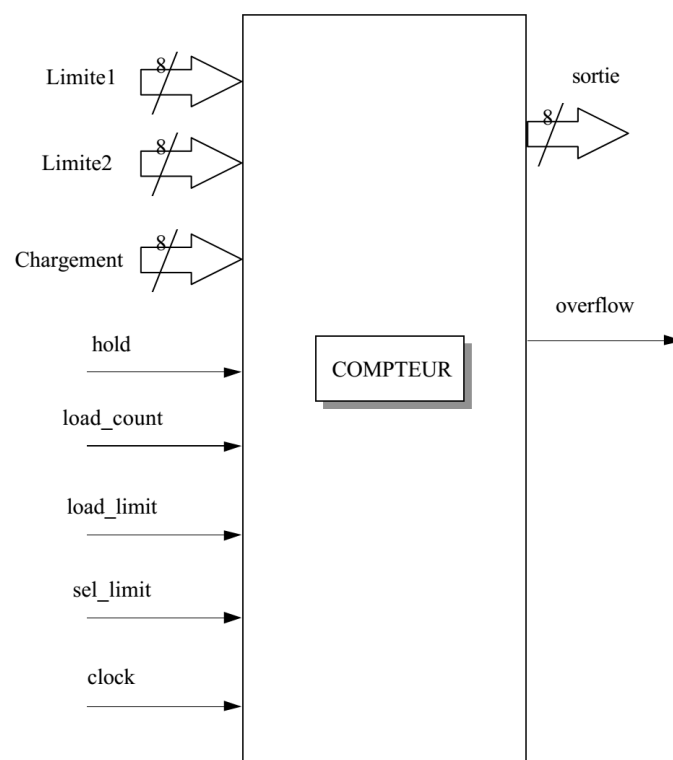


Figure 1 Vue générale du compteur

## 2.Cahier des charges:

Le compteur doit présenter les caractéristiques suivantes:

- maintien possible de la valeur en sortie par le signal **hold**: si hold=1, la sortie garde sa valeur, sinon le comptage continue.

- chargement d'une valeur en sortie possible par le signal **load\_count**: si load\_count=1, alors la sortie est forcée à une valeur présente sur l'entrée **chargement**, sinon le comptage continue.

- la valeur limite du compteur est gérée par deux signaux: l'ordre de chargement **load\_limit**, et la sélection de la limite **sel\_limit**: si load\_limit =1 alors chargement de la limite, sinon limite inchangée; si sel\_limit=1 alors la future limite vaut limite1, sinon la future limite vaut limite2.

- le signal **overflow** passe à 1 chaque fois que la limite est atteinte

- le déclenchement se fait sur un front montant de l'horloge **clock**.

## 3.Travail à effectuer:

Décrire le système proposé en VHDL et envisager les tests nécessaires pour valider le comportement du compteur sous forme de testbench.

Donner les résultats de simulation permettant de vérifier que le fonctionnement du compteur corresponde bien au cahier des charges.