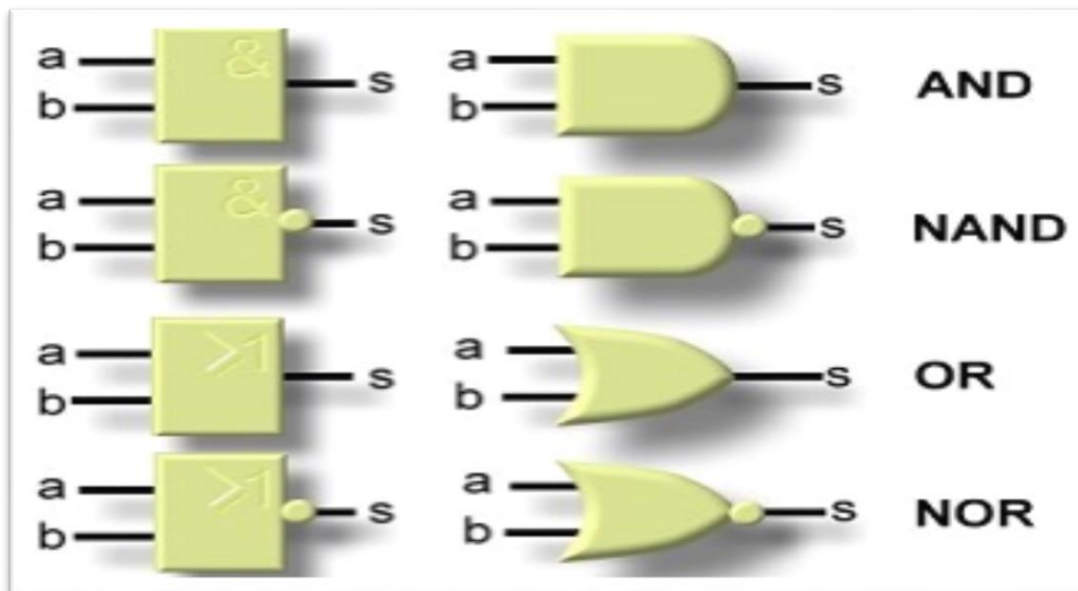




**Module** : Electronique numérique

**Filière**: SMP6

## Séries d'exercices corrigées d'Electronique Numérique



**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 1**

**Exercice : 1 transcodage décimal, binaire, hexa, BCD, binaire réfléchi**

1. Remplissez le tableau suivant en convertissant les chiffres suivants vers les formats indiqués :

décimal	binaire	hexadécimal	BCD	binaire réfléchi
5				
	1101			
		13		
			10110	
				10110

2. Remplissez le tableau suivant en convertissant les chiffres suivants vers les formats indiqués :

décimal	binaire	hexadécimal	BCD
35			
	1101001		
		3E	
			10000101
243			
	10101010101010		
		2CF	
			011001100100

**Exercice : 2**

- Donner les intervalles de codage d'un entier naturel sur : 8 bits, 16 bits, et 32 bits.
- Pour la représentation des entiers relatifs en signe/ valeur absolue, donner les intervalles de codage sur 8 bits et 16 bits.
- Pour la représentation des entiers relatifs en complément à 2, donner les intervalles de codage sur 8 bits et 16 bits.
- Remplissez le tableau suivant (les cases manquantes (#1 à #8) en convertissant les chiffres suivants vers les formats indiqués. Ne pas tenir compte des sections ombragées.

Binaire naturel (8bits,3bits)	Binaire complément à 2 (8bits, 3bits)	Binaire signé (signe/valeur absolue) (8bits,3bits)	Décimal	Hexadécimal
00100101,111	00100101,111	00100101,111	37,875	25,E
#1	#2	#3	76,375	4C,6
	11011011,101	#4	#5	
	#6	11111011,010	-123,25	
00101101,101	#7	00101101,101	45,625	#8

**Exercice : 3**

1. Effectuez les additions suivantes des nombres binaires de 3 chiffres, sachant que l'on utilise la complément à 2 pour représenter les nombres négatifs :

000	000	101	111	101	010
001	111	101	110	110	011

- Indiquez quelles sont les additions dont le résultat est invalide.
- Vérifiez vos résultats en effectuant les mêmes opérations après avoir converti les nombres dans le système décimal.

#### **Exercice : 4**

Voici trois nombres exprimés en complément à 2 :

$$N_1 = 00110101; \quad N_2 = 01101100; \quad N_3 = 11010111;$$

a) Trouvez le complément à deux de  $N_1$ .

b) Faites les opérations arithmétiques ci-dessous. Utilisez le résultat de a) si nécessaire.

Dites s'il y a débordement ou non.

i)  $N_1 + N_2$

ii)  $N_1 + N_3$

iii)  $N_2 - N_1$

#### **Exercice : 5**

1. Multiplier 10011011 et 11001101 en binaire.

2. Effectuez ces additions en binaire, puis vérifiez en décimal si vous ne vous êtes pas trompé(e)

110011001	10111000	1111111
+ 1101101	+ 11000001	+ 111111
-----	-----	-----

1011
0101
1000
1100
1001
+ 0100
-----

3. Effectuez ces soustractions en binaire, puis vérifiez en décimal si vous ne vous êtes pas trompé(e)

110011001	10111000	1111111
- 1101101	- 1001	- 111111
-----	-----	-----

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 1 (corrigé)**

**Exercice : 1 transcodage décimal, binaire, hexa, BCD, binaire réfléchi**

1. Remplissez le tableau suivant en convertissant les chiffres suivants vers les formats indiqués :

décimal	binaire	hexadécimal	BCD	binaire réfléchi
5	101	5	101	111
13	1101	D	10011	1011
19	10011	13	11001	11010
16	10000	10	10110	11000
27	11011	1B	100111	10110

2. Remplissez le tableau suivant en convertissant les chiffres suivants vers les formats indiqués :

décimal	binaire	hexadécimal	BCD
35	100011	23	110101
105	1101001	69	100000101
62	111110	3E	1100010
85	1010101	55	10000101
243	11110011	F3	1001000011
10922	10101010101010	2AAA	10000100100100010
719	1011001111	2CF	11100011001
664	1010011000	298	011001100100

**Exercice : 2**

- Donner les intervalles de codage d'un entier naturel sur : 8 bits, 16 bits, et 32 bits.  
→ Sur 8 bits :  $[0, 2^8 - 1] = [0, 255]$   
→ Sur 16 bits :  $[0, 2^{16} - 1] = [0, 65535]$   
→ Sur 32 bits :  $[0, 2^{32} - 1] = [0, 4294967295]$
- Pour la représentation des entiers relatifs en signe/ valeur absolue, donner les intervalles de codage sur 8 bits et 16 bits.  
→ Sur 8 bits :  $[-127, 127] = [-2^7 - 1, 2^7 - 1]$   
→ Sur 16 bits :  $[-32767, 32767] = [-(2^{15} - 1), 2^{15} - 1]$
- Pour la représentation des entiers relatifs en complément à 2, donner les intervalles de codage sur 8 bits et 16 bits.  
→ Sur 8 bits :  $[-128, 127] = [-2^7, 2^7 - 1]$   
→ Sur 16 bits :  $[-32768, 32767] = [-(2^{15}), 2^{15} - 1]$
- Remplissez le tableau suivant (les cases manquantes (#1 à #8) en convertissant les chiffres suivants vers les formats indiqués. Ne pas tenir compte des sections ombragées.

Binaire naturel (8bits, 3bits)	Binaire complément à 2 (8bits, 3bits)	Binaire signé (S/V) (8 bits, 3bits)	Décimal	Hexadécimal
00100101,111	00100101,111	00100101,111	37,875	25,E
01001100,011	01001100,011	01001100,011	76,375	4C,6
	11011011,101	10100100,011	-36,375	
	10000100,110	11111011,010	-123,25	
00101101,101	00101101,101	00101101,101	45,625	2D,A

#1 = #2 = #3 = 0100 1100, 0110 (4C,6)

#4 : On trouve la valeur positive en binaire en faisant le complément à 2 :

$$\text{CA2}(11011011, 101) = \text{CA1}(11011011, 101) + 0,001 = 00100100,010 + 0,001 = 00100100,011$$

On place le bit le plus significatif à 1 pour indiquer que c'est une valeur négative  
10100100,011

$$\begin{aligned} \#5 &= -1 * 2^7 + 1 * 2^6 + 1 * 2^4 + 1 * 2^3 + 1 * 2^1 + 1 * 2^0 + 1 * 2^{-1} + 1 * 2^{-2} \\ &= -128 + 64 + 16 + 8 + 2 + 1 + 0,5 + 0,125 = -36.375 \end{aligned}$$

$$\text{Ou : } 1 * 2^5 + 1 * 2^2 + 1 * 2^{-2} + 1 * 2^{-3} = 32 + 4 + 0,25 + 0,125 = -36.375$$

#6 :

Valeur positive en binaire en enlevant le bit de signe du binaire signé :

$$\text{Valeur positive} = 01111011,010$$

Complément à 2 de cette valeur

$$\text{CA2}(01111011, 010) = \text{CA1}(01111011, 010) + 0,001 = 10000100,101 + 0,001 = 10000100,110$$

$$\#7 = 00101101,101$$

$$\#8 = 2D, A (00101101, 1010)$$

Exercice : 3

Bin	Déc	Bin	Déc	Bin	Déc	Bin	Déc	Bin	Déc	Bin	Déc
000	0	000	0	101	-3	111	-1	101	-3	010	2
001	1	111	-1	101	-3	110	-2	110	-2	011	3
001	+1	111	-1	010	-6	101	-3	011	-5	101	+5
+1	OK	-1	OK	+2	KO	-3	OK	3	KO	-3	KO

Le résultat est invalide lorsque les 2 opérandes sont de même signe et que le résultat est de signe opposé.

Exercice : 4

$$\text{a) CA2}(N_1) = \text{CA1}(N_1) + 1 = \text{CA1}(00110101) + 1 = 11001010 + 1 = 11001011$$

b)

$$\begin{array}{rcl} & 00110101 & 00110101 & 01101100 \\ + & 01101100 & +11010111 & +11001011 \\ \hline \text{i) } & 10100001 & \text{ii) } & 00001100 & \text{iii) } & 00110111 \end{array}$$

i) positif + positif = négatif : **Débordement**

ii) positif + négatif = positif : **correct**

iii) positif + négatif = positif : **correct**

Exercice : 5

1. Multiplier 10011011 et 11001101 en binaire.

$$\begin{array}{r} 155 \\ \times 205 \\ \hline 31775 \end{array} \quad \begin{array}{r} 10011011 \\ 11001101 \\ \hline 10011011 \\ 1001101100 \\ 100110110000 \\ 10011011000000 \\ \hline 111110000001111 \end{array}$$

} → retenues

2. Effectuez ces additions en binaire, puis vérifiez en décimal si vous ne vous êtes pas trompé(e)

$$\begin{array}{r}
 110011001 \quad 409 \\
 + \quad 1101101 \quad 109 \\
 \hline
 1000000110 \quad 518
 \end{array}$$

$$\begin{array}{r}
 10111000 \quad 184 \\
 + \quad 11000001 \quad 193 \\
 \hline
 101111001 \quad 377
 \end{array}$$

$$\begin{array}{r}
 11111111 \quad 127 \\
 + \quad 111111 \quad 63 \\
 \hline
 10111110 \quad 190
 \end{array}$$

$$\begin{array}{r}
 1011 \quad 11 \\
 0101 \quad 5 \\
 1000 \quad 8 \\
 1100 \quad 12 \\
 1001 \quad 9 \\
 + \quad 0100 \quad 4 \\
 \hline
 110001 \quad 49
 \end{array}$$

3. Effectuez ces soustractions en binaire, puis vérifiez en décimal si vous ne vous êtes pas trompé(e)

$$\begin{array}{r}
 110011001 \quad 409 \\
 - \quad 1101101 \quad 109 \\
 \hline
 100101100 \quad 300
 \end{array}$$

$$\begin{array}{r}
 10111000 \quad 184 \\
 - \quad 1001 \quad 9 \\
 \hline
 10101111 \quad 175
 \end{array}$$

$$\begin{array}{r}
 11111111 \quad 127 \\
 - \quad 111111 \quad 63 \\
 \hline
 1000000 \quad 64
 \end{array}$$

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 2**

**Exercice 1 :**

Convertir les nombres fractionnaires suivants vers les bases indiquées.

- a)  $(1011,0011)_2$  vers la base dix. d)  $(10,5625)_{10}$  vers la base deux.  
b)  $(7,7)_8$  vers la base dix. e)  $(10,5625)_{10}$  vers la base seize.  
c)  $(4B,CC)_{16}$  vers la base dix. f)  $(10,5625)_{10}$  vers la base huit.

**Exercice 2 :**

Représenter les nombres suivants (représentées en décimal) en standard IEEE 754 simple précision.  
Donner le résultat en hexadécimal.

- a) 8,625 b) 10,50 c) -0,75

**Exercice 3 :**

Convertissez les valeurs suivantes (représentées en décimal) en standard IEEE 754 Simple précision.  
Donner le résultat en binaire.

- a) 128 c) 18,125  
b) -32,75 d) 0,0625

**Exercice 4 :**

Quelles sont les valeurs des nombres suivant représentés en virgule flottant en standard IEEE 754 simple précision :

- a) 1011 1101 0100 0000 0000 0000 0000 0000 c) 1100 0001 1111 0000 0000 0000 0000 0000  
b) 0101 0101 0110 0000 0000 0000 0000 0000 d) 0011 1010 1000 0000 0000 0000 0000 0000

**Exercice 5 :**

Donner la valeur décimale du nombre représenté par : **44 DF A4 8A**<sub>16</sub> en standard IEEE 754.

**Exercice 6 :**

- Décodez la séquence de bits (**1010011 1010100 1001111 1010000**)<sub>2</sub> si cette séquence est considérée comme une chaîne de caractères ASCII 7 bits ?
- Donnez sous forme décimal, hexadécimal puis en binaire la suite de codes ASCII du message : COUT=72 DH. Le message comprend 10 caractères, le DH étant précédé d'un espace.

ASCII								
(.) <sub>10</sub>	(.) <sub>16</sub>	char	(.) <sub>10</sub>	(.) <sub>16</sub>	char	(.) <sub>10</sub>	(.) <sub>16</sub>	char
32	0x20	<SPACE>	64	0x40	@	96	0x60	`
33	0x21	!	65	0x41	A	97	0x61	a
34	0x22	"	66	0x42	B	98	0x62	b
35	0x23	#	67	0x43	C	99	0x63	c
36	0x24	\$	68	0x44	D	100	0x64	d
37	0x25	%	69	0x45	E	101	0x65	e
38	0x26	&	70	0x46	F	102	0x66	f
39	0x27	'	71	0x47	G	103	0x67	g
40	0x28	(	72	0x48	H	104	0x68	h
41	0x29	)	73	0x49	I	105	0x69	i
42	0x2A	*	74	0x4A	J	106	0x6A	j
43	0x2B	+	75	0x4B	K	107	0x6B	k
44	0x2C	,	76	0x4C	L	108	0x6C	l
45	0x2D	-	77	0x4D	M	109	0x6D	m
46	0x2E	.	78	0x4E	N	110	0x6E	n
47	0x2F	/	79	0x4F	O	111	0x6F	o
48	0x30	0	80	0x50	P	112	0x70	p
49	0x31	1	81	0x51	Q	113	0x71	q
50	0x32	2	82	0x52	R	114	0x72	r
51	0x33	3	83	0x53	S	115	0x73	s
52	0x34	4	84	0x54	T	116	0x74	t
53	0x35	5	85	0x55	U	117	0x75	u
54	0x36	6	86	0x56	V	118	0x76	v
55	0x37	7	87	0x57	W	119	0x77	w
56	0x38	8	88	0x58	X	120	0x78	x
57	0x39	9	89	0x59	Y	121	0x79	y
58	0x3A	:	90	0x5A	Z	122	0x7A	z
59	0x3B	;	91	0x5B	[	123	0x7B	}
60	0x3C	<	92	0x5C	\	124	0x7C	
61	0x3D	=	93	0x5D	]	125	0x7D	{
62	0x3E	>	94	0x5E	^	126	0x7E	~
63	0x3F	?	95	0x5F	_	127	0x7F	<DEL>

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 2 (corrigé)**

**Exercice 1 :**

- a)  $(1011,0011)_2$  vers la base dix. **Correction**  $2^3 + 2 + 1 + 2^{-3} + 2^{-4} = (11,1875)_{10}$  ;
- b)  $(7,7)_8$  vers la base dix. **Correction**  $7 \times 8^0 + 7 \times 8^{-1} = (7,875)_{10}$  ;
- c)  $(4B,CC)_{16}$  vers la base dix. **Correction**  $4 \times 16 + 11 + 12 \times 16^{-1} + 12 \times 16^{-2} = (75,796875)_{10}$  ;
- d)  $(10,5625)_{10}$  vers la base deux. **Correction**  $(10)_{10} = (1010)_2$ , puis  $0,5625 \times 2 = 1,125$ ,  $0,125 \times 2 = 0,25$ ,  $0,25 \times 2 = 0,5$ ,  $0,5 \times 2 = 1,0$ . Donc  $(10,5625)_{10} = (1010,1001)_2$  ;
- e)  $(10,5625)_{10}$  vers la base seize. **Correction**  $(10)_{10} = (A)_{16}$ .  $(1001)_2 = (9)_{16}$ , donc  $(10,5625)_{10} = (A,9)_{16}$  ;
- f)  $(10,5625)_{10}$  vers la base huit. **Correction**  $(10)_{10} = (12)_8$ .  $0,5625 \times 8 = 4,5$ ,  $0,5 \times 8 = 4,0$ . Donc  $(10,5625)_{10} = (12,44)_8$ .

**Exercice 2 :**

- a) 8,625
- Conversion de 8,625 en binaire :  
Partie entière : 8 => 1000
  - Partie décimale : 0,625 => 0,101
    - $8,625_{10} \Rightarrow 1000,101_2$
  - Normalisation IEEE 754 :  $\Leftrightarrow 1,0001010 \times 2^3$  (de la forme 1,xxxx où xxx = mantisse)
  - Décomposition du nombre en ses divers éléments :
    - Bit de signe : 0 (Nombre >0)
    - Exposant sur 8 bits biaisé à 127 =>  $3 + 127 = 130 \Rightarrow 10000010$
    - Mantisse sur 23 bits : 0001010 00000000 00000000

Signe	Exposant biaisé	Pseudo mantisse
0	10000010	00010100000000000000000

Soit en hexadécimal : 410A0000<sub>16</sub>

- b) 10,50<sub>10</sub>
- Passage en binaire :  $10,50_{10} \rightarrow 1010,1_2$
  - normalisation :  $1,0101 \times 2^3$
  - exposant :  $127 + 3 = 130$
  - signe positif : 0
  - représentation : 0 1000 0010 010 1000 0000 0000 0000 0000
  - Soit en hexa. : 41 28 00 00<sub>16</sub>
- c) -0,75<sub>10</sub>
- passage en binaire :  $0,75_{10} \rightarrow 0,11_2$
  - normalisation :  $1,1 \times 2^{-1}$
  - exposant :  $127 + (-1) = 126$
  - signe négatif : 1
  - représentation : 1 0111 1110 100 0000 0000 0000 0000 0000
  - Soit en hexa. : BF 40 00 00<sub>16</sub>

**Exercice 3 :**

- a) 128  $\rightarrow$  01000 0110 000 0000 0000 0000 0000 0000
- b) -32,75  $\rightarrow$  1100 0010 0000 0011 0000 0000 0000 0000
- c) 18,125  $\rightarrow$  0100 0001 1001 0001 0000 0000 0000 0000
- d) 0,0625  $\rightarrow$  0011 1101 1 000 0000 0000 0000 0000 0000

**Exercice 4 :**

- a) 1011 1101 0100 0000 0000 0000 0000 0000  $\rightarrow$  -0.046875
- b) 0101 0101 0110 0000 0000 0000 0000 0000  $\rightarrow 1.539 \times 10^{13}$
- c) 1100 0001 1111 0000 0000 0000 0000 0000  $\rightarrow$  -30
- d) 0011 1010 1000 0000 0000 0001 0100 0010  $\rightarrow$  0.0009766



**Exercice 5 :**

1789,1418

**Exercice 6 :**

1. (1010011101010010011111010000)<sub>2</sub> → STOP
2. COUT=72 DH :
  - Décimal : 67, 79, 85, 84, 61, 55, 50, 32, 68, 72
  - Hexadécimal : 43, 4F, 55, 54, 3D, 37, 32, 20, 44, 48
  - Binaire : 0100 0011 0100 1111 0101 0101 0101 0100 0011 1101 0011 0111 0011 0010 0010 0000 0100 0100 0100 1000

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 3**

**Exercice 1 :**

1) Simplifier les expressions suivantes :

$$S_1 = (A + B).(\bar{A} + \bar{B})$$

$$S_4 = (A + C + D).(B + C + D)$$

$$S_2 = A.B + \bar{A}.\bar{B} + \bar{A}.B$$

$$S_5 = (A.\bar{B} + A.B + A.C)(\bar{A}.\bar{B} + A.B + A.\bar{C})$$

$$S_3 = (A + \bar{B}).(A + B) + C.(\bar{A} + B)$$

$$S_6 = (A + \bar{B} + C).(A + \bar{C}).(\bar{A} + \bar{B})$$

2) Calculer les compléments de  $S_1$ ,  $S_5$ ,  $S_6$  et les simplifier.

3) Donner les équations des fonctions  $S_1$ ,  $S_5$  et  $S_6$  en n'utilisant que des portes NAND à 2 entrées puis en n'utilisant que des portes NOR à 2 entrées. Tracer les logigrammes de  $S_1$ ,  $S_5$  et  $S_6$ , et préciser le nombre de portes nécessaires dans chaque cas et en déduire la meilleure solution.

**Exercice 2 :**

1) Simplifier algébriquement les expressions suivantes :

$$S_1 = A.B.C + A.\bar{B}.C + A.B.\bar{C}.D$$

$$S_3 = (A + B + C).(A + B + \bar{C}).(\bar{A} + B + C).(\bar{A} + B + \bar{C})$$

$$S_2 = A + B.C + \bar{A}.(\bar{B} + \bar{C}).(A.D + C)$$

2) Démontrer les égalités suivantes :

a)  $A + \bar{A}.B = A + B$

c)  $\overline{(A + C).(B + \bar{C})} = (\bar{A} + C).(\bar{B} + \bar{C})$

b)  $\overline{A.C + B.\bar{C}} = \bar{A}.C + \bar{B}.\bar{C}$

d)  $(A + B).(\bar{A} + C).(B + C) = (A + B).(\bar{A} + C)$

**Exercice : 3**

Simplifier les expressions en utilisant les diagrammes de Karnaugh.

a)  $X = \bar{A}.\bar{B}.\bar{C} + \bar{A}BC + A.\bar{B}.\bar{C} + ABC + \bar{A}BC$

b)  $Y = (C + D) + \bar{A}CD + \bar{A}B.\bar{C} + \bar{A}BCD + AC\bar{D}$

c)  $Z = \bar{A}.\bar{B}.\bar{C}.\bar{D} + \bar{A}B\bar{C}.\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + ABC\bar{D} + ABCD$

**Exercice : 4**

Soit la table de vérité suivante :

1. Proposer une expression booléenne (ayant pour table de vérité la table ci-contre) :

a) sous la première forme canonique,

b) sous la deuxième forme canonique.

2. Simplifier l'expression booléenne de la question 1.a) au moyen d'un tableau de Karnaugh.

**Exercice : 5**

Trois interrupteurs A, B, C commandent l'allumage de 2 lampes R et S suivant les conditions suivantes :

Dès qu'un ou plusieurs interrupteurs sont activés la lampe R doit s'allumer, la lampe S ne doit être allumée que si au moins 2 interrupteurs sont activés.

1) Donner la table de vérité des fonctions R et S.

2) Donner les expressions des fonctions binaires R et S.

3) Donner les expressions des fonctions R et S à l'aide de porte NON ET.

4) Dessiner le logigramme à l'aide de portes NON ET.

a	b	c	d	$f(a,b,c,d)$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 3 (corrigé)**

**Exercice 1 :**

1)  $S_1 = A\bar{B} + \bar{A}B = A \oplus B$

$S_2 = \bar{A} + B = \overline{A\bar{B}}$

$S_3 = A + C$

$S_4 = A.B + C + D$

$S_5 = A(B + \bar{C})$

$S_6 = \bar{B}(A + \bar{C})$

2)  $\bar{S}_1 = A.B + \bar{A}\bar{B} = \overline{A \oplus B}$

$\bar{S}_5 = \bar{A} + \bar{B}.C$

$\bar{S}_6 = B + \bar{A}.C$

3)  $S_1 = \overline{\overline{A\bar{B}} \cdot \overline{\bar{A}B}} = \overline{\overline{A} + \overline{B} + \overline{A} + \overline{B}} = \overline{\overline{A} + \overline{B}}$

$S_5 = \overline{\overline{A.B.C}} = \overline{\overline{A} + \overline{B} + \overline{C}}$

$S_6 = \overline{\overline{B.A.C}} = \overline{\overline{B} + \overline{A} + \overline{C}}$

	NAND à 2 entrées	NOR à 2 entrées
S1	5	5
S5	4	4
S6	5	3

**Exercice 2 :**

1)  $S_1 = A(C + B.D)$     $S_2 = A + C$     $S_3 = B$

2)

a)  $A + \bar{A}.B = A + B$  : dans la somme d'un terme et d'un multiple de son complément, on peut éliminer le complément.

Démonstration :

soit :  $A + \bar{A}.B = A + A.B + \bar{A}.B = A + B.(A + \bar{A})$   
 $= A + B.1 = A + B$

**Remarque :** cette formule est à retenir car elle n'est pas intuitive : en effet il faut d'abord compliquer la formule pour la simplifier ensuite.

$A.C + B.\bar{C} = \bar{A}.\bar{B} + \bar{A}.C + \bar{B}.\bar{C} = \bar{A}.C + \bar{A}.\bar{B} + \bar{A}.\bar{B}.\bar{C}$

b)  $= \bar{A}.C + \bar{A}.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C = \bar{A}.C + \bar{B}.\bar{C}(A + \bar{A})$   
 $= \bar{A}.C + \bar{B}.\bar{C}$

c)  $\overline{(A + C).(B + \bar{C})} = \bar{A}.\bar{C} + \bar{B}.C$

$(\bar{A} + C).(\bar{B} + \bar{C}) = \bar{A}.\bar{B} + \bar{A}.\bar{C} + \bar{B}.C = \bar{A}.\bar{B} + \bar{A}.\bar{B}.\bar{C} + \bar{B}.C = \bar{A}.\bar{B}.\bar{C} + \bar{B}.C + \bar{A}.\bar{B}.C = \bar{A}.\bar{C} + \bar{B}.C$

d)  $(A + B).(\bar{A} + C).(B + C) = A.C + \bar{A}.B + B.C$

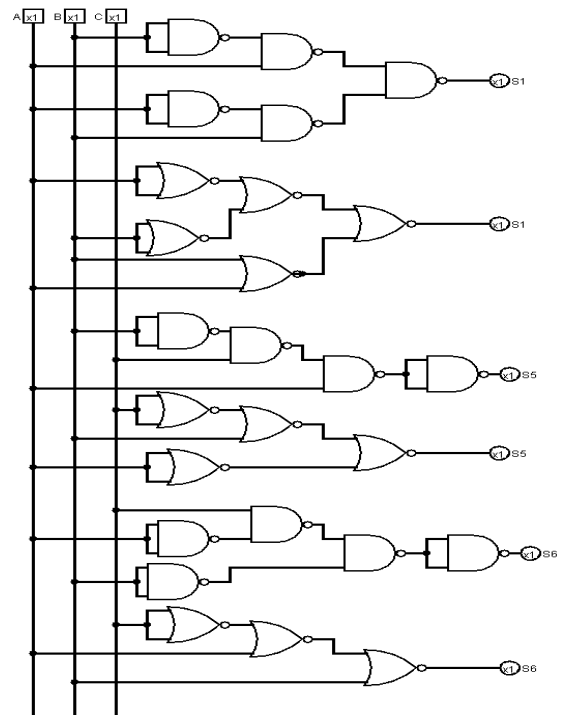
$(A + B).(\bar{A} + C) = A.C + \bar{A}.B + B.C$

**Exercice : 3**

a)

AB \ C	00	01	11	10
0	1	0	0	1
1	0	1	1	1

$X = \bar{B}.\bar{C} + AC + BC$



b)

CD \ AB	00	01	11	10
00	1	0	1	1
01	1	0	0	1
11	1	0	0	1
10	1	1	0	1

$$Y = \bar{D} + \bar{A}\bar{B}C + A\bar{B}\bar{C} = \bar{D} + \bar{B}(A \oplus C)$$

c)

$$Z = A.C + \bar{A}\bar{C}\bar{D}$$

CD \ AB	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	0	1	1
10	0	0	1	1

### Exercise : 4

1.

a)  $f = \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}\bar{c}d + \bar{a}\bar{b}c\bar{d} + \bar{a}\bar{b}cd + \bar{a}b\bar{c}\bar{d} + \bar{a}b\bar{c}d + \bar{a}b\bar{c}\bar{d} + \bar{a}b\bar{c}d + \bar{a}b\bar{c}\bar{d} + \bar{a}b\bar{c}d + \bar{a}b\bar{c}\bar{d} + \bar{a}b\bar{c}d$

b)  $f = (a + \bar{b} + c + d).(\bar{a} + \bar{b} + \bar{c} + d).(\bar{a} + \bar{b} + c + \bar{d}).(\bar{a} + \bar{b} + c + d).(\bar{a} + \bar{b} + \bar{c} + d)$

2.

CD \ AB	00	01	11	10
00	1	1	1	1
01	0	1	1	0
11	0	0	1	0
10	1	1	1	1

$$f = \bar{b} + \bar{a}.d + c.d$$

### Exercise : 5

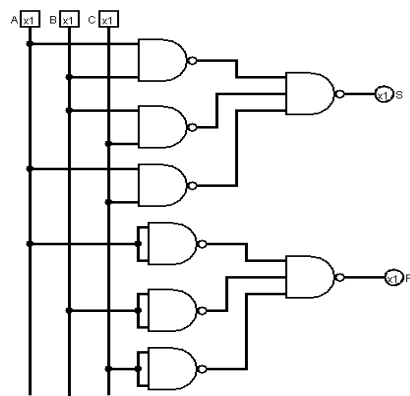
1.

2.  $R = A + B + C$  ;  $S = AC + BC + AB$

3.

$\bar{R} = \bar{A}.\bar{B}.\bar{C}$  ;  $\bar{S} = \bar{A}.\bar{C}.\bar{B}.\bar{A}.\bar{B}$

4.



A	B	C	R	S
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 4**

**Exercice : 1**

**Demi-Soustracteur.**

Réaliser un demi-soustracteur :

- 1) Ecrire la table de vérité.
- 2) Donner les équations de sortie.
- 3) Etablir le schéma logique.

**Soustracteur complet**

On veut réaliser un circuit qui effectue la soustraction  $A_i - B_i$  en tenant compte d'une éventuelle retenue  $R_{i-1}$ . Ce circuit doit donc générer la différence  $D_i$  et l'éventuelle retenue  $R_i$  à transmettre à la colonne de gauche.

- 1) Remplir la table de vérité de  $D_i$  et  $R_i$ .
- 2) Remplir les tableaux de Karnaugh et en déduire les équations simplifiées de  $D_i$  et  $R_i$ .
- 3) Dessiner le schéma de ces deux fonctions réunies en un seul bloc fonctionnel : le soustracteur complet.
- 4) Réaliser un soustracteur binaire complet (ou étage de soustracteur) selon deux modes :
  - a. Avec deux demi-soustracteurs ;
  - b. Avec un demi-additionneur et un demi-soustracteur.
- 5) Dessiner le schéma d'un soustracteur de 2 nombres de 4 bits en utilisant 4 blocs fonctionnels identiques.

**Additionneur Soustracteur**

- 1) Réaliser un circuit qui inverse ou non l'état d'une entrée E selon qu'un bit de commande C est à 1 ou à 0 :  
si  $C = 0$  on veut  $S = E$ , si  $C = 1$  on veut  $S = \bar{E}$ .
- 2) En utilisant cette fonction et un additionneur sur 4 bits, réaliser un circuit qui effectue l'addition de deux nombres de 4 bits ( $A + B$ ) si un bit de commande C est à 0 et la soustraction ( $A - B$ ) si  $C = 1$ .

**Exercice : 2**

Le multiplexeur pouvant calculer des fonctions de plusieurs variables, peut être utilisé en générateur de fonctions logiques. Le nombre d'entrées d'adresses étant égal aux nombres de variables dans la fonction.

- 1) Traiter le cas où l'on a une variable de plus que d'entrées d'adresse, en réalisant la fonction :

$$F = \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D} + \overline{A.B.C.D}$$

à l'aide d'un multiplexeur à 8 entrées de données ( $D_0, D_1, D_2, D_3, D_4, D_5, D_6, D_7$ ), 3 entrées d'adresses A, B, C (C le poids le plus fort) et 1 sortie.

- 2) À l'aide d'un multiplexeur à 8 entrées de données ( $D_0, D_1, D_2, D_3, D_4, D_5, D_6, D_7$ ) et 3 entrées d'adresses A,

B, C (C le poids le plus fort) réaliser la fonction suivante :  $F = A.C + \overline{A.B} + A.B$

**Exercice : 3**

Donnez les équations simplifiées des sorties des schémas suivants en détaillant clairement votre démarche.

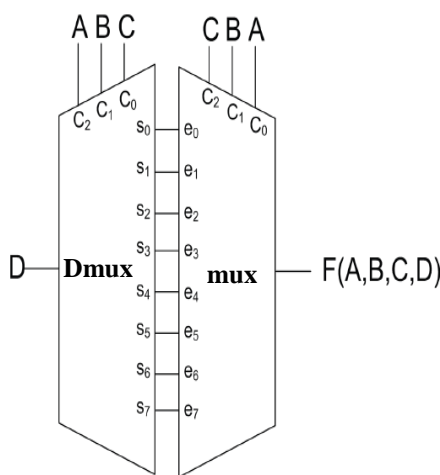


Figure :1

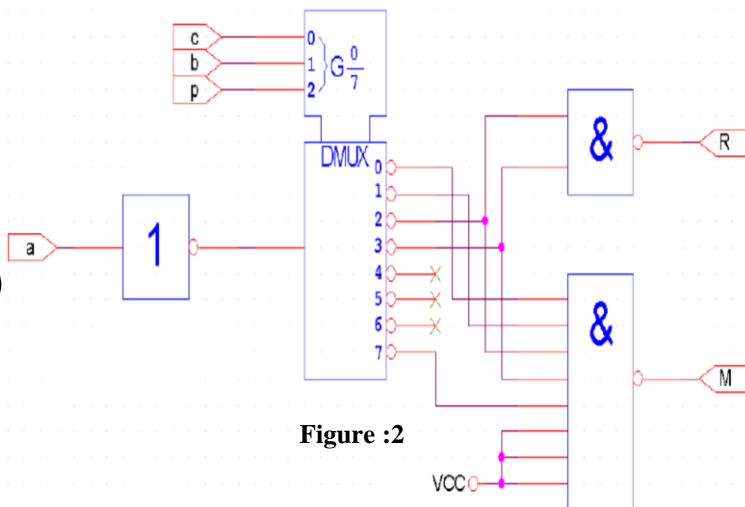


Figure :2

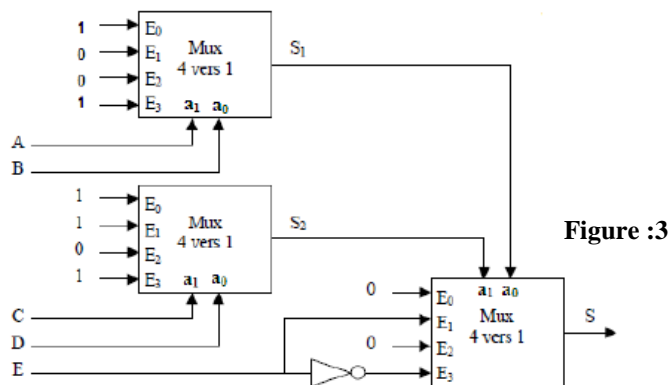


Figure :3

#### Exercice : 4

Soit un circuit combinatoire à 5 lignes d'entrée et 3 lignes de sorties, comme le montre la figure ci-dessous. Le fonctionnement est le suivant :

- Lorsqu'une seule ligne d'entrée parmi E0, E1, E2, E3, se trouve au niveau haut, son numéro est codé en binaire sur les sorties A et B.

- Si plusieurs lignes sont simultanément au niveau haut, le circuit code le numéro le plus élevé.

- Si toutes les lignes d'entrée sont au niveau bas, le circuit code AB=00, mais on signale par Eout=1 que ce code n'est pas validé. Dans tous les autres cas Eout=0.

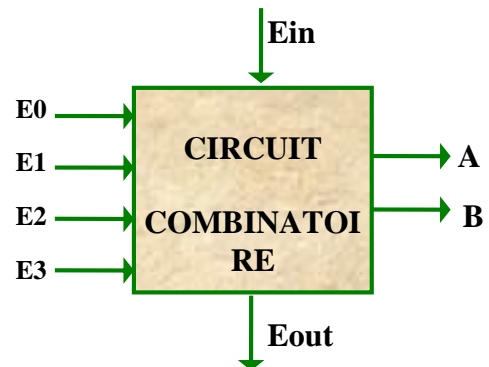
- Le fonctionnement décrit jusqu'ici s'observe lorsque Ein=1.

Si Ein=0, on a : A=B=Eout=0.

1- Donner la table de vérité du codeur.

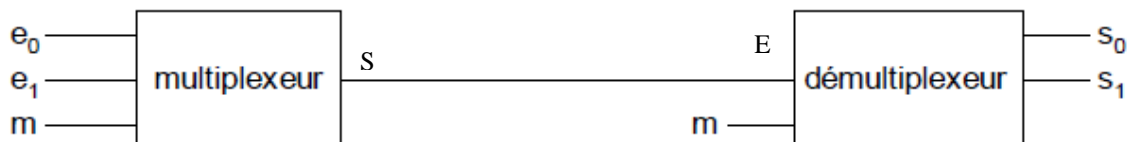
2- Donner les expressions logiques des sorties A, B et Eout en fonction des entrées de E0...E3 et Ein.

3- En déduire le circuit logique du codeur.

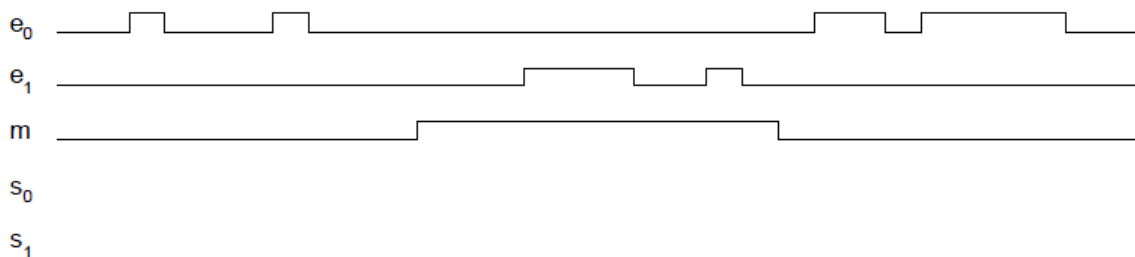


#### Exercice : 5

Le montage suivant est une application des multiplexeurs et démultiplexeur dans les liaisons séries. Un multiplexeur permet de sélectionner (entrée m) en sortie (S) une des entrées (e0, e1), par contre le démultiplexeur réalise la fonction inverse du multiplexeur :



Compléter les chronogrammes suivants :



#### Exercice : 6

On veut réaliser un dé électronique à diodes LED disposées comme le montre la figure-1. Les différentes combinaisons d'affichage du dé électronique sont représentées dans la figure-2.

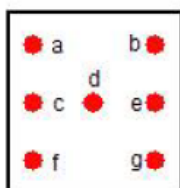


Figure-1

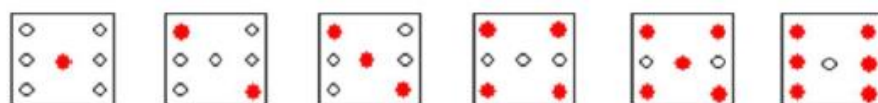


Figure-2

A titre d'exemple, si on veut afficher 2, il faut allumer les diodes a et g. On note que pour les combinaisons d'entrée 0 (000) et 7 (111) aucune diode ne doit être allumée.

On veut réaliser le circuit logique de commande pour allumer les diodes. Ce circuit doit comporter 7 sorties, soit une sortie par diode (a, b, c, d, e, f, g) et 3 entrées A, B, C pour le code binaire (C le poids le plus fort).

- 1- Déterminer la table de vérité.
- 2- Déterminer les expressions simplifiées des sorties (a, b, c, d, e, f, g) en fonction des entrées A, B et C.
- 3- Donner le circuit logique de commande.

### Exercice : 7

La figure-1 représente un comparateur de deux nombres binaires  $x_i$  et  $y_i$  à 1 bit.

1- Effectuer la synthèse de ce circuit logique.

2- On veut réaliser un comparateur de deux nombres binaires à trois bits  $X=x_2x_1x_0$  et  $Y=y_2y_1y_0$ , dont le schéma synoptique est donné par la figure-2. On note que  $x_0$  et  $y_0$  sont les bits de poids les plus faibles.



Figure-1



Figure-2

a- Donner les expressions logiques des sorties S, I et E en fonction des sorties  $S_i$ ,  $I_i$ ,  $E_i$  avec  $i=0, 1, 2$  du comparateur à 1 bit.

b- En déduire le schéma interne du comparateur à 3 bits.

3- On veut afficher les sorties du comparateur (S, I, E) sur un afficheur 7 segments à cathodes communes en utilisant un transcodeur, comme le montre la figure-3a, et ce pour obtenir l'affichage donné par la figure-3b.

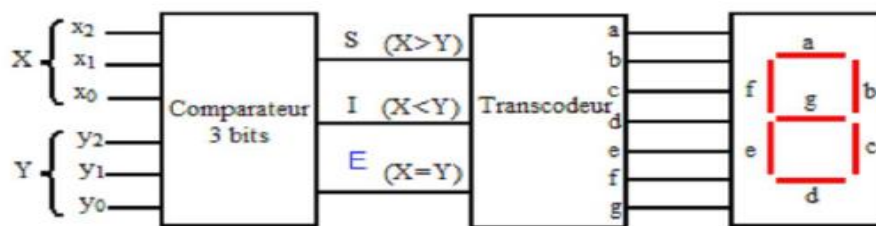


Figure-3a



(Si  $X > Y$ )



(Si  $X = Y$ )



(Si  $X < Y$ )

Figure-3b

a- Donner la table de vérité du transcodage permettant le passage du code S, I, E au code 7 segments.

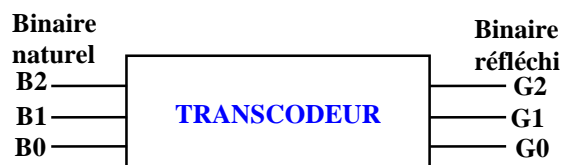
b- Déterminer les expressions simplifiées des sorties en utilisant le tableau de Karnaugh.

c- En déduire le schéma interne du transcodeur.

### Exercice : 8

Développez un circuit logique (transcodeur) muni de 3 variables d'entrée ( $B_2, B_1, B_0$ )<sub>2</sub> représentant le nombre N dans le code binaire naturel (ou pur), et qui donne en sortie ( $G_2, G_1, G_0$ ) représentant le même nombre dans le code Gray (ou binaire réfléchi).

- 1) Dresser une table de vérité traduisant le fonctionnement,
- 2) A l'aide du tableau de Karnaugh, trouver les équations des sorties :  $G_2$ ,  $G_1$  et  $G_0$ ,
- 3) Dessiner le logigramme avec uniquement des portes "XOR" à deux entrées,
- 4) En déduire le logigramme si le code d'entrée est sur 4 bits.
- 5) Vérifier que ce transcodeur peut réaliser le transcodage inverse.



**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 4 (corrigé)**

**Exercice 1 :**

**Demi-Soustracteur.**

1) La table de vérité est :

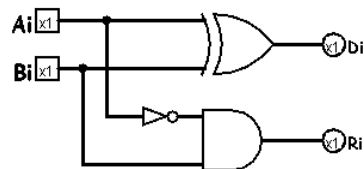
$A_i$	$B_i$	$D_i$	$R_i$
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

2)

Donc :  $D_i = A_i \oplus B_i$

$R_i = \overline{A_i} \cdot B_i$

3) D'où le circuit suivant :



**Soustracteur complet**

1) La table de vérité est :

$R_{i-1}$	$A_i$	$B_i$	$D_i$	$R_i$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

2) Les tableaux de Karnaugh sont :

$D_i$				
$A_i B_i$	00	01	11	10
$R_{i-1}$				
0	0	1	0	1
1	1	0	1	0

$R_i$				
$A_i B_i$	00	01	11	10
$R_{i-1}$				
0	0	1	0	0
1	1	1	1	0

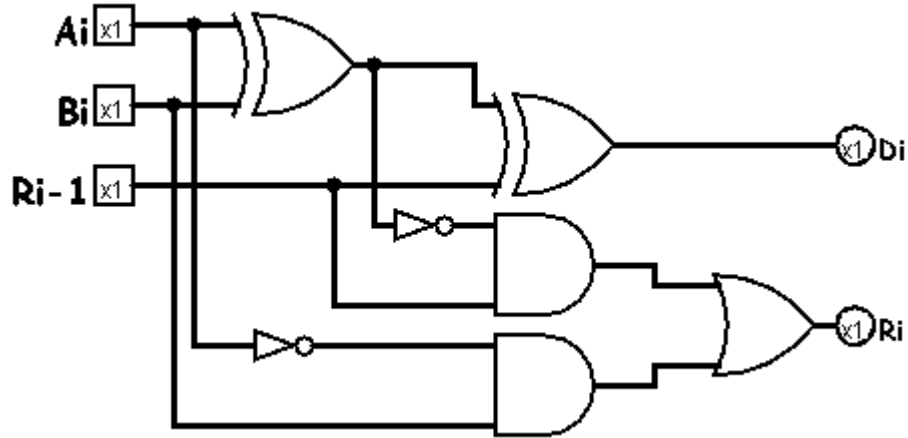
Donc :

$D_i = (A_i \oplus B_i) \oplus R_{i-1}$

$R_i = \overline{A_i} \cdot B_i + R_{i-1} \cdot (A_i \oplus B_i)$



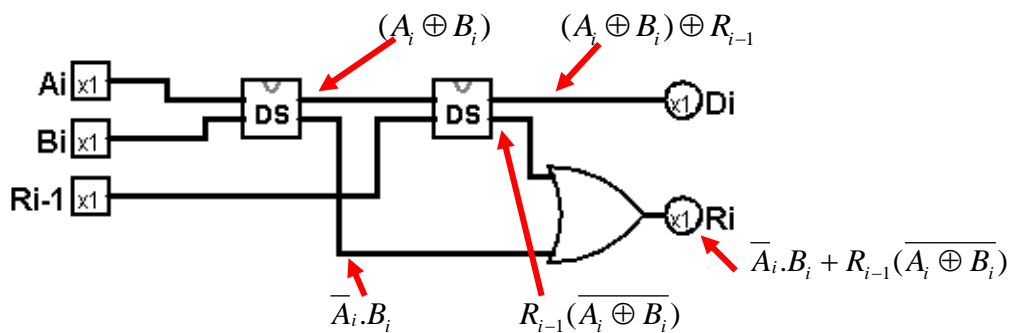
3) D'où le circuit suivant :



4) a. Avec deux demi-soustracteurs :

Ce schéma correspond au fait que le soustracteur est réalisé en :

- Retranchant  $B_i$  de  $A_i$  (1<sup>er</sup> demi-soustracteur) (DS)
- Puis retranchant  $R_{i-1}$  de la différence obtenue.



b. Avec un demi-additionneur et un demi-soustracteur.

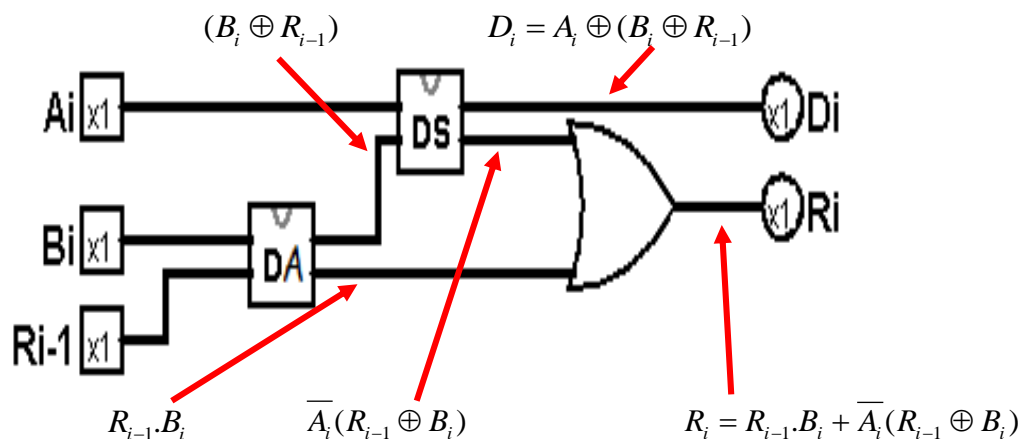
Une autre manière consiste à :

- Additionner  $B_i$  et  $R_{i-1}$  avec un demi-additionneur (DA) (cette opération peut évidemment engendrer une retenue)
- Puis on retranche le résultat obtenu de  $A_i$ .

On peut écrire :

$$D_i = A_i \oplus (B_i \oplus R_{i-1})$$

$$R_i = R_{i-1}.B_i + \overline{A_i}(R_{i-1} \oplus B_i)$$

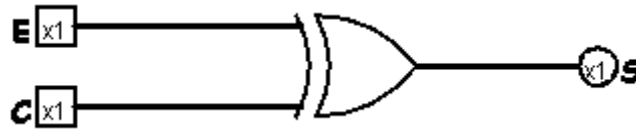


#### Additionneur Soustracteur

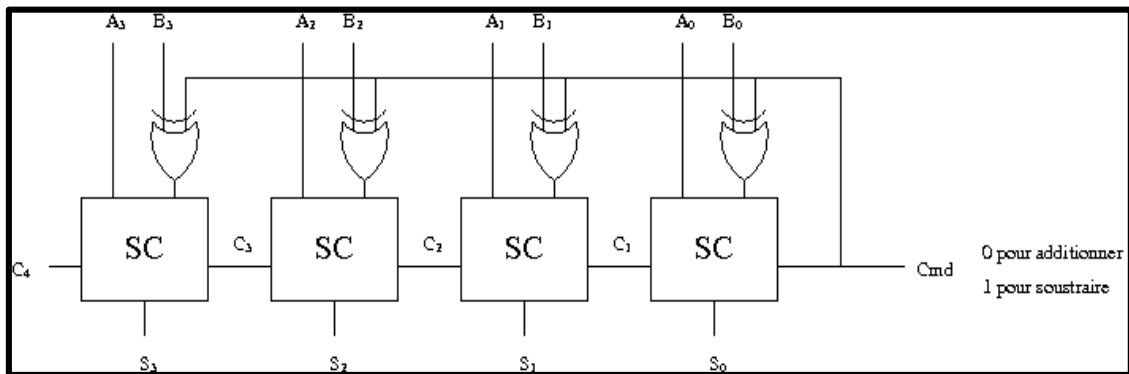
1) La table de vérité est :

C	E	S
0	0	0
0	1	1
1	0	1
1	1	0

D'après la table de vérité :  $S = E \oplus C$

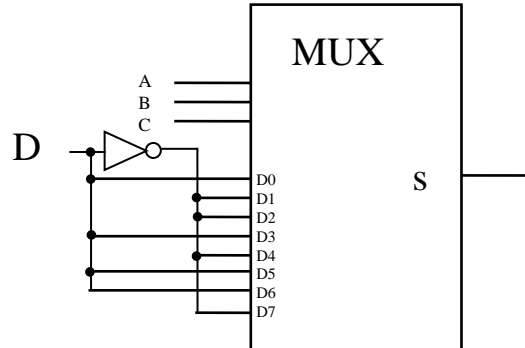


- 2) Pour calculer la différence  $A - B$  de deux nombre signés  $A$  et  $B$ , on utilise un circuit qui calcule d'abord l'opposé  $-B$  de  $B$  puis effectue la somme de  $A$  avec  $-B$  grâce à un additionneur. Le calcul de  $-B$  est réalisé en prenant la négation de  $B$  bit à bit puis en ajoutant 1 au résultat obtenu. Ce dernier 1 est en fait ajouté directement à la somme de  $A$  et  $-B$  en l'injectant comme retenue  $C_0$  à l'additionneur. Le circuit ci-dessous effectue une somme ou une différence suivant la valeur de la commande  $Cmd$ . Si  $Cmd$  vaut 0, le circuit calcule la somme  $A + B$ . Si, au contraire,  $Cmd$  vaut 1, le circuit calcule la différence  $A - B$ . En effet, chacune des portes  $xor$  effectue la négation ou non d'une entrée  $B_i$  suivant la valeur de  $Cmd$ .



### Exercice : 2

1)



- 2) De la même manière que précédemment :  $D_0=D_3=D_4=D_5=D_7=1$  et  $D_1=D_2=D_6=0$

### Exercice : 3

#### Figure :1

$$F(A, B, C, D) = A.C.D + \overline{A}.\overline{C}.D + D(\overline{A}.\overline{C} + A.C) = D(\overline{A} \oplus \overline{C})$$

#### Figure :2

$$R = \overline{S_2}.\overline{S_3} = S_2 + S_3 = pba$$

$$M = \overline{S_0}.\overline{S_1}.\overline{S_2}.\overline{S_3}.\overline{S_7}.1 = S_0 + S_1 + S_2 + S_3 + S_7$$

$$M = \overline{p}bca + p\overline{b}ca + p\overline{b}c\overline{a} + p\overline{b}c\overline{a} + p\overline{b}c\overline{a}$$

$$M = p\overline{a} + bca$$

#### Figure :3

$$S_1 = \overline{A}.B + A.\overline{B} = \overline{A} \oplus B$$

$$S_2 = \overline{C}.\overline{D} + \overline{C}.D + C.D = \overline{C} + C.D = \overline{C} + D$$

D'où :

$$S = \overline{S_2} \cdot S_1 \cdot E + S_2 \cdot S_1 \cdot \overline{E} = S_1 \cdot (\overline{S_2} \cdot E + S_2 \cdot \overline{E}) = S_1 \cdot (E \oplus S_2) = \overline{A \oplus B} \cdot (E \oplus (\overline{C} + D))$$

#### Exercice : 4

1) La table de vérité du codeur :

E <sub>in</sub>	E <sub>3</sub>	E <sub>2</sub>	E <sub>1</sub>	E <sub>0</sub>	B	A	E <sub>out</sub>
0	x	x	x	x	0	0	0
1	1	x	x	x	1	1	0
1	0	1	x	x	1	0	0
1	0	0	1	x	0	1	0
1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1

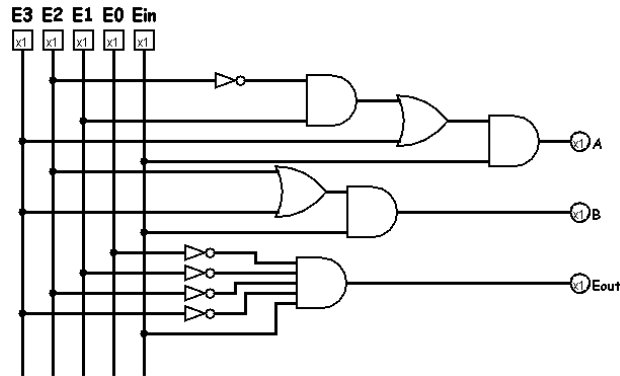
2) Les expressions logiques des sorties A, B et E<sub>out</sub> en fonction des entrées E<sub>0</sub>...E<sub>3</sub> et E<sub>in</sub> :

$$A = E_{in} \cdot (E_3 + \overline{E_3} \cdot E_2 \cdot E_1) = E_{in} \cdot (E_3 + \overline{E_2} \cdot E_1)$$

$$B = E_{in} \cdot (E_3 + \overline{E_3} \cdot E_2) = E_{in} \cdot (E_3 + E_2)$$

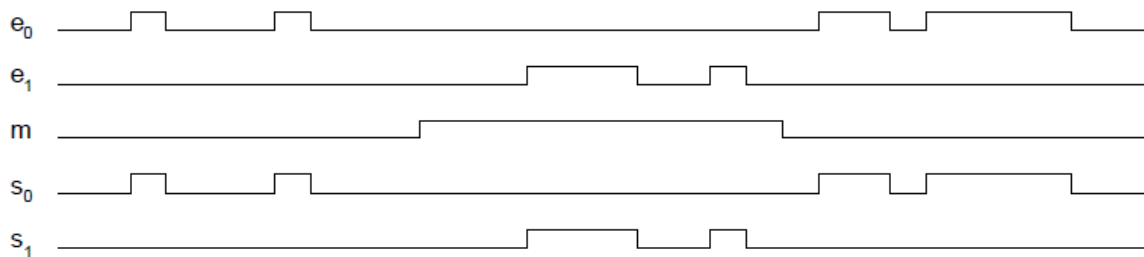
$$E_{out} = E_{in} \cdot \overline{E_3} \cdot \overline{E_2} \cdot \overline{E_1} \cdot \overline{E_0}$$

3) Le logigramme du codeur est donné par l'applet



#### Exercice : 5

Les chronogrammes sont les suivants :



#### Exercice : 6

1-La table de vérité du codeur :

C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0
0	1	0	1	0	0	0	0	0	1
0	1	1	1	0	0	1	0	0	1
1	0	0	1	1	0	0	0	1	1
1	0	1	1	1	0	1	0	1	1
1	1	0	1	1	1	0	1	1	1
1	1	1	0	0	0	0	0	0	0

2- On effectue la simplification des expressions logiques de a, b, c, d, e, f et g avec la table de Karnaugh.

BA	00	01	11	10
C 0	0	0	1	1
C 1	1	1	0	1

$$a = g = \overline{B} \cdot C + B \cdot \overline{C} + \overline{A} \cdot B$$

BA	00	01	11	10
C 0	0	0	0	0
C 1	1	1	0	1

$$b = f = \overline{B} \cdot C + \overline{A} \cdot C$$

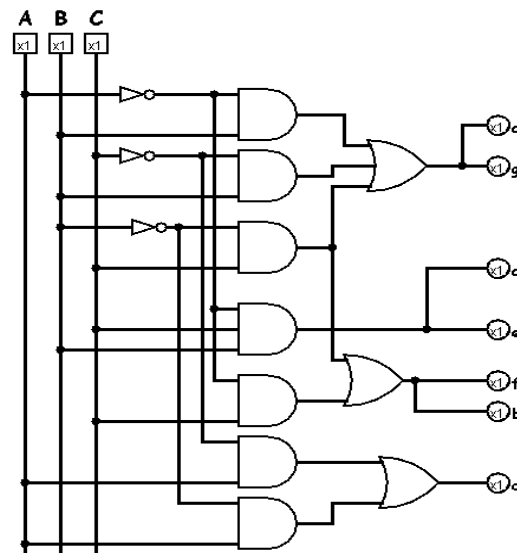
BA	00	01	11	10
C 0	0	0	0	0
C 1	0	0	0	1

$$c = e = \overline{A} \cdot B \cdot C$$

BA	00	01	11	10
C 0	0	1	1	0
C 1	0	1	0	0

$$d = A \cdot \overline{C} + A \cdot \overline{B}$$

3-Le logigramme est le suivant :



### Exercice : 7

1- La table de vérité d'un comparateur de deux nombres binaires  $x_i$  et  $y_i$  à 1 bit est la suivante :

$X_i$	$Y_i$	$S_i$	$I_i$	$E_i$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

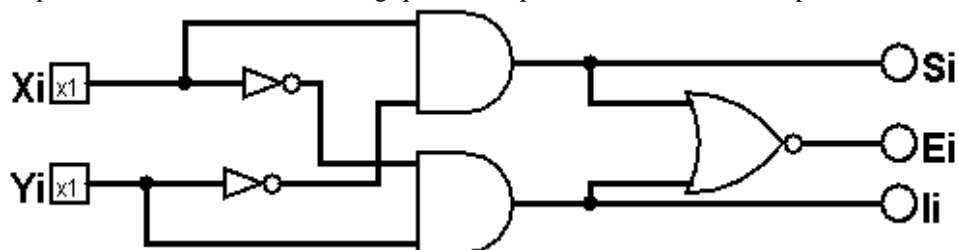
Les expressions logiques des sorties du comparateur en fonction des entrées  $x_i$  et  $y_i$  sont :

$$S_i = X_i \cdot \overline{Y_i}$$

$$I_i = \overline{X_i} \cdot Y_i$$

$$E_i = \overline{X_i \cdot \overline{Y_i} + \overline{X_i} \cdot Y_i} = \overline{X_i \cdot \overline{Y_i}} \cdot \overline{\overline{X_i} \cdot Y_i} = \overline{X_i} \oplus \overline{Y_i} = \overline{S_i + I_i}$$

A partir des expressions ci-dessus, le circuit logique du comparateur à 1 bit est donné par le schéma suivant :



2-a- Pour comparer deux nombres binaires à 3 bits  $X=x_2x_1x_0$  et  $Y=y_2y_1y_0$ , il faut comparer bit par bit, en commençant par les bits de poids le plus fort, s'ils sont égaux on passe aux bits de poids immédiatement inférieur et ainsi de suite.

-  $X > Y$  si :

$$x_2 > y_2 \text{ ( } S_2 = 1 \text{ )}$$

$$\text{ou } x_2 = y_2 \text{ ( } E_2 = 1 \text{ ) et } x_1 > y_1 \text{ ( } S_1 = 1 \text{ )}$$

$$\text{ou } x_2 = y_2 \text{ ( } E_2 = 1 \text{ ) et } x_1 = y_1 \text{ ( } E_1 = 1 \text{ ) et } x_0 > y_0 \text{ ( } S_0 = 1 \text{ )}$$

$$\text{d'où : } S = S_2 + E_2 \cdot S_1 + E_2 \cdot E_1 \cdot S_0$$

-  $X < Y$  si :

$$x_2 < y_2 \text{ ( } I_2 = 1 \text{ )}$$

$$\text{ou } x_2 = y_2 \text{ ( } E_2 = 1 \text{ ) et } x_1 < y_1 \text{ ( } I_1 = 1 \text{ )}$$

$$\text{ou } x_2 = y_2 \text{ ( } E_2 = 1 \text{ ) et } x_1 = y_1 \text{ ( } E_1 = 1 \text{ ) et } x_0 < y_0 \text{ ( } I_0 = 1 \text{ )}$$

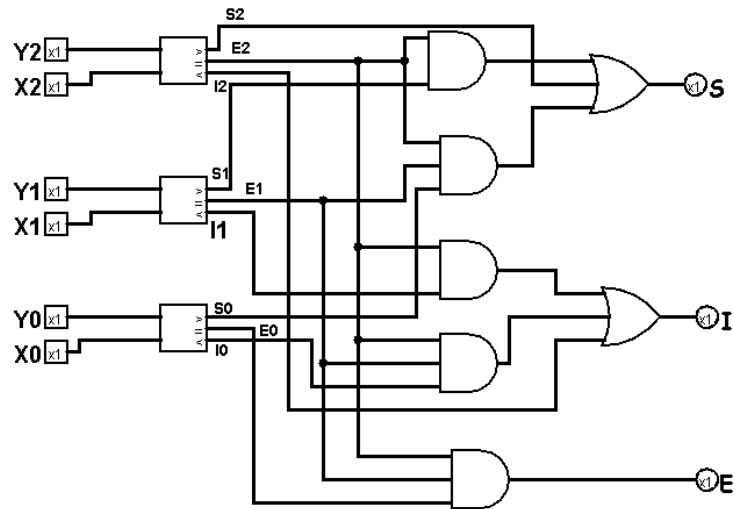
$$\text{d'où : } I = I_2 + E_2 \cdot I_1 + E_2 \cdot E_1 \cdot I_0$$

-  $X = Y$  si :

$$x_2 = y_2 \text{ ( } E_2 = 1 \text{ ) et } x_1 = y_1 \text{ ( } E_1 = 1 \text{ ) et } x_0 = y_0 \text{ ( } E_0 = 1 \text{ )}$$

d'où :  $E = E_2.E_1.E_0$

b- Le schéma interne du comparateur à 3 bits est donné par le schéma suivant :



3- a- La table de vérité du transcodage est le suivant :

Entrées			Sorties						
S	I	E	a	b	c	d	e	f	g
0	0	0	x	x	x	x	x	x	x
0	0	1	1	0	0	1	1	1	1
0	1	0	0	0	0	0	1	1	0
0	1	1	x	x	x	x	x	x	x
1	0	0	1	0	1	1	0	1	1
1	0	1	x	x	x	x	x	x	x
1	1	0	x	x	x	x	x	x	x
1	1	1	x	x	x	x	x	x	x

Les expressions de a, b, c, d, e, f, g en fonction de S, I, E se déduisent de la table de transcodage comme suit :

S	IE			
	00	01	11	10
0	x	1	x	0
1	1	x	x	x

$$a = d = g = S + E \quad \text{ou}$$

S	IE			
	00	01	11	10
0	x	1	x	0
1	1	x	x	x

$$a = d = g = \bar{I} \quad b = 0$$

S	IE			
	00	01	11	10
0	x	0	x	0
1	1	x	x	x

$$c = S$$

S	IE			
	00	01	11	10
0	x	1	x	1
1	0	x	x	x

$$e = I + E \quad \text{ou}$$

S	IE			
	00	01	11	10
0	x	1	x	1
1	0	x	x	x

$$e = \bar{S}$$

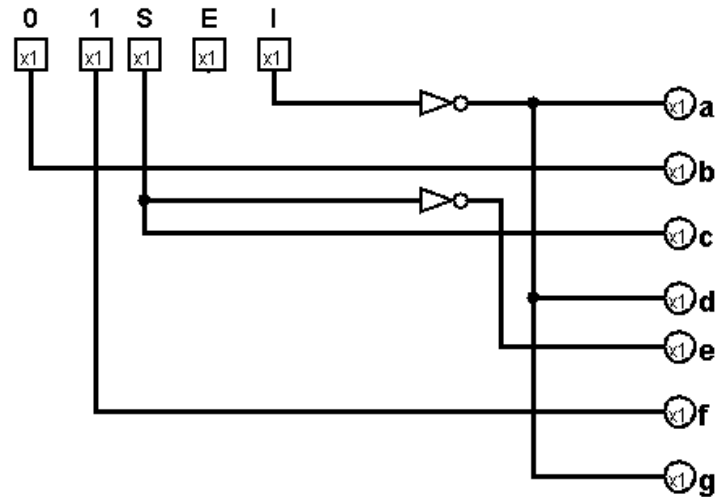
S	IE			
	00	01	11	10
0	x	1	x	1
1	1	x	x	x

$$f = S + I + E$$

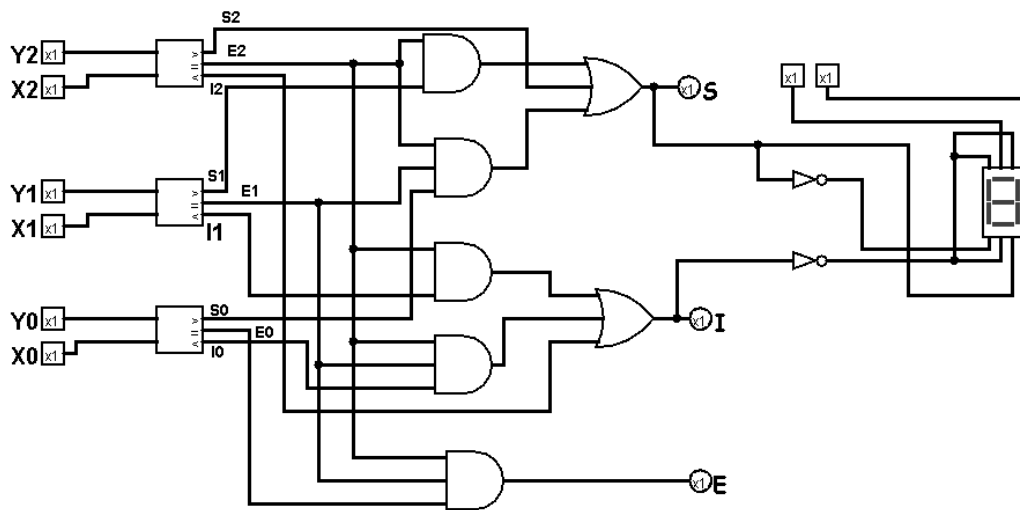
S	IE			
	00	01	11	10
0	x	1	x	1
1	1	x	x	x

$$\text{ou} \quad f = 1$$

c- Le schéma interne du transcodeur est :



Ci-dessous le schéma complet comparateur (S, I, E), transcodeur, et afficheur 7 segments,



### Exercice : 8

1) table de vérité traduisant le fonctionnement,

Binaire Pur			Binaire réfléchi (Gray)		
B2	B1	B0	G2	G1	G0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

2) Tableaux de Karnaugh des sorties : G2, G1 et G0,

G2		B1 B0			
		00	01	11	10
B2	0	0	0	0	0
	1	1	1	1	1

$$G_2 = B_2$$

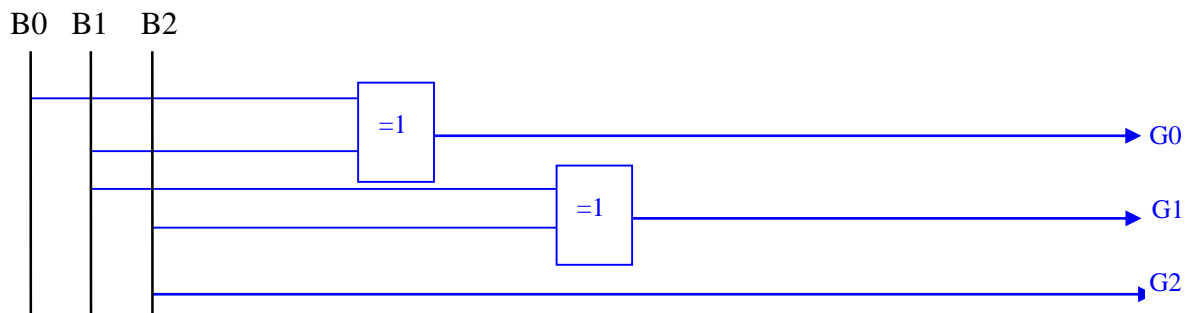
<div>G1</div>		B1		B0	
		00	01	11	10
B2	0	0	0	1	1
	1	1	1	0	0

$$G_1 = B_1 \oplus B_2$$

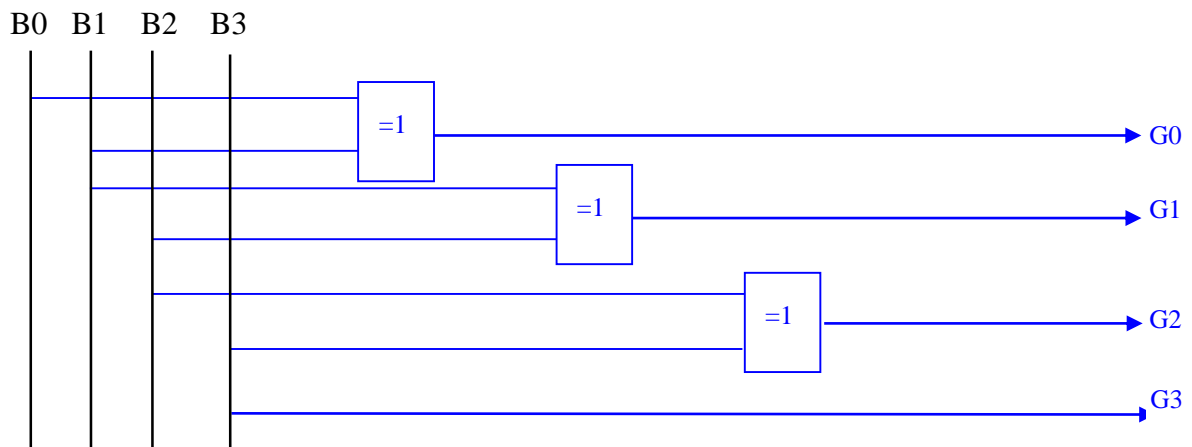
		B1 B0			
		00	01	11	10
B2	0	0	1	0	1
	1	0	1	0	1

$$G_0 = B_0 \oplus B_1$$

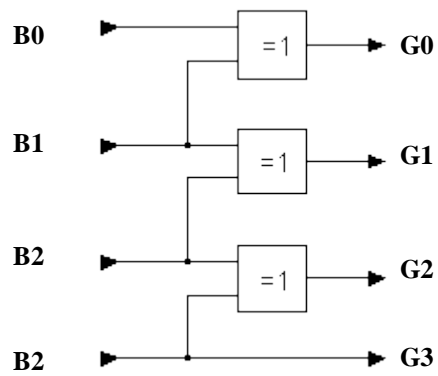
3) Le logigramme avec uniquement des portes "XOR" à deux entrées,



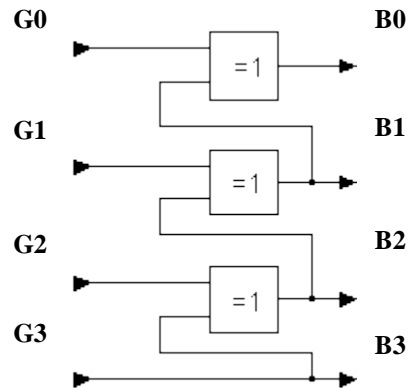
4) Nous pouvons remarquer que le passage du binaire pur au code Gray se fait en effectuant une opération OU Exclusif. Le circuit du transcodeur est très simple. En désignant par  $B_n$  ( $B_0 = \text{LSB}$ ) un bit quelconque en code binaire pur et par  $G_n$  le bit recherché en code Gray, nous avons alors :  $G_n = B_n \oplus B_{n+1}$ . A partir de cette formule, il est tout à fait possible de concevoir sans difficulté le circuit représenté ci-dessous.



Remarque : Nous voyons apparaître une structure répétitive qui permet d'étendre à n bits ce système de transcodage.



5) Pour la conversion du code Gray en code binaire la relation suivante s'apparente à l'équation vue pour le convertisseur inverse.  $B_n = G_n \oplus B_{n+1}$ . Là encore les fonctions OU Exclusif sont de mise pour la réalisation du circuit de transcodage.



Les circuits représentés ci-dessus peuvent être étendus au nombre de bit nécessaires ou souhaités.



**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 5**

**Exercice 1**

Après avoir rappelé les tables de vérité des bascules D et JK synchronisées sur front montant (figure 1 et 2), donnez les chronogrammes des sorties **Q** de chacune des bascules câblées ci-dessous en fonction d'une entrée d'horloge **H**.

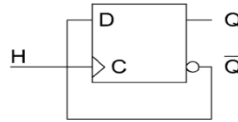


Figure 1

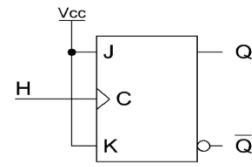
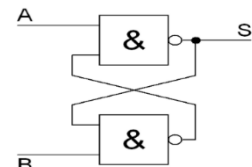


Figure 2

**Exercice 2**

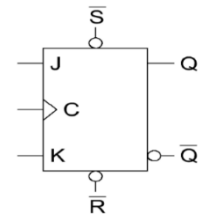
1. Donnez la table de vérité du montage ci-dessous :
2. Quelle fonction reconnaissez-vous ?



**Exercice 3**

On dispose de bascules JK synchronisées sur front montant. Chaque bascule possède des entrées asynchrones prioritaires actives à l'état bas : **set (S)** et **reset (R)**.

1. Réalisez un compteur asynchrone modulo 16.
2. Modifiez le montage pour en faire un compteur asynchrone modulo 12.
3. En partant de zéro, tracez son chronogramme sur un cycle complet.
4. Ajoutez un interrupteur automatique de remise à zéro à l'allumage.
5. Ajoutez un interrupteur manuel de remise à zéro.
6. Que suffit-il de faire pour remplacer les bascules JK par des bascules D ?



**Exercice 4**

On désire réaliser un compteur/décompteur asynchrone modulo 10 avec une possibilité de chargement parallèle du nombre  $N = dcba$  ( $0 \leq N \leq 9$ ).

Ce compteur/décompteur comportera deux entrées de commande **X** et **Y**.

**X = 0** : Chargement parallèle (**Chg //**) de  $N$  (quel que soit **Y**). **X = 1** :

Compteur (Cpt) si **Y = 0** et décompteur (Décpt) si **Y = 1**.

Vous avez à votre disposition quatre bascules JK et toutes les portes logiques nécessaires. Les bascules sont synchronisées sur front descendant et possèdent des entrées de forçage (**set (S)** et **reset (R)**) actives à l'état bas.

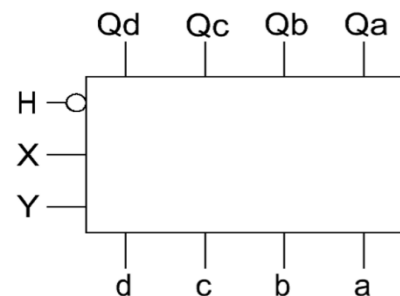
1. Dessinez le schéma de connexion des bascules, de façon à obtenir un compteur si **Y = 0** et un décompteur si **Y = 1** (sans tenir compte du modulo pour l'instant).
2. Quelles valeurs sur la sortie (du compteur et du décompteur) doit-on détecter pour réaliser le modulo 10.

Pour la suite, on posera :  $M = Q_b \cdot Q_d$

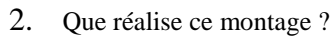
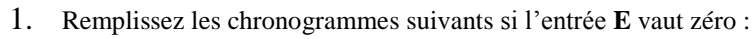
3. Complétez la table de vérité ci-dessous pour les entrées **set** et **reset** des quatre bascules en fonction de **X** et de **Y**.

	X	Y	$\bar{R}_a$	$\bar{S}_a$	$\bar{R}_b$	$\bar{S}_b$	$\bar{R}_c$	$\bar{S}_c$	$\bar{R}_d$	$\bar{S}_d$
Chg //	0	x								
Cpt	1	0								
Décpt	1	1								

4. En déduire les équations de chacune des entrées **set** et **reset**.



Soit le montage ci-dessous :



1. Donner la table des transitions d'une bascule JK.

2. En déduire la table exprimant les valeurs de J et K pour obtenir les transitions souhaitées.

3. Donnez les équations des entrées  $\mathbf{J}_0$ ,  $\mathbf{K}_0$ ,  $\mathbf{J}_1$ ,  $\mathbf{K}_1$ ,  $\mathbf{J}_2$  et  $\mathbf{K}_2$ .

4. Dessinez le schéma de câblage.

5. Donner la table exprimant les valeurs de J et K pour obtenir les transitions souhaitées.

6. Donnez les équations des entrées  $\mathbf{J}_0$ ,  $\mathbf{K}_0$ ,  $\mathbf{J}_1$ ,  $\mathbf{K}_1$ ,  $\mathbf{J}_2$  et  $\mathbf{K}_2$ .

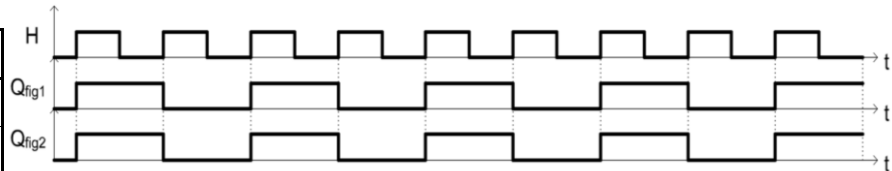
**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 5 (corrigé)**

**Exercice 1**

**Bascule D**

H	D	Q	$\bar{Q}$
$\uparrow$	0	0	1
$\uparrow$	1	1	0



**Bascule JK**

H	J	K	Q	$\bar{Q}$
$\uparrow$	0	0	q	$\bar{q}$
$\uparrow$	0	1	0	1
$\uparrow$	1	0	1	0
$\uparrow$	1	1	$\bar{q}$	q

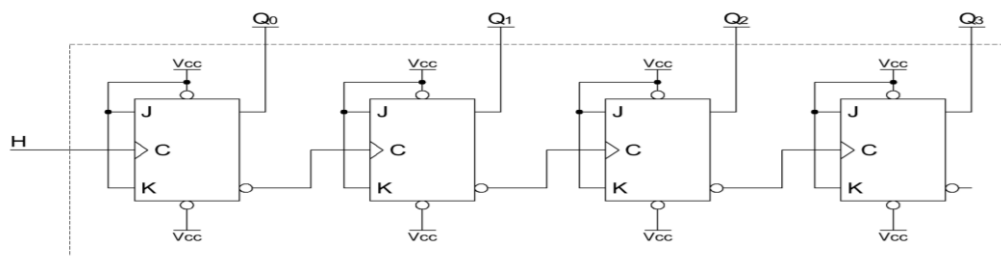
**Exercice 2**

On reconnaît la table de vérité d'une bascule  $\overline{RS}$  avec :  $A = \bar{S}$  et  $B = \bar{R}$ .

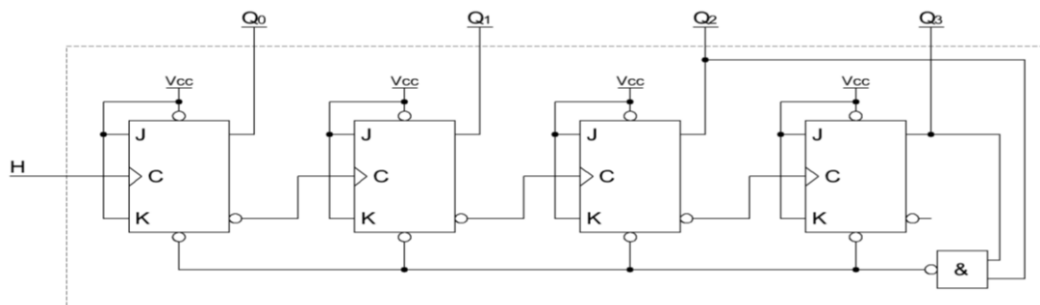
A	B	S
0	0	1
0	1	1
1	0	0
1	1	S

**Exercice 3**

1. Compteur asynchrone modulo 16.



2. Compteur asynchrone modulo 12.



Il faut effectuer un *reset* dès que le compteur atteint la valeur 12. Lorsque  $Q_2$  et  $Q_3$  passent à 1 (détection du 12), la porte NON-ET applique un 0 sur les entrées *reset* (actives à l'état bas). Le compteur repart alors aussitôt à partir de 0.

3. En partant de zéro, les chronogrammes sur un cycle complet sont les suivants :



La cellule de base d'un compteur asynchrone est un diviseur de fréquence par deux. Il suffit donc de remplacer les bascules JK par des bascules D câblées en diviseur de fréquence par deux. C'est-à-dire de remplacer le câblage de la **figure 1** par le câblage de la **figure 2** ci-dessous:

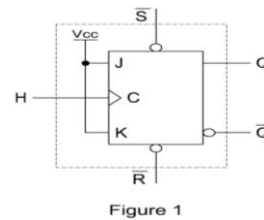


Figure 1

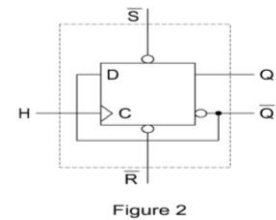
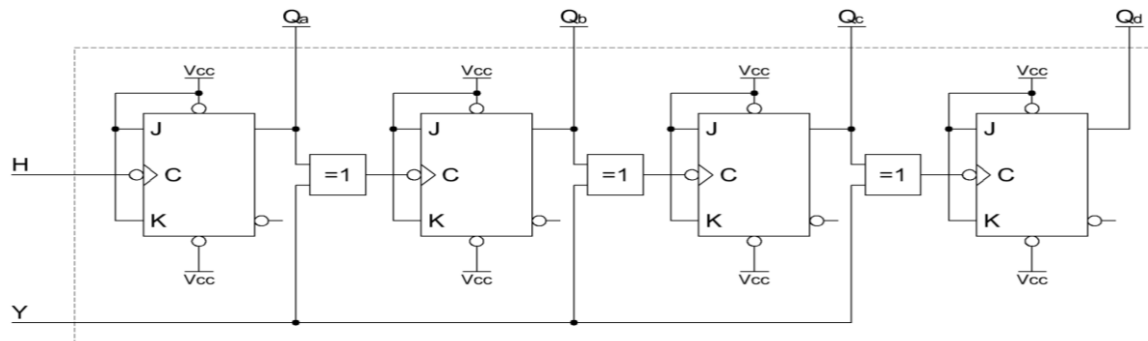


Figure 2

### Exercice 4

- Le schéma de connexion des bascules, de façon à obtenir un compteur si  $Y = 0$  et un décompteur si  $Y = 1$  est le suivant :



Si un 0 est présent sur l'entrée d'un OU exclusif, ce dernier se comporte comme un suiveur par rapport à son autre entrée. Si c'est un 1 qui est présent, il se comporte comme un inverseur. Ainsi, quand  $Y = 0$ , ce sont les sorties  $Q$  qui sont reliées aux entrées d'horloge de chaque bascule : on obtient un compteur. Par contre, quand  $Y = 1$ , les sorties  $Q$  sont complémentées avant d'être reliées à l'entrée d'horloge de la bascule qui suit : on obtient un décompteur.

- Quelles valeurs sur la sortie (du compteur et du décompteur) doit-on détecter pour réaliser le modulo 10.

- Compteur** : il faut détecter la valeur **10** et forcer la valeur **0**.
- Décompteur** : il faut détecter la valeur **15** et forcer la valeur **9**.

Détecter la valeur 10 pour le compteur revient à tester  $Q_b$  et  $Q_d$  puisque dans le cycle d'un compteur modulo 10 (de 0 à 9),  $Q_b$  et  $Q_d$  ne sont jamais à 1 en même temps. Leur premier passage à 1 se fera donc obligatoirement sur la valeur 10.

Détecter la valeur 15 pour le décompteur revient à tester  $Q_b$  et  $Q_d$  puisque dans le cycle d'un décompteur modulo 10 (de 9 à 0),  $Q_b$  et  $Q_d$  ne sont jamais à 1 en même temps. Leur premier passage à 1 se fera donc obligatoirement sur la valeur 15.

On a donc, dans les deux cas, aussi bien pour le compteur que pour le décompteur, une détection de la valeur servant à imposer l'état suivant qui se fera sur les sorties  $Q_b$  et  $Q_d$ .

**Pour la suite, on posera :  $M = Q_b \cdot Q_d$**

Lorsqu'une valeur à détecter est atteinte :  $Q_b$  et  $Q_d$  sont à 1 et  $M$  passe à 0. Le reste du temps  $M$  est à 1.

- Ci-dessous la table de vérité pour les entrées *set* et *reset* des quatre bascules en fonction de  $X$  et de  $Y$ .

	X	Y	$\bar{R}_a$	$\bar{S}_a$	$\bar{R}_b$	$\bar{S}_b$	$\bar{R}_c$	$\bar{S}_c$	$\bar{R}_d$	$\bar{S}_d$
Chg //	0	x	a	$\bar{a}$	b	$\bar{b}$	c	$\bar{c}$	d	$\bar{d}$
Cpt	1	0	M	1	M	1	M	1	M	1
Décpt	1	1	1	M	M	1	M	1	1	M

Dans chaque case du tableau, il faut préciser quelle valeur doivent prendre les entrées *set* et *reset* des différentes bascules pour chacun des modes de fonctionnement du montage.

- Concernant le chargement parallèle, il faut que la sortie  $Q$  prenne la valeur de l'entrée  $N$  ( $Q_a = a$ ,  $Q_b = b$ ,  $Q_c = c$ ,  $Q_d = d$ ). Par exemple si  $a = 0$ ,  $Q_a$  doit prendre la valeur 0. Il faut donc effectuer un *reset* sur la bascule. Au contraire, si  $a = 1$ , c'est un *set* qui doit être effectué. Ce résultat est obtenu en reliant l'entrée  $\bar{R}_a$  à  $a$  et l'entrée  $\bar{S}_a$  à  $\bar{a}$ .
- Concernant le compteur, un 0 doit être forcé à chaque détection de la valeur 10. Il suffit donc de relier  $M$  sur chaque entrée *reset* et de désactiver les entrées *set*.
- Concernant le décompteur, un 9 doit être forcé à chaque détection de la valeur 15. À l'aide de  $M$ , il faut donc effectuer un *set* sur  $Q_a$  et  $Q_d$  et un *reset* sur  $Q_b$  et  $Q_c$ .

- À partir du tableau précédent, on obtient les équations de chacune des entrées *set* et *reset* :

$$\bar{R}_a = \bar{X} \cdot a + X \cdot \bar{Y} \cdot M + X \cdot Y \cdot 1 = \bar{X} \cdot a + X \cdot (\bar{Y} \cdot M + Y) = \bar{X} \cdot a + X \cdot (M + Y)$$

$$\bar{S}_a = \bar{X} \cdot \bar{a} + X \cdot \bar{Y} \cdot 1 + X \cdot Y \cdot M = \bar{X} \cdot \bar{a} + X \cdot (\bar{Y} + Y \cdot M) = \bar{X} \cdot \bar{a} + X \cdot (\bar{Y} + M)$$

$$\bar{R}_b = \bar{X} \cdot b + X \cdot \bar{Y} \cdot M + X \cdot Y \cdot M = \bar{X} \cdot b + X \cdot (\bar{Y} \cdot M + Y \cdot M) = \bar{X} \cdot b + X \cdot M$$

$$\bar{S}_b = \bar{X} \cdot \bar{b} + X \cdot \bar{Y} \cdot 1 + X \cdot Y \cdot 1 = \bar{X} \cdot \bar{b} + X \cdot (\bar{Y} + Y) = \bar{X} \cdot \bar{b} + X = \bar{b} + X$$

$$\overline{R_c} = \overline{X}.c + X.\overline{Y}.M + X.Y.M = \overline{X}.c + X.(\overline{Y}.M + Y.M) = \overline{X}.c + X.M$$

$$\overline{S_c} = \overline{X}.c + X.\overline{Y}.1 + X.Y.1 = \overline{X}.c + X.(\overline{Y} + Y) = \overline{X}.c + X = \overline{c} + X$$

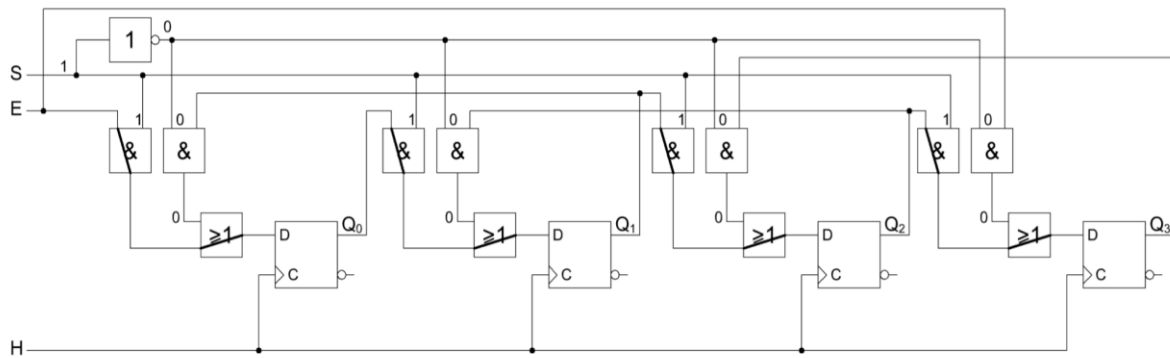
$$\overline{R_d} = \overline{X}.d + X.\overline{Y}.M + X.Y.1 = \overline{X}.d + X.(\overline{Y}.M + Y) = \overline{X}.d + X.(M + Y)$$

$$\overline{S_d} = \overline{X}.d + X.\overline{Y}.1 + X.Y.M = \overline{X}.d + X.(\overline{Y} + Y.M) = \overline{X}.d + X.(\overline{Y} + M)$$

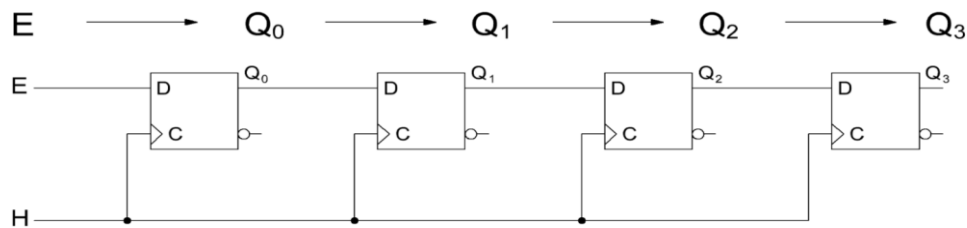
## Exercice 5

1. Le chronogramme suivant si l'entrée **E** vaut zéro :

Dans la première partie du chronogramme, **S** vaut 1. Voyons le comportement qu'adopte le montage dans ce cas de figure et essayons de trouver un montage équivalent simplifié.

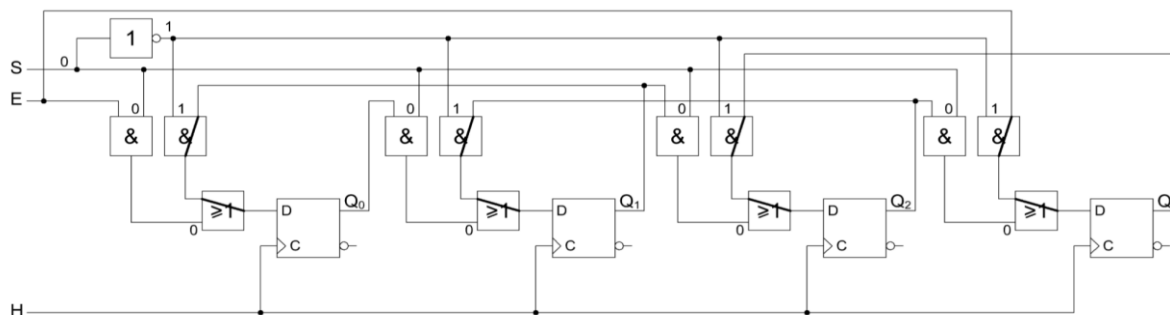


On constate que le 1 de l'entrée **S**, se propage sur un certain nombre de portes ET. Ces dernières peuvent dès lors être remplacées par un fil. L'inverseur, en haut du montage, propage un 0 sur les autres portes ET. Ce 0 est alors recopié sur les entrées des portes OU. Or, un 0 sur l'entrée d'une porte OU, nous permet de la remplacer par un fil. Après simplification, nous obtenons le schéma équivalent suivant :

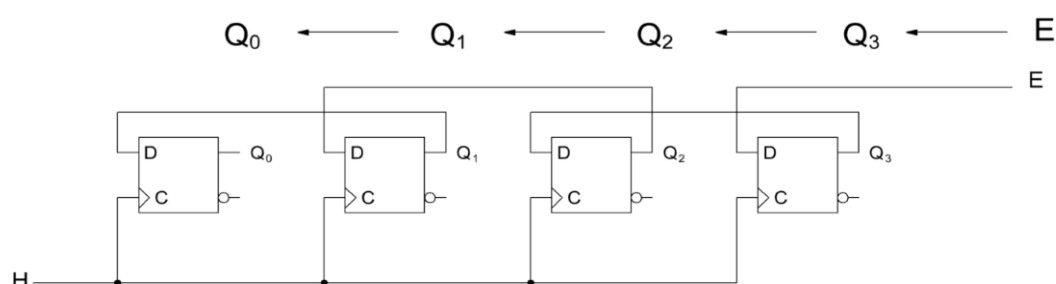


À chaque front d'horloge, **Q** recopie **D**. Chaque sortie est donc recopiée sur la suivante : il s'agit d'un registre à décalage. **Q0** étant le poids faible, le décalage s'effectue vers la gauche. Le nouveau bit entrant dans **Q0** est **E**.

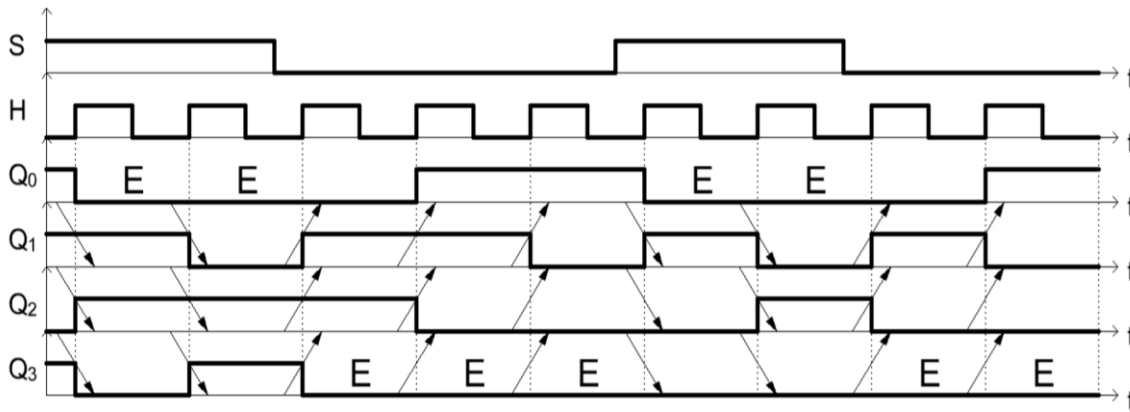
Dans le même esprit, observons ce qui se passe quand **S** vaut 0 :



Et après simplification :



On retrouve de nouveau un registre à décalage, mais qui décale cette fois vers la droite. Il est maintenant facile de remplir le chronogramme sachant qu'il s'agit uniquement de décaler des bits, dans un sens ou dans l'autre.



2. Ce montage est un registre à décalage. Il possède une entrée de commande **S**, permettant la sélection du sens de décalage, et une entrée **E**, permettant de choisir la valeur du bit entrant.

### Exercice 6

	$Q_{(t)}$	$Q_{(t+1)}$	J	K
①▶	0	0	0	x
②▶	0	1	1	x
③▶	1	0	x	1
④▶	1	1	x	0

	C	J	K	Q	
①▶	↑	0	0	q	◀④
①▶	↑	0	1	0	◀③
②▶	↑	1	0	1	◀④
②▶	↑	1	1	$\bar{q}$	◀③

La table des transitions d'une bascule JK se remplit à l'aide de sa table de vérité. Il faut déterminer quelles valeurs étaient présentes sur les entrées **J** et **K** au moment de la transition.

Ligne ① :	Q passe de 0 à 0
	• état mémoire (J=0, K=0)
	• mise à 0 (J=0, K=1)
Ligne ② :	Q passe de 0 à 1
	• état inverseur (J=1, K=1)
	• mise à 1 (J=1, K=0)
Ligne ③ :	Q passe de 1 à 0
	• état inverseur (J=1, K=1)
	• mise à 0 (J=0, K=1)
Ligne ④ :	Q passe de 1 à 1
	• état mémoire (J=0, K=0)
	• mise à 1 (J=1, K=0)

*Dans un premier temps, on désire réaliser un compteur synchrone modulo 7 à l'aide de bascules JK synchronisées sur front montant.*

1. À l'aide de la table des transitions, remplissez le tableau ci-dessous :

	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	x	0	x	1	x
1	0	0	1	0	x	1	x	x	1
2	0	1	0	0	x	x	0	1	x
3	0	1	1	1	x	x	1	x	1
4	1	0	0	x	0	0	x	1	x
5	1	0	1	x	0	1	x	x	1
6	1	1	0	x	1	x	1	0	x

D'après la table des transitions d'une bascule JK, on a  $J_0 = 1$  et  $K_0 = x$  lors d'une transition de 0 à 1 sur  $Q_0$ .

2. Donnez les équations des entrées  $J_0$ ,  $K_0$ ,  $J_1$ ,  $K_1$ ,  $J_2$  et  $K_2$ .

À partir du tableau précédent, on obtient les équations suivantes :

- De façon évidente :
- $K_0 = 1$
- $J_1 = Q_0$
- $K_2 = Q_1$
- À l'aide des tableaux de Karnaugh :

		$Q_1 Q_0$				
		$J_0$	00	01	11	10
$Q_2$	0		1	x	x	1
	1		1	x	x	0

$$J_0 = \overline{Q_1} + \overline{Q_2}$$

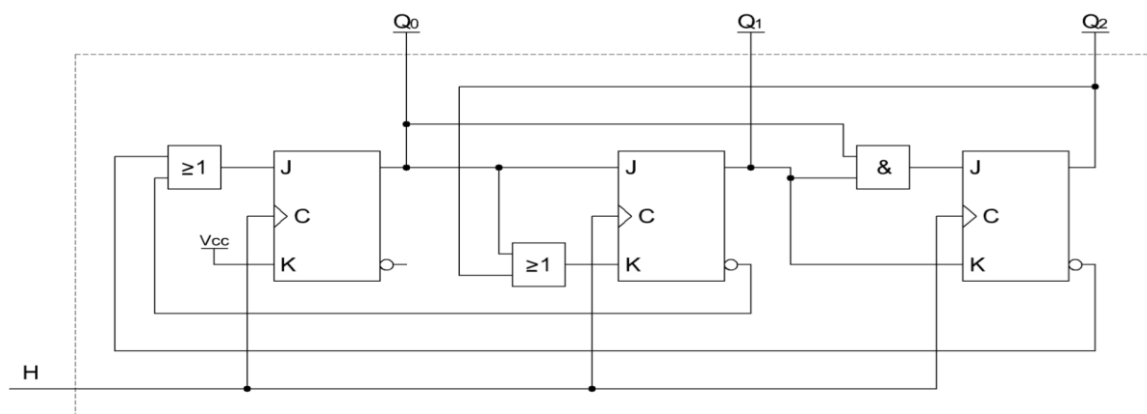
		$Q_1 Q_0$				
		$K_1$	00	01	11	10
$Q_2$	0	x	x	1		0
	1	x	x	x		1

$$K_1 = Q_0 + Q_2$$

		$Q_1 Q_0$				
		$J_2$	00	01	11	10
$Q_2$	0	0	0	1	0	
	1	x	x	x	x	

$$J_2 = Q_0 \cdot Q_1$$

3. Pour le schéma de câblage, pas de difficulté particulière, il suffit de se servir des équations établies précédemment afin d'effectuer les différentes connexions.





On désire maintenant réaliser un compteur synchrone, modulo 8 en code Gray, à l'aide de bascules JK synchronisées sur front descendant.

4. Remplissez le tableau ci-dessous :

$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	x	0	x	1	x
0	0	1	0	x	1	x	x	0
0	1	1	0	x	x	0	x	1
0	1	0	1	x	x	0	0	x
1	1	0	x	0	x	0	1	x
1	1	1	x	0	x	1	x	0
1	0	1	x	0	0	x	x	1
1	0	0	x	1	0	x	0	x

5. Donnez les équations des entrées  $J_0$ ,  $K_0$ ,  $J_1$ ,  $K_1$ ,  $J_2$  et  $K_2$ .

$Q_1 Q_0$

$J_0$	00	01	11	10
$Q_2$ 0	1	x	x	0
1	0	x	x	1

$$J_0 = \overline{Q_1} \cdot \overline{Q_2} + Q_1 \cdot Q_2$$

$Q_1 Q_0$

$K_0$	00	01	11	10
$Q_2$ 0	x	0	1	x
1	x	1	0	x

$$K_0 = \overline{Q_1} \cdot Q_2 + Q_1 \cdot \overline{Q_2}$$

$Q_1 Q_0$

$J_1$	00	01	11	10
$Q_2$ 0	0	1	x	x
1	0	0	x	x

$$J_1 = Q_0 \cdot \overline{Q_2}$$

$Q_1 Q_0$

$K_1$	00	01	11	10
$Q_2$ 0	x	x	0	0
1	x	x	1	0

$$K_1 = Q_0 \cdot Q_2$$

$Q_1 Q_0$

$J_2$	00	01	11	10
$Q_2$ 0	0	0	0	1
1	x	x	x	x

$$J_2 = \overline{Q_0} \cdot Q_1$$

$Q_1 Q_0$

$K_2$	00	01	11	10
$Q_2$ 0	x	x	x	x
1	1	0	0	0

$$K_2 = \overline{Q_0} \cdot \overline{Q_1}$$

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 6**

**Exercice 1**

Un registre n-bits est un circuit séquentiel possédant n entrées  $I_0 \dots I_{n-1}$  et n sorties  $A_0 \dots A_{n-1}$ . Un signal supplémentaire Load, en entrée, détermine le comportement du circuit (pour chaque front d'horloge) (figure 1) :

- si Load = 0, les sorties restent inchangées ;
- si Load = 1, les sorties  $A_i$  deviennent égales aux entrées  $I_i$ .

- 1- Pour un registre 1-bit : écrire l'équation qui exprime l'état de sortie  $A'$  en fonction de l'entrée  $I$ , la sortie de la séquence précédente  $A$  et le signal Load.
- 2- Donner le schéma d'un tel registre.
- 3- Assembler 4 registres 1-bit pour construire un registre 4-bits.
- 4- Un registre à décalage (shift register) est un circuit capable de décaler l'information qu'il contient d'un bit vers la gauche ou vers la droite ; il est alimenté par une entrée SI (Serial Input) et possède une seule sortie SO (Serial Output). Assembler 4 bistables D pour construire un registre à décalage 4-bits.

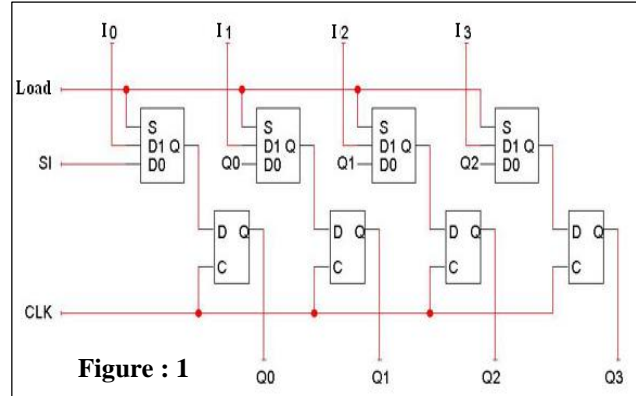


Figure : 1

- 5- On considère le circuit de la figure 2 : Les rectangles du haut sont des multiplexeurs 2x1 : si l'adresse  $S$  vaut 0 (respectivement 1), alors  $Q = D0$  (respectivement  $D1$ ). Donner selon la valeur de l'entrée Load les sorties  $Q_i$ .

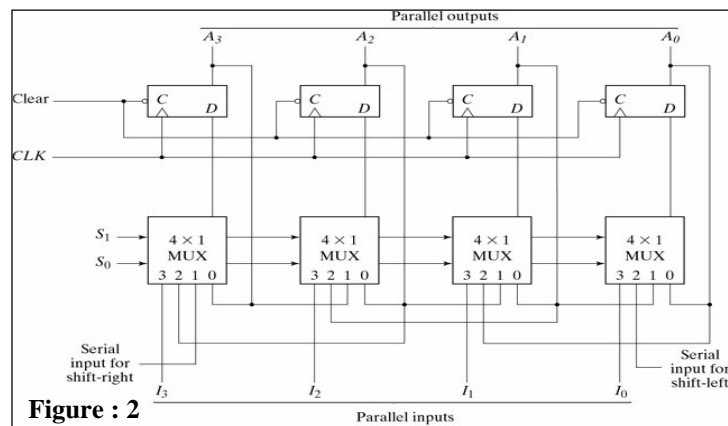


Figure : 2

- 6- On considère le circuit suivant :
  - a. Expliquer le fonctionnement du multiplexeur 4X1 puis donner ses sorties en fonction des différentes combinaisons  $S_1S_0$ .
  - b. Expliquer le fonctionnement du montage ci-dessus.
  - c. De quel type de montage s'agit-il ?

**Exercice 2**

Indiquer la fréquence aux points A et B de la figure 3 si la fréquence de l'horloge est de 120 kHz sachant que: ( $J_A=K_A=J_B=K_B=J_C=K_C=1$ ,  $J_D=K_D=K_E=K_F=1$ ).

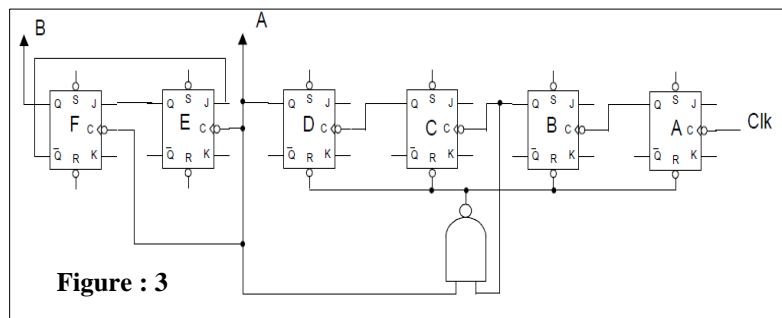


Figure : 3

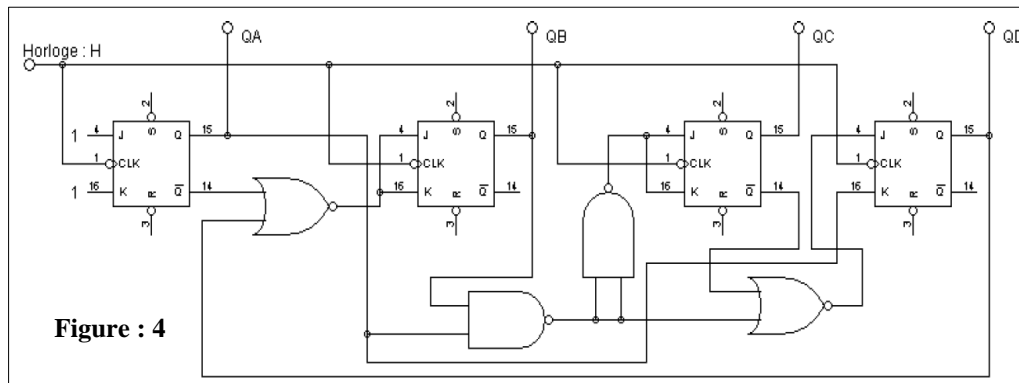
**Exercice 3**

Câblez des bascules JK afin de réaliser un décompteur asynchrone modulo 13. Les bascules sont synchronisées sur fronts montants. Elles possèdent des entrées set et reset actives à l'état bas. Vous disposez de toutes les portes logiques nécessaires.

### Exercice 4

Soit le circuit de la figure 4 :

1. Déterminer les équations des entrées J et K des bascules.
2. On suppose que le compteur part de l'état QAQBQCQD = 0000. Tracez les chronogrammes de l'horloge H et des sorties QA, QB, QC et QD.
3. Déterminez le modulo de ce compteur.



### Exercice 5

Utiliser les bascules D pour réaliser un compteur synchrone modulo 8.

**TRAVAUX DIRIGES d'électronique numérique SMP6**

**Série n° 6**

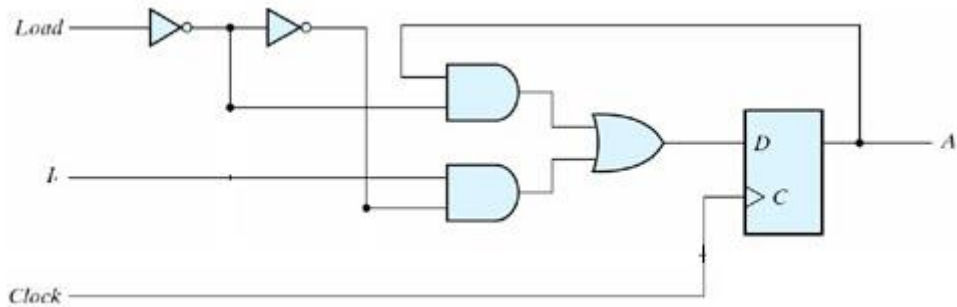
**Exercice 1**

1- La table de vérité est :

$$A' = Load.I + \overline{Load}.A$$

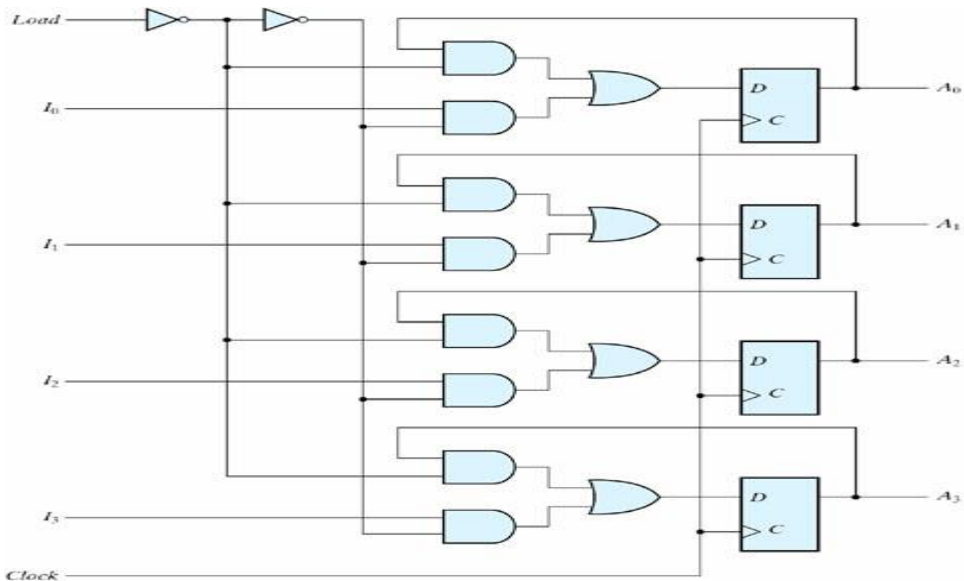
2- Le schéma d'un tel registre est le suivant :

Load	I	A'
0	x	A
1	0	1
1	1	1

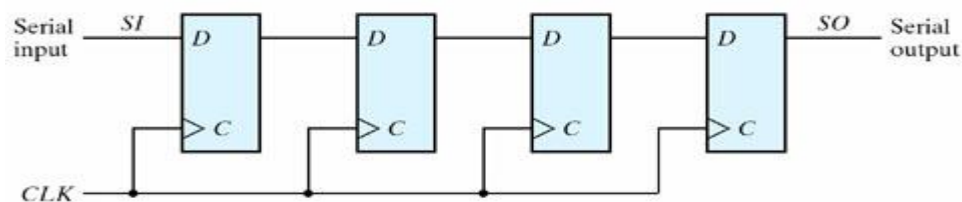


Il suffit de placer quatre registres 1-bit en parallèle, et de connecter l'entrée Load du registre 4-bits aux quatre entrées correspondantes des registres 1-bit. Le double inverseur sur le fil Load est un truc d'électronicien (il paraît qu'un inverseur a aussi le mérite d'amplifier le signal).

3- Il suffit d'assembler 4 registres 1-bit pour construire un registre 4-bits.



4- Il faut disposer les bistables D en série, on dit aussi en cascade :



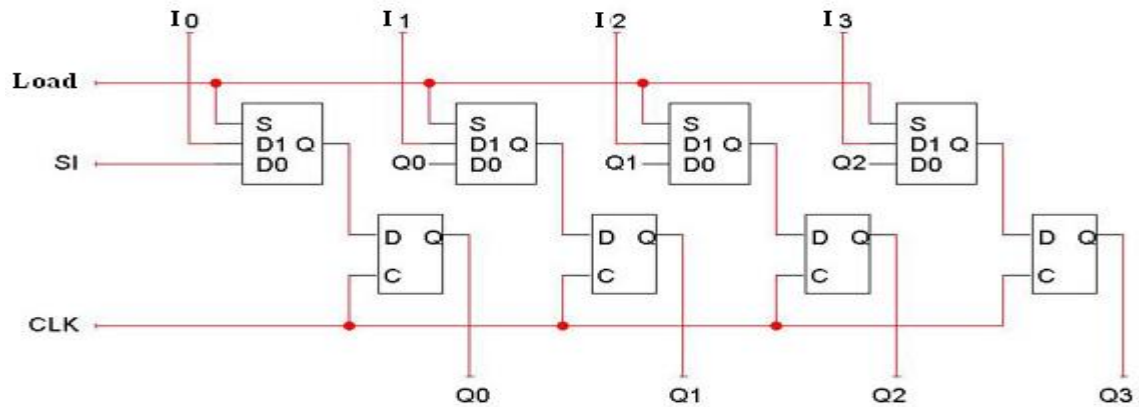
5- En appelant de gauche à droite  $Q_0, Q_1, Q_2, Q_3$  les sorties de ces bistables (on a donc par définition  $SO = Q_3$ ), les nouvelles valeurs après le front d'horloge sont données par:

$$Q_0' = SI, Q_1' = Q_0, Q_2' = Q_1, Q_3' = SO' = Q_2$$

Lorsque Load = 0, le circuit fonctionne comme un registre à décalage (voir formules ci-dessus); lorsque Load = 1, le circuit fonctionne comme un registre ordinaire (chargement parallèle) :

$$Q_0' = I_0, Q_1' = I_1, Q_2' = I_2, Q_3' = I_3$$

Les rectangles du haut sont des multiplexeurs 2x1 : si l'adresse  $S$  vaut 0 (respectivement 1), alors  $Q = D_0$  (respectivement  $D_1$ ). Attention, ne pas confondre la numérotation des signaux à l'intérieur et à l'extérieur du multiplexeur : par exemple le signal externe  $I_0$  est connecté à l'entrée  $D_1$  du multiplexeur de gauche.



6- Fonctionnement selon la valeur de  $S$  :

- a et b-**  $S_1S_0 = 00$  : registre inchangé ( $A'_i = A_i$  pour  $i = 3, 2, 1, 0$ ) ;  
 $S_1S_0 = 01$  : décalage vers la droite ( $A'_3 = SIR$ ,  $A'_2 = A_3$ ,  $A'_1 = A_2$ ,  $A'_0 = A_1$ ), la ligne  $A_0$  sert de sortie série — *SIR* est une abréviation pour *Serial input for shift-right* ;  
 $S_1S_0 = 10$  : décalage vers la gauche ( $A'_3 = A_2$ ,  $A'_2 = A_1$ ,  $A'_1 = A_0$ ,  $A'_0 = SIL$ ), la ligne  $A_3$  sert de sortie série — *SIL* est une abréviation pour *Serial input for shift-left* ;  
 $S_1S_0 = 11$  : chargement parallèle ( $A'_i = I_i$  pour  $i = 3, 2, 1, 0$ ).  
**c-** Il s'agit d'un registre universel.

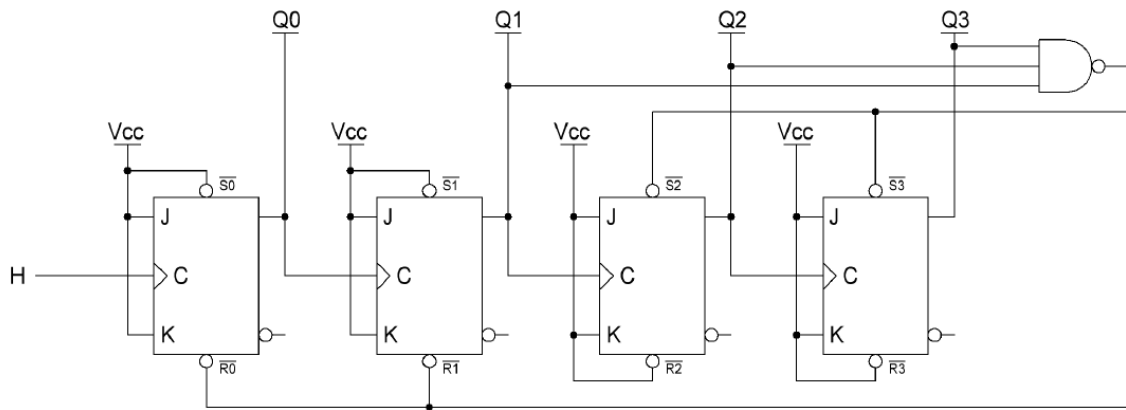
## Exercice 2

Le compteur formé par les bascules A, B, C et D est un compteur asynchrone modulo 10 (la remise à zéro se fait par  $Q_D$  et  $Q_B$  ce qui correspond à  $(10)_{10} = (1010)_2$ ). Donc, en A, on a un diviseur de fréquence par 10 et :  $f_A = 120 \text{ kHz} / 10 = 12 \text{ kHz}$ .

Le compteur formé par les bascules E et F est un compteur synchrone modulo 3 et  $f_B = f_A / 3 = 4 \text{ kHz}$ .

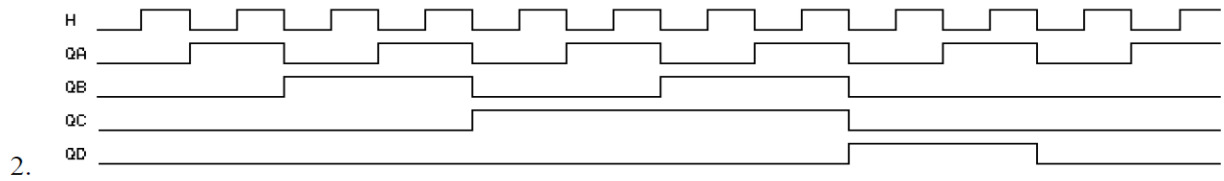
## Exercice 3

Il faut détecter la valeur 15 ( $Q_1, Q_2$  et  $Q_3$  suffisent) et forcer la valeur 12 ( $Q_0 = Q_1 = 0, Q_2 = Q_3 = 1$ ).



### Exercice 4

$$1. J_A = K_A = 1 \quad J_B = K_B = \overline{Q_A} + Q_D \quad J_C = K_C = Q_A Q_B \quad J_D = \overline{Q_A} \overline{Q_B} + Q_C \quad K_D = Q_A$$



3. Le chronogramme montre que le modulo de ce compteur est 10.

### Exercice 5

Table d'excitation (avec bascules D)

	Sorties présentes			Fonctions d'excitation		
Etat	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

Expressions simplifiées des fonctions d'excitation

D0		Q1, Q0			
		00	01	11	10
Q2	0	1	0	0	1
	1	1	0	0	1

$$D0 = \overline{Q0}$$

$$D1 = Q1 \oplus Q0$$

$$D2 = Q2 \oplus (Q1 \cdot Q0)$$

D2		Q1, Q0			
		00	01	11	10
Q2	0	0	0	1	0
	1	1	1	0	1

D1		Q1, Q0			
		00	01	11	10
Q2	0	0	1	0	1
	1	0	1	0	1

Câblage du compteur

