



به نام خدا

VHDL

پروژه پایانی

طراحی کمک پردازنده

توضیح تمرین

مداری را طراحی کنید که ضرب دو ماتریس 3×3 را به صورت ستون به ستون درایه به درایه انجام دهد و نتایج را با هم جمع کند (طبق شکل زیر) نهایتاً یک مقدار بدست آورده و آن را در یک رجیستر ذخیره کند. این سخت افزار را برای ماتریس 3×3 بسازید.

↓	255	200	100
	5	46	180
	100	200	300

1	0	-1
1	0	-1
1	0	-1

$$255*1 + 5*1 + 100*1 + 0*200 + 0*46 + 0*200 + 100*-1 + -1*180 + -1*300 = -220$$

شکل ۱ ترتیب اعمال ضرب و جمع ها

مدار مربوط به این ضرب شامل ۳ واحد اصلی می باشد که شامل : واحد register ها که خود شامل رجیسترهای داده (دو آرایه از نوع integer به ابعاد 3×3) و رجیسترهای دستورات (آرایه دوبعدی از نوع std_logic_vector(15 downto 0) به تعداد ۱۵ درایه) است. بخش رجیسترهای داده خود شامل دو آرایه 3×3 است که همین اعداد شکل بالا به صورت integer در آنها ذخیره شده اند و بخش رجیسترهای دستور یک آرایه از آرایه های ۱۶ بیتی از نوع std_logic_vector می باشد. اعداد درون این رجیسترها نشانگر دستورات می باشد. دستورات به ترتیب در جدول زیر تعریف شده است که می توانید از کد هگزاسیمال آن استفاده کنید. رجیستر دستورات و اعداد را بعد از تعریف به صورت دستی مقدار دهید. برای مقدار دهی رجیستر دستورات دستور اول load و بعد دستور mul/add به همین صورت یکی در میان دستور load و mul/add گذاشته می شود تا دستور ۱۰ ام که دستور store است. زمانی که کنترلر این دستور را دید باید نتیجه را از واحد پردازش گرفته در یک رجیستر در واحد رجیستر ذخیره کند. همچنین کنترلر هنگامی که دستورات load را خواند باید به ترتیب گفته شده در شکل ۱ مقادیر را دانه به دانه خوانده و باهم ضرب کند و با نتیجه قبلی جمع کند. در نهایت با دستور store نتیجه آخر را ذخیره کند.

نام دستور	کد دستور
load	X(0001)
Mul/add	X(0002)
store	X(0003)

معماری مدار خواسته شده به شکل زیر می باشد. در این مدار نیاز به یک واحد پردازشگر دارید که بسته به دستورات بالا و نیاز خواسته شده شما باید داخل این مدار را تشخیص داده و ماژول های مناسب آن را بسازید. همچنین مدار کنترلی لازم دارید که با استفاده از آن داده ها را از رجیسترها واکشی کرده و براساس دستور fetch و decode شده باید اعمال لازم بر روی آن ها انجام شود. به عنوان مثال دستور اول را واکشی کرده بعد از دیکد کردن متوجه می شود دستور load است پس باید آدرس لازم برای خواندن داده ها از رجیسترهای داده را بر روی پورت آدرس رجیستر گذاشته تا آن داده ها به واحد پردازش برود و با خواندن دستور بعد و دیکد کردن آن متوجه می شود دستور ضرب و جمع است پس باید داده های قبلی را در واحد پردازشی ضرب و با نتیجه قبلی جمع نماید. پس باید سیگنال کنترلی لازم برای این اعمال را به واحد پردازشی بفرستد. برای طراحی واحد کنترلی باید از ماشین حالت استفاده شود. کلیه این مدارات با کلاک همگام می شوند و با سیگنال reset به صورت ناهمگام reset می شوند. توجه داشته باشید شکل زیر به هیچ وجه کامل نیست و شناسایی مدارات لازم داخل ماژولهای اصلی و سیگنال های کنترلی بر عهده خود شما می باشد.

*تاریخ تحویل پروژه:

- ۱۴۰۱/۰۳/۱۰ تحویل مستندات تا ساعت ۱۱ شب
- تحویل پروژه ۱۴۰۱/۰۳/۱۲ از ساعت ۳ بعد از ظهر
- سوالات و تحویل از همه ی اعضای گروه پرسیده می شود.

*نام گذاری فایل های تحویلی باید به

صورت زیر باشد

شماره #assignment شماره دانشجویی_VHDL4002 تمرین

