

امیرعلی شیخی ۴۰۱۱۰۶۱۵۸

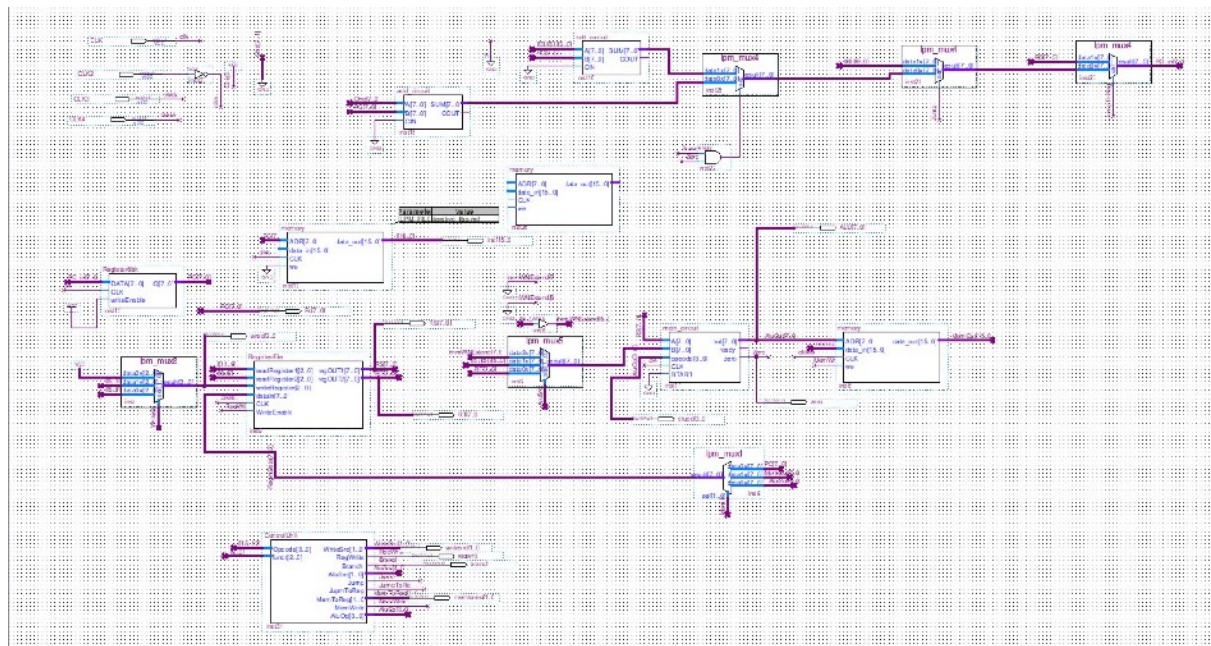
مهرشاد دهقانی ۴۰۱۱۰۵۹۱۲

گزارش کار

تمرین عملی پنجم معماری کامپیوتر

در این تمرین به طراحی مسیر داده و واحد کنترلی پردازنده mips به صورت کامل پرداختیم.

ابتدا تصویر مدار مسیر داده را نگاه می کنیم:



Data Path

اگر در تصویر بالا دقت کنیم متوجه می شویم که خیلی شبیه دیتاپس موجود در اسلاید ها است با چند تفاوت کوچک: یک ماکس برای هندل کردن دستور jr به بعد از ماکس مربوط به جامپ اضافه شده ، ماکس قبل از ALU از دو به یک تغییر یافته به ماکس سه به یک تا هر دو نوع immediate ساین اکستند شده و بدون ساین اکستند را داشته باشیم ، ماکس دو به یک قبل از رجیستر فایل به ماکس سه به یک تغییر یافته تا عدد ۷ را نیز بتوان به آن ورودی داد (برای دستور jal) ، ماکس دو به یک بین مموری و رجیستر فایل به ماکس سه به یک تغییر کرده تا بتوان مقدار pc را نیز به رجیسترفایل ورودی داد (برای دستور jal).

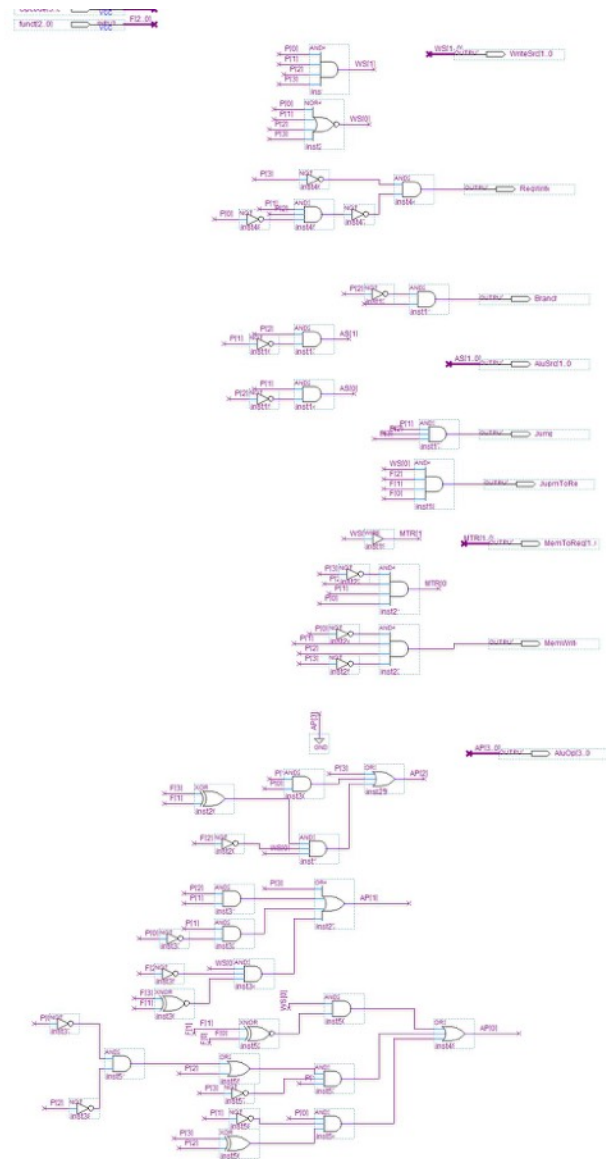
حال با رسم جدول درستی رابطه منطقی سیگنال های کنترلی را بر حسب FUNCT , OPCODE به

دست می آوریم:

$\text{write src [1]}: \text{AND}(\overline{\text{op}_0}) \text{op}_1, \text{op}_2, \text{op}_3$
 $\text{write src [0]}: \text{NOR}(\text{op}_0, \text{op}_1, \text{op}_2, \text{op}_3)$
 $\text{write reg}: \text{NOR}(\text{op}_3, \text{op}_2, \text{op}_1, \text{op}_0) \cdot \text{NAND}(\text{funct}_2, 1, 0)$
 $+ (\overline{\text{op}_3} \overline{\text{op}_2} \overline{\text{op}_1} + \overline{\text{op}_3} \text{op}_1 \text{op}_0 + \overline{\text{op}_3} \overline{\text{op}_2} \overline{\text{op}_1})$
 $\text{branch}: \text{op}_3 \cdot \overline{\text{op}_2}$
 $\text{alu src [1]}: \text{op}_2 \cdot \overline{\text{op}_1}$
 $\text{alu src [0]}: \text{op}_1 \cdot \overline{\text{op}_2}$
 $\text{jump}: \text{op}_3 \cdot \text{op}_2 \cdot \text{op}_1$
 $\text{jump to reg}: \text{NOR}(\text{op}_3, 2, 1, 0) \cdot \text{AND}(\text{funct}_2, 1, 0)$
 $\text{mem to reg [1]}: \text{AND}(\text{op}_3, 2, 1, 0)$
 $\text{mem to reg [0]}: \overline{\text{op}_3} \cdot \text{op}_2 \cdot \text{op}_1 \cdot \text{op}_0$
 $\text{mem write}: \overline{\text{op}_3} \text{op}_2 \text{op}_1 \overline{\text{op}_0}$

opcode	funct	ALU operation	ALU opcode
0000	010	AND	0000
0100	xxx	AND	0000
0000	011	OR	0001
0101	xxx	OR	0001
0000	101	xor	0010
0000	000	ADD	0011
0010	xxx		0011
0110	xxx		0011
0111	xxx		0011
0000	001	sub	0100
0011			
0000	100	MULT	0101
1000	xxx	EQ	0110
1001	xxx	N-EQ	0111

و باتوجه به روابطه منطقی بالا مدار Control Unit را رسم می کنیم:

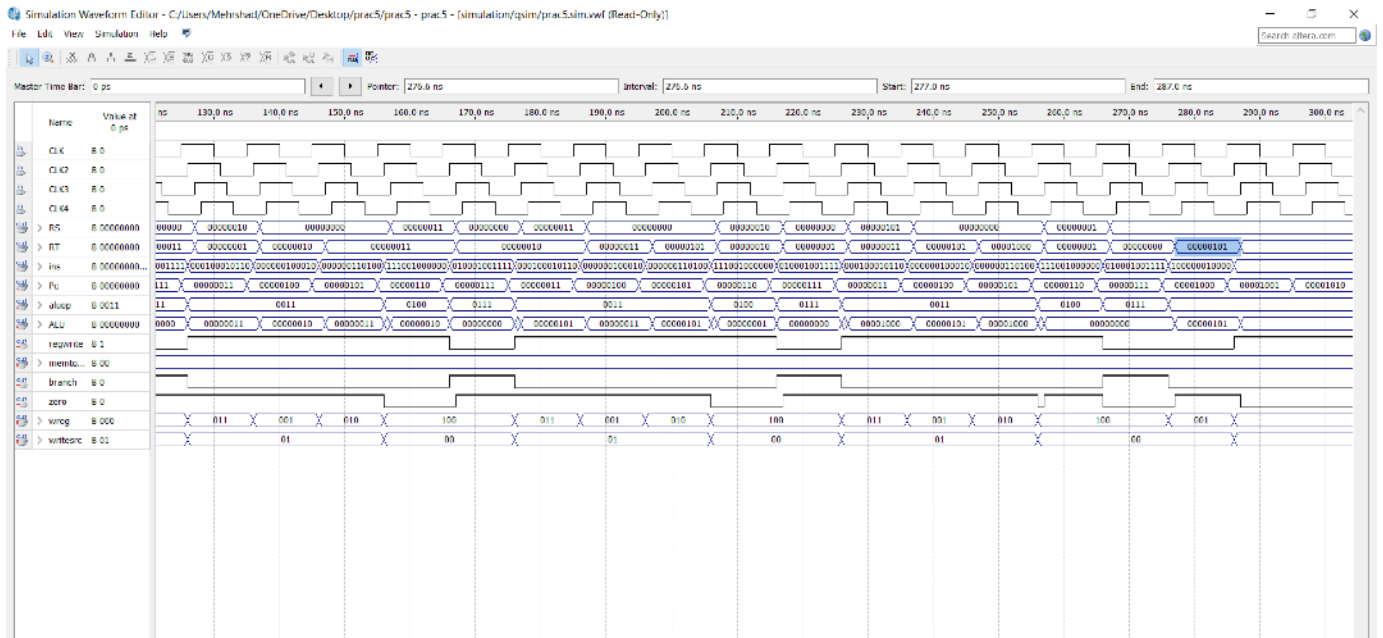


Control Unit

- در مدار به چهار بخش PC , Registerfile , I-memory , D-memory کلاک های جداگانه داده شده که مقداری با هم اختلاف دارند.

تحلیل تست ها مدار:

در تست ها علاوه بر کلاک ها و مقدار خروجی رجیستر فایل (RS ,RT) که خروجی مدار را در RT مشاهده می کنیم، سیگنال های کنترلی دیگر مدار نیز نشان داده می شوند تا درستی کارکرد مدار مشاهده شود.



Fibonacci WaveForm

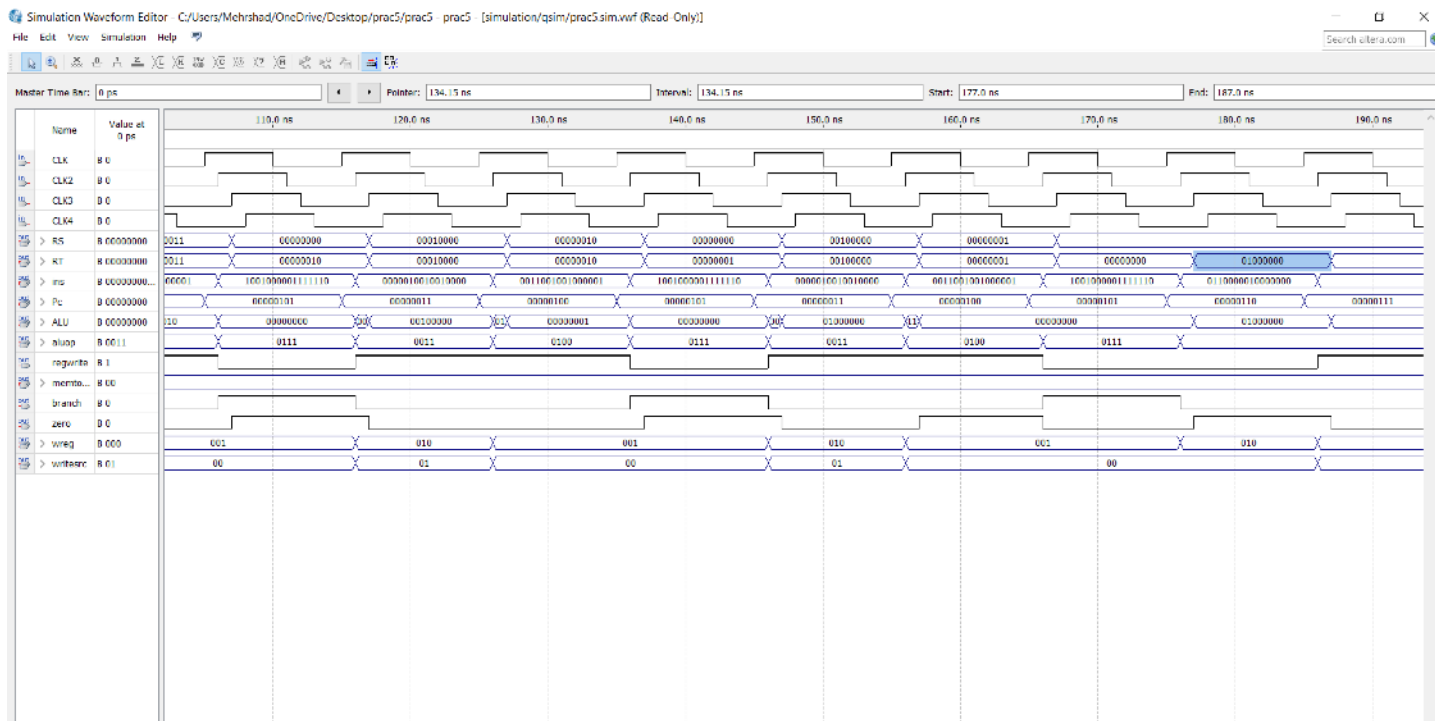
تست اول: دنباله فیبوناچی:

با ورودی دادن فایل ضمیمه شده fibonacci.mif ، خروجی زیر از رجیستر فایل (RT) مشاهده می شود که برابر عضو پنجم دنباله فیبوناچی (۵) می باشد.

تست دوم:

در تست دوم توان ششم عدد دورا با جمع های متوالی و لوپ زدن محاسبه می کنیم و مقدار خروجی ۶۴

به درستی در waveform مشاهده می شود.

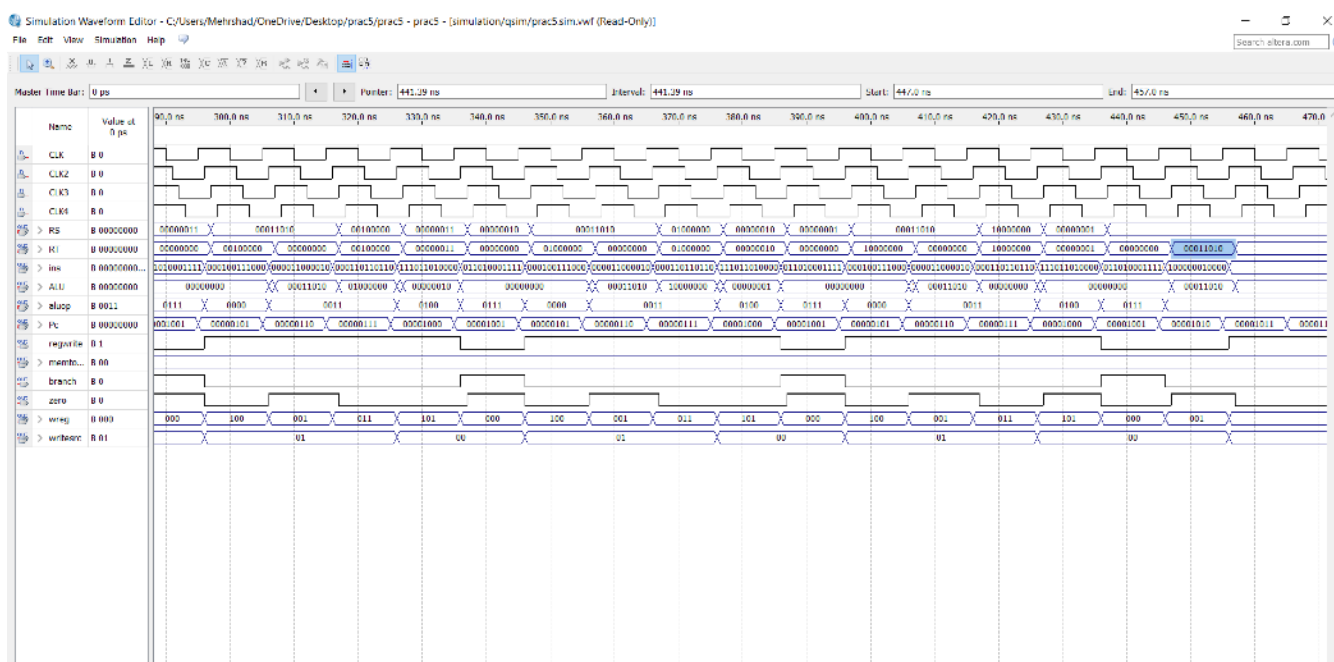


Test2 WaveForm

تست سوم:

در این تست عدد ۲۶ به عنوان ورودی به مدار داده شده و با توان های عدد دو and می شود و در آخر

حاصل تمام این and ها با هم جمع می شود و خود عدد ۲۶ را می سازد.



Test3 Output

