

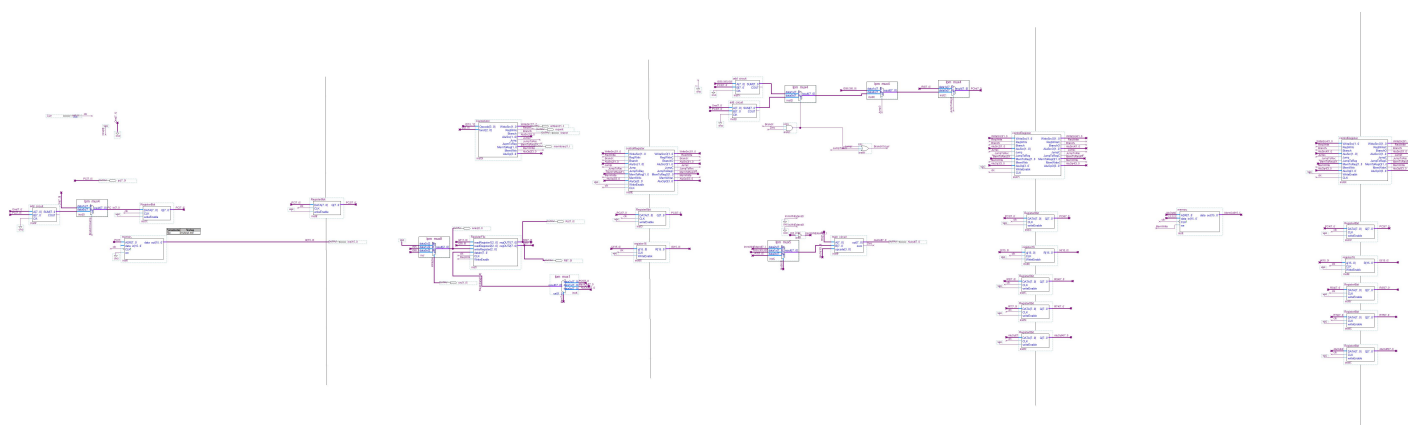
امیرعلی شیخی ۴۰۱۱۰۶۱۵۸

مهرشاد دهقانی ۴۰۱۱۰۵۹۱۲

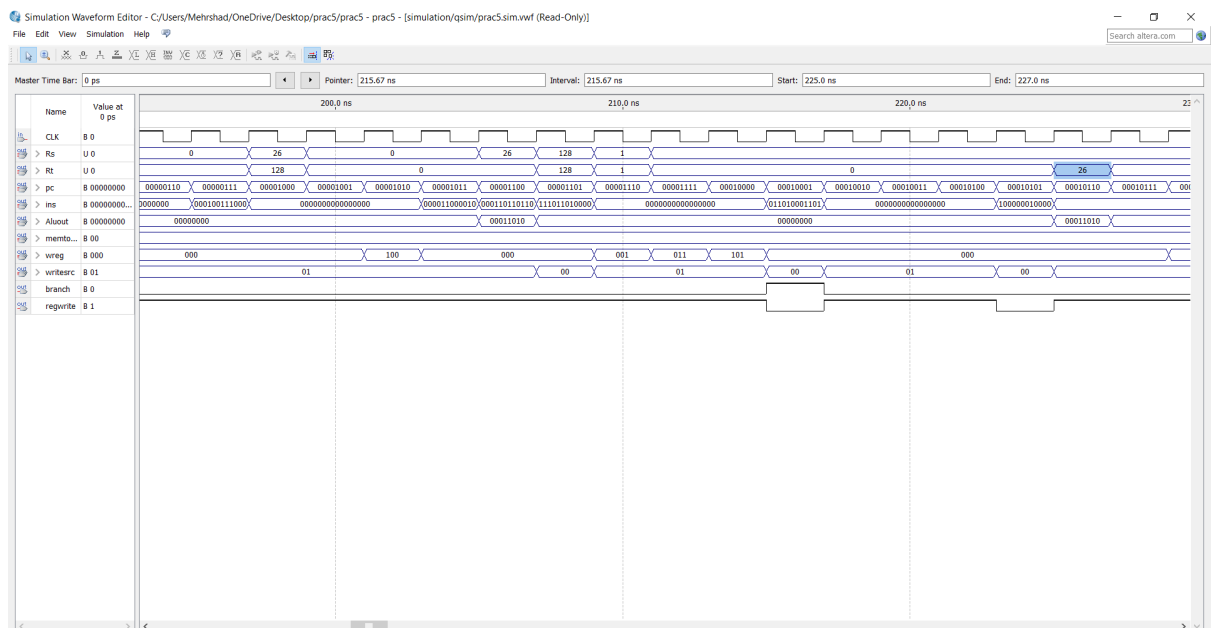
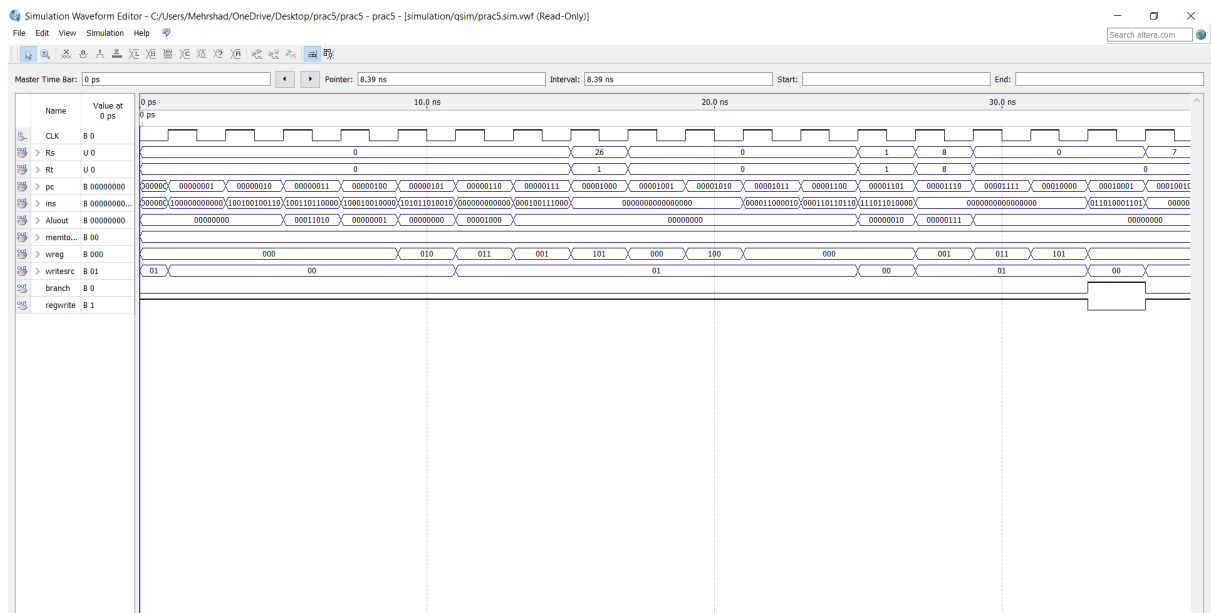
# معماری کامپیوتر

## گزارش کار تمرین عملی هفتم

در این تمرین برای پیاده سازی پایپلاین، بین قسمت‌های مختلف در مسیر داده رجیستر  
هایی قرار دادیم تا داده‌هایی از جمله سیگنال‌های کنترلی و دستور و رجیسترهای خوانده  
شده را انتهای پایپلاین از دست ندهیم. مدار در نهایت به شکل زیر است:

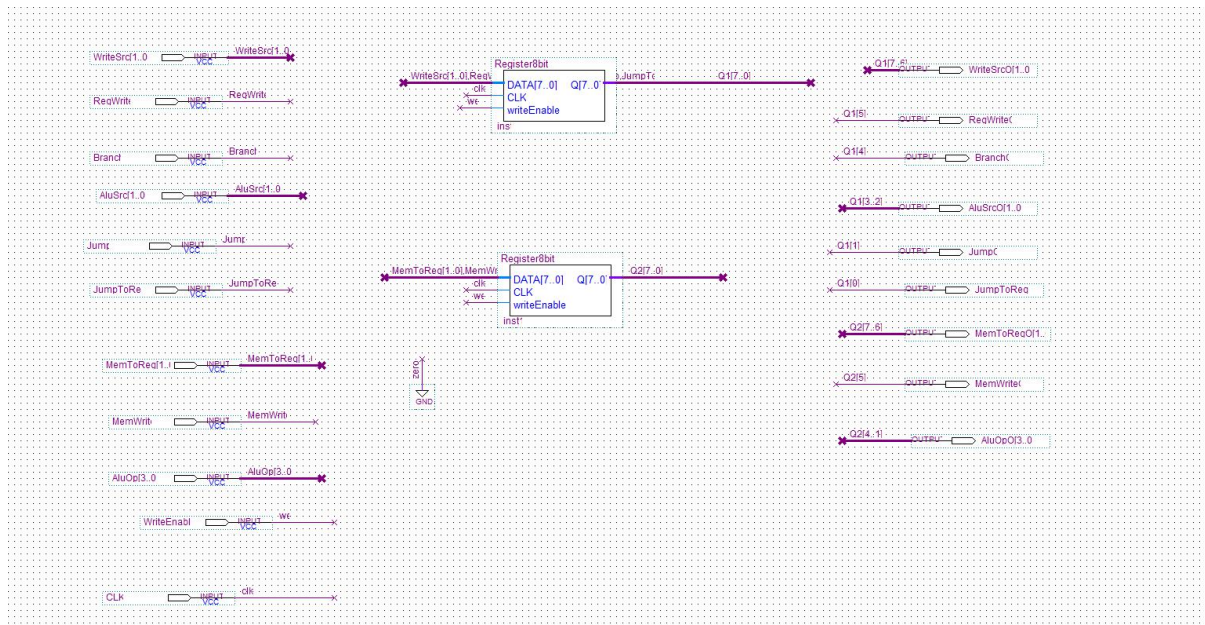


برای تست نیز، ابتدا هازارد های تست شماره ۲ در تمرین قبل را با اضافه کردن تعدادی no-  
operation برطرف کردیم و پس از اجرا خروجی درست ۲۶ را دریافت کردیم. با این تفاوت که در حالت مالتی  
سایکل، زمان اجرا ۴۸۰ نانوثانیه بود ولی در حالت پایپلاین به حدود ۲۲۰ نانوثانیه کاهش یافت. تصاویر  
waveform به شکل زیر است:



همانطور که مشاهده می‌شود، اجرا به صورت پایپلاین انجام شده و خروجی ۲۶ است.

برای انتقال سیگنال های کنترلی نیز از رجیستر زیر استفاده کردیم:



تصویر کد تست:

```
addi R0,R0,0
addi R2,R2,26
addi R3,R3,1
addi R1,R1,0
addi R5,R5,8

add R0,R0,R0

and R4,R2,R3

add R0,R0,R0
add R0,R0,R0
add R0,R0,R0

add R1,R1,R4
add R3,R3,R3
subi R5,R5,1

add R0,R0,R0
add R0,R0,R0
add R0,R0,R0

bng R5,R0,-10

add R0,R0,R0
add R0,R0,R0
add R0,R0,R0

st R0,R1,0
```

تصاویر و فایل های کوارتوس در فولدر مربوطه موجود است.

