معماری کامپیوتر گزارش کار تمرین عملی ششم

در این سری از تمرین لازم بود دستور ضرب (با الگوریتم booth بیاده سازه شده بود) که چند سایکل به طول می انجامد و با ۱ شدن سیگنال Start شروع به کار می کند و هنگام آماده شدن حاصلضرب سیگنال خروجی Ready را ۱ می کند توسط پردازنده هندل شود و به این منظور باید مقدار PC هنگامی که دستور mul است تا آماده شدن حاصل ضرب و ۱ شدن سیگنال Ready عوض نشود و همان دستور mul اشاره کند و وقتی که سیگنال Ready فعال شد مقدار pc آپدیت شود. بنابراین رابطه منطقی سیگنال Write Enable برای PC به این صورت است:

 $WriteEnable_{forPC} = (AluOp_0. \overline{AluOp_2}. AluOp_2. \overline{AluOp_3})$. $Ready + \overline{(AluOp_0. \overline{AluOp_2}. AluOp_2. \overline{AluOp_3})}$. $AluOp_0. \overline{AluOp_2}$. $AluOp_0. \overline{AluOp_3}$. $AluOp_0. \overline{AluOp_3}$

همچنین لازم است که سیگنال Start برای دستور mul طراحی شود که رابطه منطقی آن به این صورت است:

 $Start = (AluOp_0 . \overline{AluOp_2} . AluOp_2 . \overline{AluOp_3})$ يعنى مقدار سيگنال Start وقتى كه دستور سيا باشد يك مى شود.

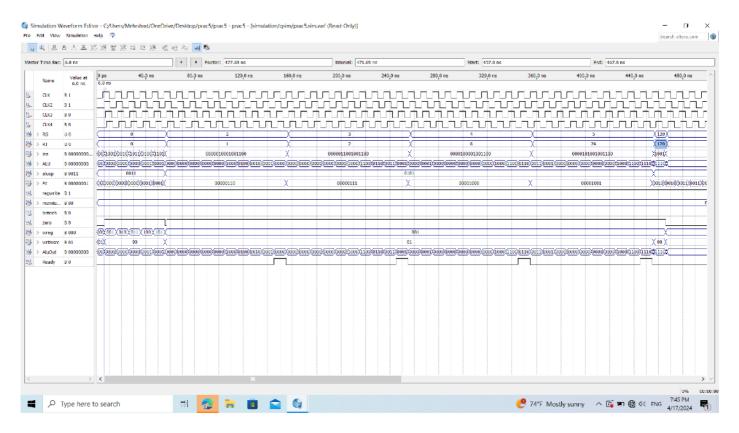
ا گزارش کار ششم

تحلیل تست ها مدار:

در تست ها علاوه بر کلاک ها و مقدار خروجی رجیستر فایل (RS,RT) که خروجی مدار را در RT مشاهده می کنیم، سیگنال های کنترلی دیگر مدار نیز نشان داده می شوند تا درستی کارکرد مدار مشاهده شود.

تست اول: محاسبه فاكتوريل ٥:

:Waveform

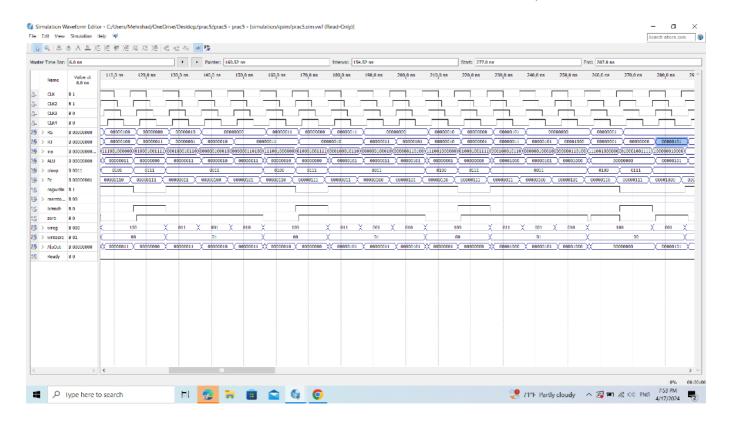


همانطور که در تصویر بالا مشاهده می شود مقدار ۱۲۰ در نهایت به درستی داخل رجیستر ۱ نوشته شده است.

2 گزارش کار ششم

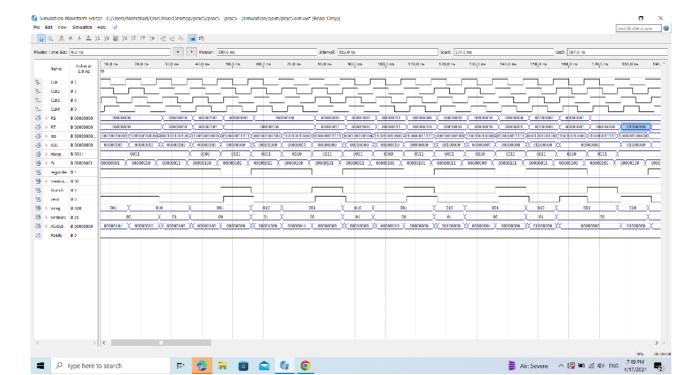
تست دوم: دنباله فیبوناچی:

با ورودی دادن فایل ضمیمه شده fibonachi.mif ، خروجی زیر از رجیستر فایل (RT) مشاهده می شود که برابر عضو پنجم دنباله فیبوناچی(۵) می باشد.

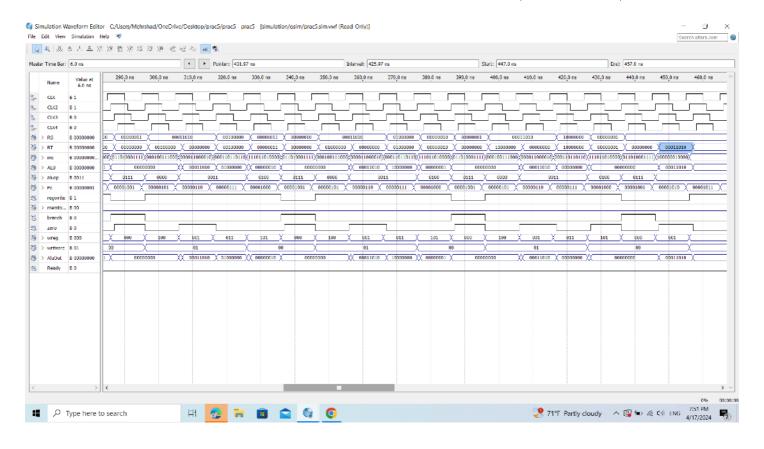


تست سوم:

در تست دوم توان ششم عدد دو را با جمع های متوالی و لوپ زدن محاسبه می کنیم و مقدار خروجی ۶۴ به درستی در waveform مشاهده می شود.



تست چهارم: در این تست عدد ۲۶ به عنوان ورودی به مدار داده شده و با توان های عدد دو and می شود و در آخر حاصل تمام این and ها با هم جمع می شود و خود عدد ۲۶ را می سازد.



4 گزارش کار ششم