# 低位宽预编码基线分析

预编码技术利用信道先验信息在发送端对信号进行预处理，可以消除发送信号在经过信道时产生的数据间干扰，从而达到提高系统通信速率和可靠性的目的，是大规模MIMO系统的一项关键技术。本章将基于第二章介绍的低位宽求逆算子和低位宽SVD算子，进行低位宽预编码仿真和分析，为项目后续工作提供基线。

本章首先将简要介绍仿真使用的系统模型和预编码算法，接着描述具体仿真流和仿真参数设置，最后将给出不同位宽、不同预编码算法、和不同流数场景下的仿真结果并做分析。

## 系统模型

本节介绍低位宽预编码基线仿真中使用的系统模型。考虑一个配备根天线的基站和一个配备个天线的用户组成的单用户MIMO系统，用户收到的信号可以表示为：

(3.1)

其中表示基站的个发送数据流，表示基站和用户之间的信道，和分别表示发送端预编码矩阵和接收端均衡矩阵，是满足均值为0，协方差均值为的循环对称复高斯随机噪声向量。

使用经典的多径传播模型，信道矩阵可以被建模为：

(3.2)

其中表示多径数目，表示第条路径的信道增益，和分别表示第条路径的信号到达角和离开角，和分别表示接收端和发送端的阵列响应矢量。当基站端和用户端均使用线性均匀平面天线阵列时，阵列响应矢量可以被表示为：

(3.3)

(3.4)

其中表示信号波长，表示天线间隔，并且满足。

下面首先介绍用于基线仿真的经典的SVD预编码，具体而言，信道矩阵的SVD分解可以表示为：

(3.5)

其中和分别表示左右奇异矩阵，是一个除主对角线之外全为0的矩阵。基于上述SVD分解，发送端预编码矩阵和接收端均衡矩阵可以被设置为：

(3.6)

(3.7)

其中和分别表示和的前列，和都是对角矩阵，用于发送端用户功率分配**，**。这样，用户侧的接收信号就可以表示为：

(3.8)

其中是前个最大对角线元素构成的对角矩阵，当满足时，接收端可以较好的恢复出基站发送信号。

接着介绍迫零（Zero-Forcing，ZF）预编码，当使用ZF预编码时，发送端预编码矩阵和接收端均衡矩阵分别为：

(3.9)

(3.10)

为了体现出计算位宽对预编码性能的影响，在本项目的SVD预编码基线仿真中，发送端使用的是低位宽的SVD算子，而接收端使用的是高位宽的SVD算子。下面将详细介绍仿真流程和参数设置。

## 仿真流程与参数设置

在基线蒙特卡洛仿真中的每个信噪比环境下，系统都会遍历若干个信道实现，对于每一个信道，都会进行若干个数据块的性能仿真，最后系统会统计每个信噪比下的误块率（Block Error Rate，BLER）并将其作为性能指标。

具体而言，在每一个块的仿真中，系统都会首先生成随机比特，并对这些比特进行低密度奇偶校验（Low-density parity-check，LDPC）编码，LDPC编码采用的是IEEE 802.11n标准。LDPC编码后的比特将会被正交幅度调制（Quadrature Amplitude Modulation， QAM），调制后的信号会被低位宽SVD（包括基于Household和基于Lanczos两种实现方式）或ZF预编码预处理并由天线发出，为了不失一般性，仿真中使用的是标准的瑞利信道模型，信号经过瑞利衰落信道后被接收端接收，接收端会对收到的信号进行均衡、解调和LDPC解码操作以恢复出发送信号，最后系统将判断该次数据块传输是否存在错误，并根据判断的结果统计BLER，预编码基线仿真的具体流程示意图见图3.1，仿真中的具体参数设置见表3.1。

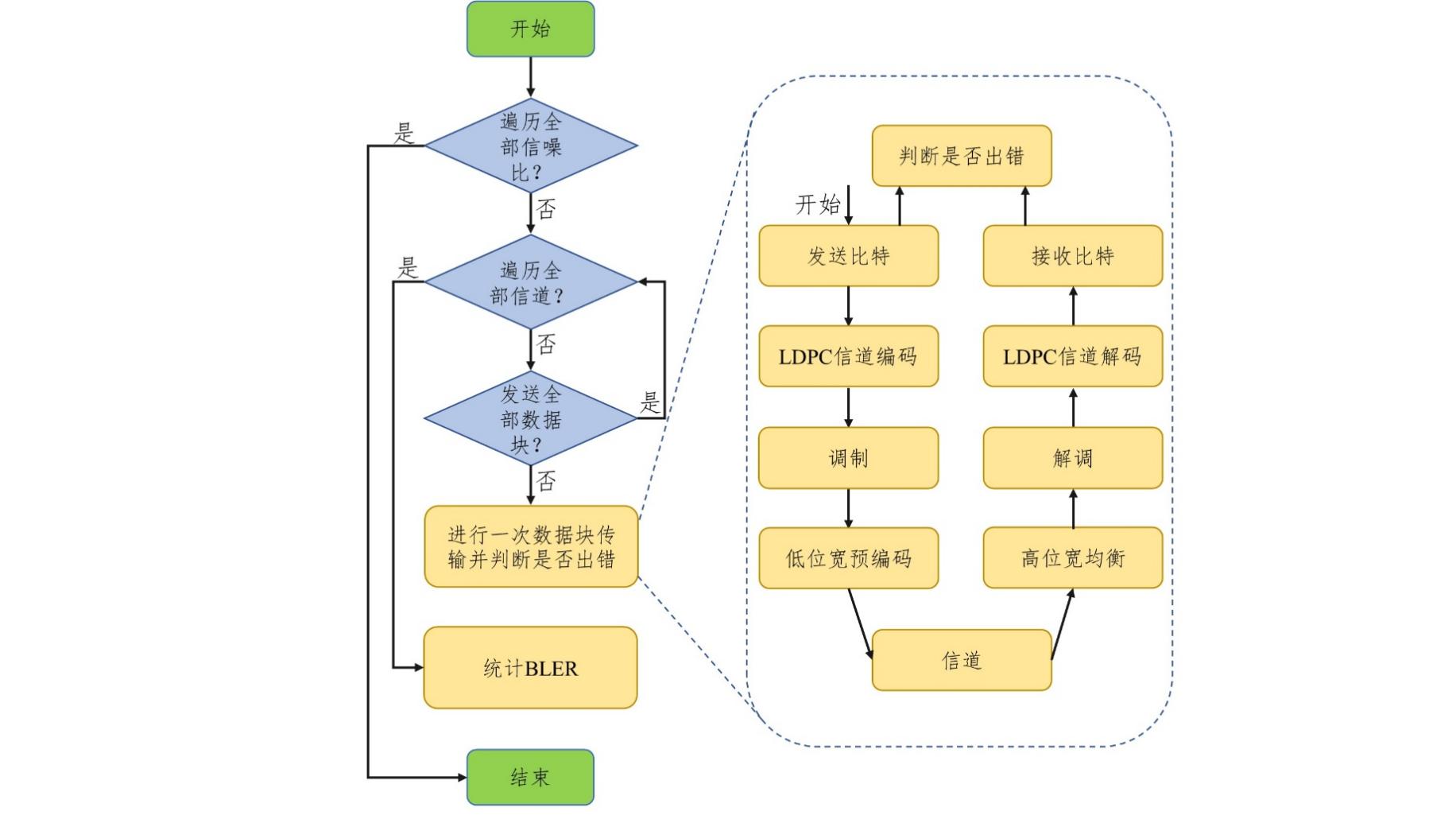


图3.1 仿真流程图

表3.1 仿真参数设置表

|  |  |
| --- | --- |
| 码长 | 648 |
| 码率 | 3/4 |
| 调制方式 | 64QAM |
| 信道模型 | 瑞利信道 |
| 信道维度 | 8×64 |
| 用户数 | 单用户 |
| 数据流数 | 1/2/4/8 |
| 预编码算法 | SVD/ZF预编码 |
| 计算位宽 | 16/32/64bit |
| 信道实现数 | 1e4 |
| 信道数据块数 | 1e2 |
| 性能指标 | BLER |

## 仿真结果与分析

基于上述两节描述的系统模型、仿真流程和参数设置，本节进一步介绍不同计算位宽、不同预编码和不同流数下的仿真结果与分析得到的结论。需要说明的是，预编码基线仿真中涉及的SVD预编码包括基于Household和基于Lanczos的两种实现方式，均已在仿真结果图的图例中标注。

### 不同位宽下SVD预编码仿真结果与分析

在1、2、4和8数据流传输场景中，不同位宽的SVD预编码的BLER性能仿真结果分别如图3.2所示。从图中可以看出，在所有的流数下，64比特位宽下的BLER性能与32比特位宽相近，但是明显优于16比特位宽，这说明随着计算位宽的下降，BLER性能会加速下降；同时，从图3.2b~图3.2d中还可以看出，在2、4和8流下，16比特计算位宽的SVD预编码会存在1e-3~1e-4的BLER下界，BLER下界的存在也进一步说明低计算位宽对系统性能的影响是显著且持续存在的，并不会随着信噪比的提高而被消除。最后，从仿真中可以看出，基于Household的SVD预编码的性能与基于Lanczos的SVD预编码的性能相似。

|  |  |
| --- | --- |
|  |  |
| a | b |
|  |  |
| c | d |

图3.2 不同位宽下SVD预编码BLER性能仿真结果

为了更直观的在低信噪比区间表现出计算位宽下降带来的BLER性能损失，在1、2、4和8数据流传输场景中，我们计算了16比特计算位宽SVD预编码BLER性能相对于64比特计算位宽SVD预编码BLER性能的相对误差，结果如图3.3所示，其中相对误差定义为：

(3.11)

其中16bit和64bit分别代表16比特计算位宽和64比特计算位宽下SVD预编码的BLER性能。从图3.3a~图3.3d可以观察到的一个重要的现象是：随着信噪比的升高，相对误差线性升高，即计算位宽在高信噪比条件下带来的BLER性能损失要大于低信噪比条件。产生上述现象的原因是，在高信噪比条件下，计算误差将取代信噪比成为决定BLER性能的最主要的因素，因此，计算位宽在高信噪比条件下将会对系统的BLER性能造成更加显著的影响。最后，从相对误差的角度同样可以看出，SVD预编码的两种不同实现方式的性能大致相当，无明显区别。

|  |  |
| --- | --- |
|  |  |
| a | b |
|  |  |
| c | d |

图3.3 不同位宽下SVD预编码相对误差仿真结果

### SVD/ZF预编码仿真结果与分析

为了比较不同的预编码算法在低位宽下的性能损失，在8数据流传输场景中，我们仿真了SVD预编码和ZF预编码的BLER性能，仿真结果如图3.6所示。从图中可以看出，不同计算位宽对ZF预编码的BLER性能几乎没有影响，但是对SVD预编码却有着明显的负面影响，尤其是在16比特计算位宽下，SVD预编码的BLER性能会严重下降。这种现象的原因是，SVD预编码存在大量的迭代，这些迭代会造成误差的传播和累积，进而不同计算位宽会明显影响SVD预编码的BLER性能；而ZF预编码存在一个闭式解，只需要计算一次，无需迭代，不存在误差传播和累积的问题，因此不同的计算位宽对ZF预编码性能的影响可以忽略。从上述仿真结果，我们还可以得到一个合理的推论，即SVD预编码的性能损失主要来自于低位宽SVD算子，而不是低位宽求逆算子。换句话说，奇异矩阵的低位宽计算对SVD预编码性能的影响较大，而功率分配矩阵的低位宽计算对SVD预编码性能的影响则较小。

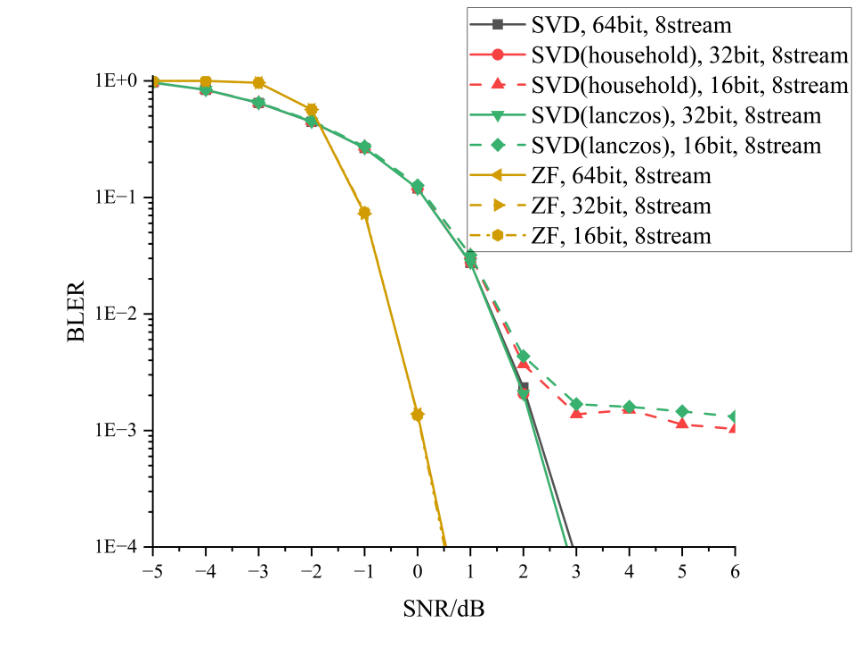


图3.4 SVD/ZF预编码BLER性能仿真结果

### 不同流数下SVD预编码仿真结果与分析

为了观察不同的数据流传输数目对SVD预编码算法性能的影响，我们在不同流数下，分别对基于Household和基于Lanczos的两种SVD预编码算法在64比特计算位宽和16比特计算位宽下进行BLER性能仿真，仿真结果如图3.7所示。从仿真结果图中，我们可以得出一个明显的结论，即相比于高流数传输场景，低流数传输场景下64比特计算位宽和16比特计算位宽下的SVD预编码BLER性能均要更好。这其中的原因在于，在低流数传输条件下，SVD预编码可以挑选出比较好的子信道进行数据传输，系统整体的信噪比较大，因此BLER性能会表现出更好的情况。

|  |  |
| --- | --- |
|  |  |
| a | b |

图3.5 不同流数下SVD预编码BLER性能仿真结果