

一、Intel86 体系结构思考题

1. 说明如何计算 Intel80×86 处理器的虚地址空间。

假设选择子用于指明描述子在描述子表中的偏移量的位数为 n ，则表示可访问的描述子数量为 2^n 个；

又因为选择子中的 11 位将描述子分为全局和局部两类，因此可访问的描述子总数为 $2^{(n+1)}$ 个；
由于一个描述子对应一个存储段，假设每个段的空间为 m ，则虚地址空间大小为 $2^{(n+1)} \times m$ 。

2. 什么是地址流水线？它的作用是什么？

地址流水线是指，将一个指令处理的完整过程划分为若干个功能逻辑上相互独立的阶段，而各个阶段可同时处理不同指令的子过程的一种指令并行技术。

其作用是将指令串行执行过程变为并行执行过程，从而提高处理器功能逻辑部件的运行效率和指令执行速度。

(错误，你回答的是指令流水线不是地址流水线，地址流水线的概念在介绍 Intel80286 的课件上有) 订正：

前一个周期发出下一个周期所需要的地址。

采用地址流水线后，由于地址信号的提前建立，与非地址的流水线相比，可以尽量减少插入 T_w 等待周期，从而加快了访存速度。(当并没有提高存储器的速度)

3. Intel80×86 处理器中，有几种类型的描述子？它们的作用分别是什么？

按描述子的作用范围来划分：

- (1) 局部描述子，用于刻画某一个任务所要访问代码段或数据段的描述子，仅作用于该任务所要访问的范围；
- (2) 全局描述子，作用范围涉及系统中所有代码段和数据段的描述子。

按描述子的功能来划分：

- (1) 数据段/代码段描述子，用于刻画一个存放数据或代码的存储段的各种属性。
- (2) 门描述子，用于实现不同任务间的转换和同一任务的不同代码段之间的转移。
- (3) 任务状态段描述子，用于刻画某一个用于存放在任务被切换时刻的处理器现场的存储段（任务状态段）的描述子。

4. 论述 80286 在保护模式下的中断处理过程。

- (1) 保护处理器现场：将通用寄存器和状态寄存器内容压入堆栈（TSS 描述子）；
- (2) 将中断类型码左移 3 位作为访问 IDT（中断描述子表）的选择子；
- (3) 结合 IDTR（中断描述子表基地址寄存器）访问 IDT 获取中断门；
- (4) 由中断门描述子得到目标程序代码段描述子的选择子以及代码段的偏移量；
- (5) 由该选择子访问目标程序代码段描述子；
- (6) 将该描述子中提供的基地址和中断门中的代码段偏移量相加；
- (7) 从而得到目标程序入口地址。

5. 采用间接切换方式的任务切换过程。并说明先后需要访问哪些描述子？并说明每一步骤的作用。

- (1) 保护任务 1 现场：将通用寄存器和状态寄存器内容压入堆栈（TSS1 描述子）；
- (2) 通过任务门选择子访问任务门描述子，得到 TSS2 描述子的选择子；
- (3) 通过 TSS2 描述子的选择子访问 TSS2 描述子，即可访问 TSS2；
- (4) 根据 TSS2 布置任务 2 的现场，从而切换到任务 2 执行。

6. 在 Intel80×86 中，任务切换标志的含义和作用是什么？

任务切换由门描述子控制，其格式如下所示：



(错误，任务切换标志与任务门没有关系，任务切换标志的作用是：用于标识发生了任务切换，如果新任务需要使用协处理器，则需要防止原任务的协处理程序现场被破坏，其过程见介绍 Intel80286 的课件)

7. 什么是任务状态段 TSS, 如何寻址 TSS?

TSS 是用于存放在任务被切换时刻的处理器现场的一个存储段。

首先通过 TSS 描述子的选择子访问 TSS 描述子, 再由 TSS 描述子访问 TSS 地址。

8. 在 Intel80×86 处理器中, 如果 CR₀ 中的 PG=1, 在从虚地址到实地址的转换过程中, 在什么步骤上体现访问权限和读写权限?

CR₀ 中的 PG=1 即允许分页, 经分段部件出来的线性地址仍为虚地址, 需要经过分页部件转换成物理地址。转换成物理地址后则对目标地址进行访问, 此时应根据数据代码段描述子的访问权字节的设置进行访问控制, 则可体现访问权限和读写权限。

(回答还不够完整。在分页部件将线性地址转换成物理地址的过程中, 怎么体现的访问权限?)

9. 在 80386/80486 中, 地址线中为什么没有 A₀ 和 A₁, 在这种情况下, 如何实现对存储器的访问?

在 80386/80486 中, A₀ 和 A₁ 被作为字节选择信号 $\overline{BE}_0 \sim \overline{BE}_3$, 这 4 个信号可以实现选取 1~4 个字节数据的逻辑。

10. 在 80386 的分页机制中, 为什么页目录项和页表项都只给出 20 位而不是 32 位的地址作基地址? 因为页的长度为 4K, 因此要留出低 12 位地址作为页内偏移量。

(错。应该是, 80*86 处理器要求数据存放是对齐的, 按照对齐的要求, 4K 空间的低 12 地址为 0, 因此, 在页目录项和页表项就不需要给出, 使用时, 在低 12 位补充 12 个 0 即可)

11. 80486 如何实现页面的可高速缓存性?

80486 在片内集成了 8K 的高速缓存, 通过 4 种方式控制页面的内容进入 Cache:

- (1) CR₀ 中的 CD 位为 1 表示读未命中时禁止填充 Cache, 为 0 则允许;
- (2) CR₃ 中的 PCD 位为 1 表示禁止页目录项的内容进入 Cache, 为 0 则允许;
- (3) 80486 分页机制的页目录项和页表项中的 PCD 位为 1 分别表示禁止页表/页面的内容进入 Cache, 为 0 则允许;
- (4) 80486 的输出引脚 PCD 输出 1 时表示当前页允许填充 Cache, 输出 0 则不允许。

12. 论述高速缓存的几种基本结构及工作原理, 说明几种结构的主要特点。

(1) 全关联式高速缓存

结构: Cache 分为标签(地址)和数据两部分。

CPU 访问 Cache 不命中时, 将内存目标地址和数据写入 Cache。

优点: 直观、结构简单, Cache 中数据的存放位置灵活。

缺点: 速度慢, 且 Cache 越大, 速度越慢; 平均查找次数为 Cache 容量的一半。

(2) 直接对应式高速缓存

结构: Cache 地址分为标签字段(即页号)和索引字段(即页内地址)。

该结构下, 所有页面的相同页内地址竞争同一标签字段; 换页时索引不变, 只修改标签字段; 仅需比较一次(目标地址高 8 位(即页号)与标签字段比较)即可判断是否命中。

优点: 一次比较即可判断命中与否, 速度快。

缺点: 数据位置固定, 灵活性差; 由于“程序执行的时间局部性规律”, 命中率可能很低。

(3) 多组关联式高速缓存

结构: 分为多组相同索引字段, 即同一索引字段竞争多个标签位置。

优点: 增加比较次数, 减少竞争, 从而提高命中率。

缺点：速度较直接对应式慢，但比全关联式快。

13. 为什么高速缓存要采用“通写”和“回写”？

在 CPU 运行过程中会更改 Cache 内容，而在同步回主存前该内容被淘汰，则会导致 Cache 的内容丢失。因此要采用“通写”或“回写”方式保证 Cache 数据在淘汰前写回主存。

14. 什么是高速缓存内容过时？在什么情况会发生高速缓存内容过时？有哪些解决办法？说明工作原理。

Cache 内容过时，即 Cache 内容不能反映当前系统的状况。

多处理器系统下，各处理器的 Cache 单元内容与共享存储区相应地址单元内容不一致时，就会发生 Cache 内容过时。

解决方法有如下几种：

(1) 总线监视

Cache 控制器监视系统地址总线，若有其他处理器向内存共享区中写数据，则将自身 Cache 相应单元内容清除或标识为无效。

(2) 不可高速用存储器

凡是共享区的主存单元内容都不允许进入 Cache。

(3) 硬件透明性

多处理器使用同一个 Cache(共享 Cache)；或者，用广播方式(交叉连接)访问所有的 Cache。

(4) Cache 清除

将 Cache 中所有已经更新过的数据写入主存，并清除 Cache 所有内容。

15. 什么是程序执行的局部性规律？什么是空间局部性？什么是时间局部性？

程序执行的局部性规律，即最近被使用过的数据和指令被频繁再次使用的规律。

空间局部性：与被访问的地址相邻近的信息可能很快被访问。

时间局部性：程序执行过程中近期被访问的信息可能很快将被再次访问。

二、填空题

1. 为了尽可能减少总线传送时的 T_w 等待周期，Intel 系列处理器所采取的措施是增加高速缓存，其含义是将主存中的单元内容映射到 Cache 中访问。

(错，应该是采用地址流水线)

2. 对于高速缓存内容过时，所采取的主要措施分别是总线监视；不可高速用存储器；硬件透明性；Cache 清除。

3. 页面淘汰 LRU、Cache 填充等、动态分支预测等的理论依据是程序执行的局部性规律。

4. 三级存储体系结构是指高速缓存，主存，外存。

5. 为了加速虚地址到实地址的转换，Intel80×86 处理器采用的主要措施是隐 Cache 和 使用 TLB 表，将最近访问的页的物理地址存放于 TLB 中。

7. 64 位平台对应用层的要求是提供长度为 64 位的地址。(错，见课件第一章 概述)64 位 API 和编译器

8. 在保护模式中，“保护”主要体现在分段保护，分页保护等几个方面。(错，见 Intel80286 的课件)地址空间，特权级，访问权限

9. Pentium IV 处理器增加静态分支预测作为动态分支预测的补充，主要用于提高软件中循环分支预测的效率。

10. Core2 处理器采用预解码技术(即宏融合技术)，其含义是查找符合某种配对条件的两条指令，将其合并成一条指令，从而减少微操作数。

11. Pentium 处理器中，简单指令通过组合逻辑电路来实现，复杂指令通过微程序来实现。

12. 采用间接方式实现任务切换时，先后需要访问的描述子是任务门描述子，TSS 描述子。

13. 采用六级指令流水线结构，若条件转移指令分支预测错误，流水线在最坏情况下相当于阻塞4

个周期。(错, 5)

14. 在 Intel×86 处理器中, 存储器的最大段长取决于寄存器提供的偏移量的位数。

15. 微处理器对地址空间的两种编址方式是: 实地址, 虚地址。(错, 应为“统一编址”和“端口独立编址”)

16. 饱和计算功能是指当发生计算结果大于可表示的最大值或者小于可表示的最小值的时候, 结果为这个最大值或者最小值。

17. 前端总线是指连接 CPU 和 北桥芯片 的数据通路。

18. 超线程技术和超级标量结构都可以同时运行多条指令, 它们二者的主要区别是前者在线程级并行 (需要 OS 支持), 后者在指令级并行。

19. Core2 共享 L2 高速缓存的主要优点是减少对共享存储区存取的等待时延, 减少维护 Cache 一致性的时间消耗, PentiumD 双核之间的通信是通过 MCHFSB 来完成的。



三、分析题

假设一种指令集的每一条指令的执行分为三个阶段,分别为“取指”、“译码”、“执行”。每一阶段所需时间分别为 **2** 个时钟、**1** 个时钟、**3** 个时钟,每一个时钟长度为 Δt 。试画出连续执行 **5** 条指令的流水线运行图,并给出执行 **N** 条指令的流水线排空时间表达式。

连续执行 5 条指令的流水线运行图:

错误! 未找到引用源。

执行 **N** 条指令的流水线排空时间表达式:

