

Guia de trabajo
Laboratorio de Electrónica Digital - 2016-01
Ingeniería de Sistemas y Computación

El presente proyecto pretende desarrollar en el estudiante las habilidades pertinentes al diseño, investigación, cumplimiento y determinación de requerimientos e implementación de sistemas embebidos, como una parte útil de los sistemas digitales.

Existen otra serie de habilidades y competencias no técnicas que se pretenden desarrollar en el estudiante como el trabajo en equipo, trabajo bajo presión y en tiempos ajustados, creatividad.

Metodología del curso:

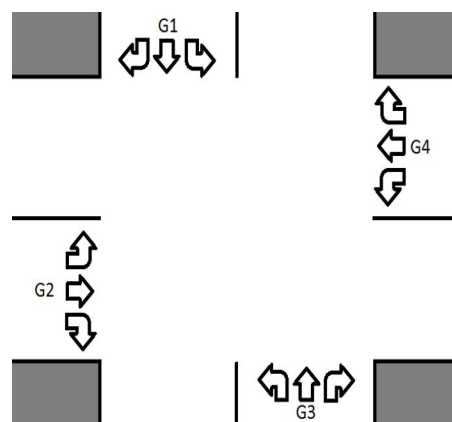
Con el fin de llevar a cabo el proyecto especificado se ha diseñado un plan de trabajo que consiste en la distribución por módulos del proyecto, cada módulo será un entregable parcial del proyecto en sí. Cada módulo será sustentado en presencia de la totalidad de los miembros del grupo de trabajo y los soportes serán entregados mediante correo electrónico al profesor (filosofía cero papel). Los archivos que se entregarán serán los archivos de código fuente (software y descripción de hardware, cual fuera el caso) y un archivo de descripción de desarrollo del módulo, donde se indique: qué se hizo?, cómo se hizo?, por qué se hizo de esa manera?, cuáles fueron las fuentes consultadas, dificultades y/o aciertos, etc.

Cada módulo tiene definido un cronograma de tiempo en semanas y un porcentaje de nota, relativo al 100% de la nota del laboratorio. Este porcentaje está definido de acuerdo al tiempo estimado de desarrollo del módulo y la dificultad del mismo.

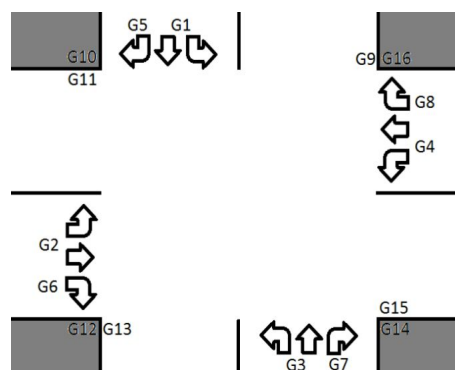
Descripción general del proyecto:

En la ciudad Megapolis se ha determinado utilizar un mecanismo de semaforización para vehículos y peatones que permita solucionar algunos problemas de congestionamiento y de accidentalidad en algunas intersecciones de la ciudad. Alrededor de un 70% de los cruces que requieren dicha solución son de doble vía en cada arteria, con la posibilidad de realizar cruces en cualquiera de los sentidos existentes. Un conjunto de semáforos que posean el mismo comportamiento será denominado grupo. Dado el porcentaje alto de cruces que son de doble sentido en cada arteria, se requiere que la solución sea lo más general posible, es decir que contenga el peor caso, y si es necesario desperdiciar capacidades del sistema embebido en aquellas intersecciones que no requieran la totalidad de grupos.

En la siguiente imagen se muestra el diagrama de un cruce en el peor de los casos. Se puede asumir que cada sentido vial es un grupo.



Existe un grupo adicional por cada sentido vial para los peatones. Esto implica tener un diseño de 8 grupos por sistema embebido. Sin embargo es claro que mientras el grupo G1 esté en verde, es posible que el giro a la derecha del grupo G4 se realice, es decir esté en verde también. Lo mismo sucede para los grupos G2 con G1, G3 con G2 y G4 con G3, de esta manera se requiere que se tengan cuatro grupos adicionales que permitan realizar esta optimización. Al mismo tiempo se requiere entonces que los grupos de semáforos peatones se divida en dos, antes y después del separados de la doble vía. De esta manera se tendría un total de 16 grupos para el peor caso, como se muestra en la siguiente imagen.



La programación de los sistemas embebidos que controlarán los semáforos se hará directamente sobre los dispositivos, para ello se tiene tabla de programación de tiempos y grupos. A continuación se muestra un ejemplo de dicha matriz. La matriz puede contener un máximo de 64 columnas (en el ejemplo aparecen 30) y 16 grupos. Cada columna representa un periodo de tiempo. El periodo de tiempo puede ser fijado en 1, 2 o 3 segundos. El tiempo fijado para el periodo, en una programación específica, aparece en la parte inferior de la matriz.

	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11	t12	t13	t14	t15	t16	t17	t18	t19	t20	t21	t22	t23	t24	t25	t26	t27	t28	t29	t30
GR1																														
GR2																														
GR3																														
GR4																														
GR5																														
GR6																														
GR7																														
GR8																														
GR9																														
GR10																														
GR11																														
GR12																														
GR13																														
GR14																														
GR15																														
GR16																														
t = 2 segundos																														

Para la programación y operación del dispositivo se poseen las siguientes propiedades de la tarjeta de desarrollo Nexys II: cuatro botones de pulsación, 8 interruptores, cuatro leds de siete segmentos, 8 LEDs y 28 pines de entrada y salida. Por limitaciones físicas de la tarjeta de desarrollo, se ha determinado limitar el alcance del presente proyecto a la implementación de 8 grupos como prototipado.

El dispositivo tendrá dos modos: uno de operación normal y otro de programación. En el estado de operación normal el dispositivo enviará las señales a la interfaz periférica para conectarlos a los semáforos. Las señales que enviará corresponderá a las señales almacenadas por la programación para cada instante t_n .

En el modo de programación, el controlador enviará señales amarillas intermitentes a todas las interfaces de los semáforos. La programación se hará de la siguiente manera: En los leds de siete segmentos se muestra la información del grupo y el tiempo (por ejemplo g001 y después t001, en forma alternante) que se programará.

Teniendo claro el Grupo y el tiempo, se podrá asignar un valor de estado (Rojo, Amarillo, Verde o Blanco, este último para el caso en que el grupo no se necesite) mediante los dos interruptores menos significativos.

Los siguientes cinco interruptores serán para indicar durante cuánto tiempo se mantendrá el estado (Rojo, Amarillo, Verde o Blanco), es decir que se podrá disponer de un valor máximo de 31 periodos.

El último interruptor se utilizará para indicar si se está en modo normal o modo programación.

Los botones de pulsación se utilizarán para incrementar el grupo a programar, aceptar la configuración de estado y periodos (dadas por los interruptores antes mencionados), resetear la

configuración actual del grupo particular y el último resetea toda la programación que tenga el dispositivo.

Adicional a la información de grupo y tiempo, y pasado la opción del grupo 16, se mostrará una opción que permitirá establecer el tiempo representado por un periodo t_n (1,2 o 3), determinado por los dos interruptores que antes determinaban el estado y siendo agregado el tiempo por el botón de pulsación para aceptar. En este caso los cinco interruptores para determinar el número de períodos no serán tenidos en cuenta. El botón de pulsación de reseteo para el grupo, en este caso, indicará que el tiempo del periodo es cero.

El dispositivo debe realizar una validación constantemente del estado de la programación actual, esto con el fin de evitar que un grupo que haya tenido programación no se quede con periodos en blanco (apagado). La validez de la programación se da basada en el hecho de que todos los grupos programados (con al menos un periodo en estado diferente de blanco) tengan la misma cantidad de periodos en un estado diferente a Blanco de forma continua. También considerará como estado inválido el hecho de que el tiempo para cada periodo sea cero. El estado inválido será mostrado mediante un LED de los ocho disponibles en intermitencia. Si el LED se queda prendido indicará que el estado es válido.

Descripción detallada del proyecto:

Módulo 1: Antirrebote o Detector de Pulso. Desarrollo de unidad de control para la detección en la pulsación de botones.

Módulo 2: Display de 7 Segmentos. Desarrollo de unidad de control para la generación de mensajes a través del arreglo de cuatro display de siete segmentos.

Módulo 3: Almacenamiento en memoria. Este módulo persigue la implementación, bien sea de un driver, o de una descripción de memoria sobre la FPGA. La memoria servirá para almacenar la imagen que se desplegará sobre los monitores.

Módulo 4: Sistema de acoplamiento. Diseño e implementación de un sistema electrónico que permita el acoplamiento del sistema de control y la maqueta con los Leds.

Módulo 5: Unidad de control - modo operación normal. Unidad de control que permitirá generar las señales a los 8 grupos del prototipado

Módulo 6: Unidad de control - modo programación. Unidad de control que permitirá generar las señales a los 8 grupos del prototipado y el almacenamiento de la nueva programación.

Módulo 7: Paper. Generación de un documento de publicación de resultados científicos y de investigación en algún formato existente y validado por alguna revista.

Cronograma:

Modulo #	Nombre	Semanas																% Nota
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
1	Antirrebote o Detector de Pulso																	10
2	Display de 7 Segmentos																	15
3	Almacenamiento en memoria																	15
4	Sistema de acoplamiento																	15
5	Unidad de control - modo operación normal																	20
6	Unidad de control - modo programación																	15
7	Paper																	10

Restricciones:

Se utilizará la Plataforma de desarrollo ISE de Xilinx versión 14.7 o inferior. Para impactar la FPGA se utilizará la herramienta proporcionada por Digilent, denominada Adept.

Se usará la tarjeta de desarrollo nexys 2, que contiene una FPGA Spartan 3E 500K.

Enlaces de interés:

[API y Herramientas Digilent](#)

[Manual de referencia Nexys 2](#)