



# 第6章 总线系统





# 6.1 总线概念和总线结构





# 什么是总线？

- 总线（Bus）定义：是指在功能部件和功能部件之间或设备与设备之间的一组进行互连和传输信息的信号线，这里信息可以是指令、数据或地址

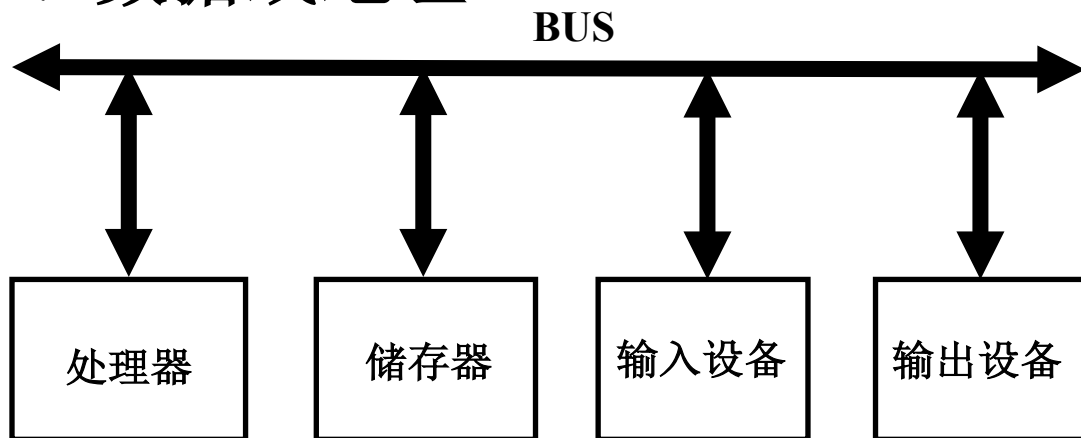
- Bus

- ◆ 公共汽车

- ◆ 一组信号线

- 共同之处？

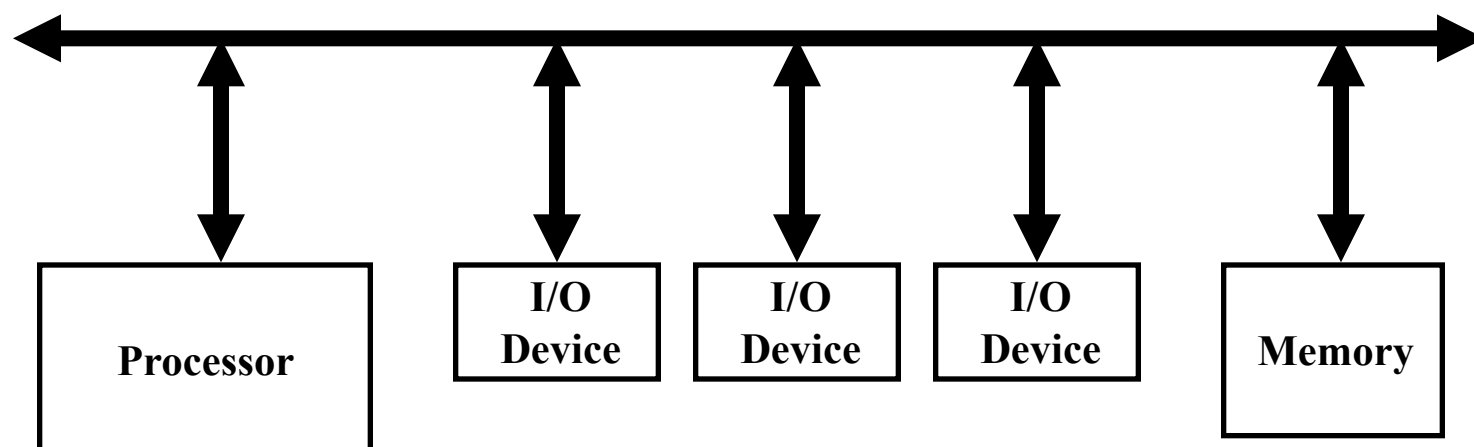
多个使用者共享通道





# 总线的优点

- 解决外部设备“杂”的问题：
  - ◆ 容易增添新的设备
  - ◆ 使用相同总线标准的外设可在不同计算机间兼容
- 降低成本：
  - ◆ 总线可供多个设备共享
- 简化设计





# 总线的缺点

- 容易成为信息通道的瓶颈
  - ◆ 总线带宽限制了整条总线的吞吐量
- 总线的最高速度主要由下列因素决定：
  - ◆ 总线长度
  - ◆ 总线负载的设备数
  - ◆ 负载设备的特性
    - 延迟是否差异较大？
    - 数据传输率差异较大？





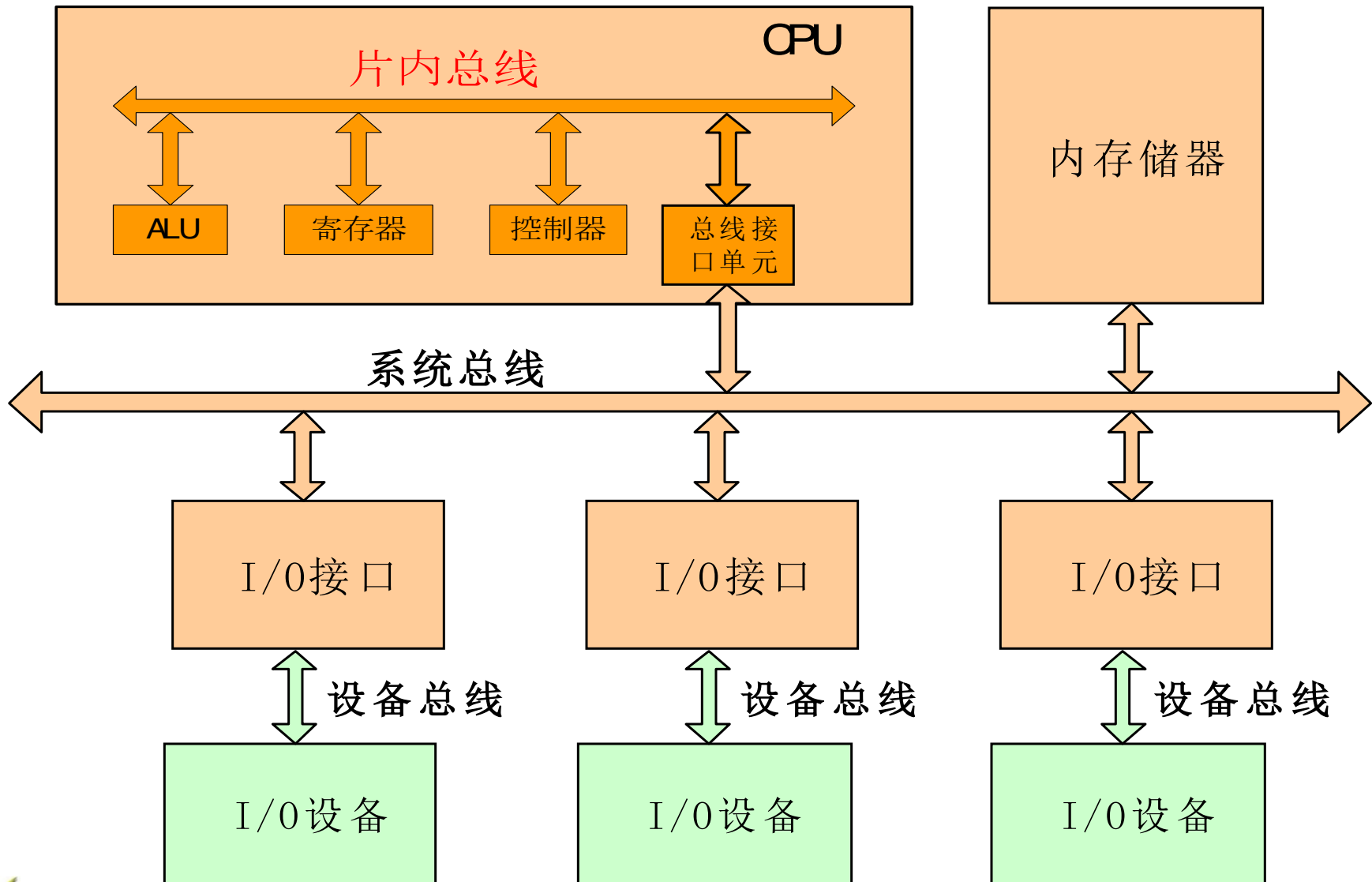
# 总线分类

- **内部总线（片内总线）：** CPU内部连接各寄存器及运算器部件之间的总线
- **系统总线：** CPU和计算机系统中其他部件相互连接的总线
  - ◆ **数据总线：** 双向、与机器字长、存储字长有关
  - ◆ **地址总线：** 单向、与存储地址、I/O地址有关
  - ◆ **控制总线：** 一般为单向
- **设备总线：** 计算机系统之间或计算机与中、低速I/O设备连接的总线，也称通信总线或外总线

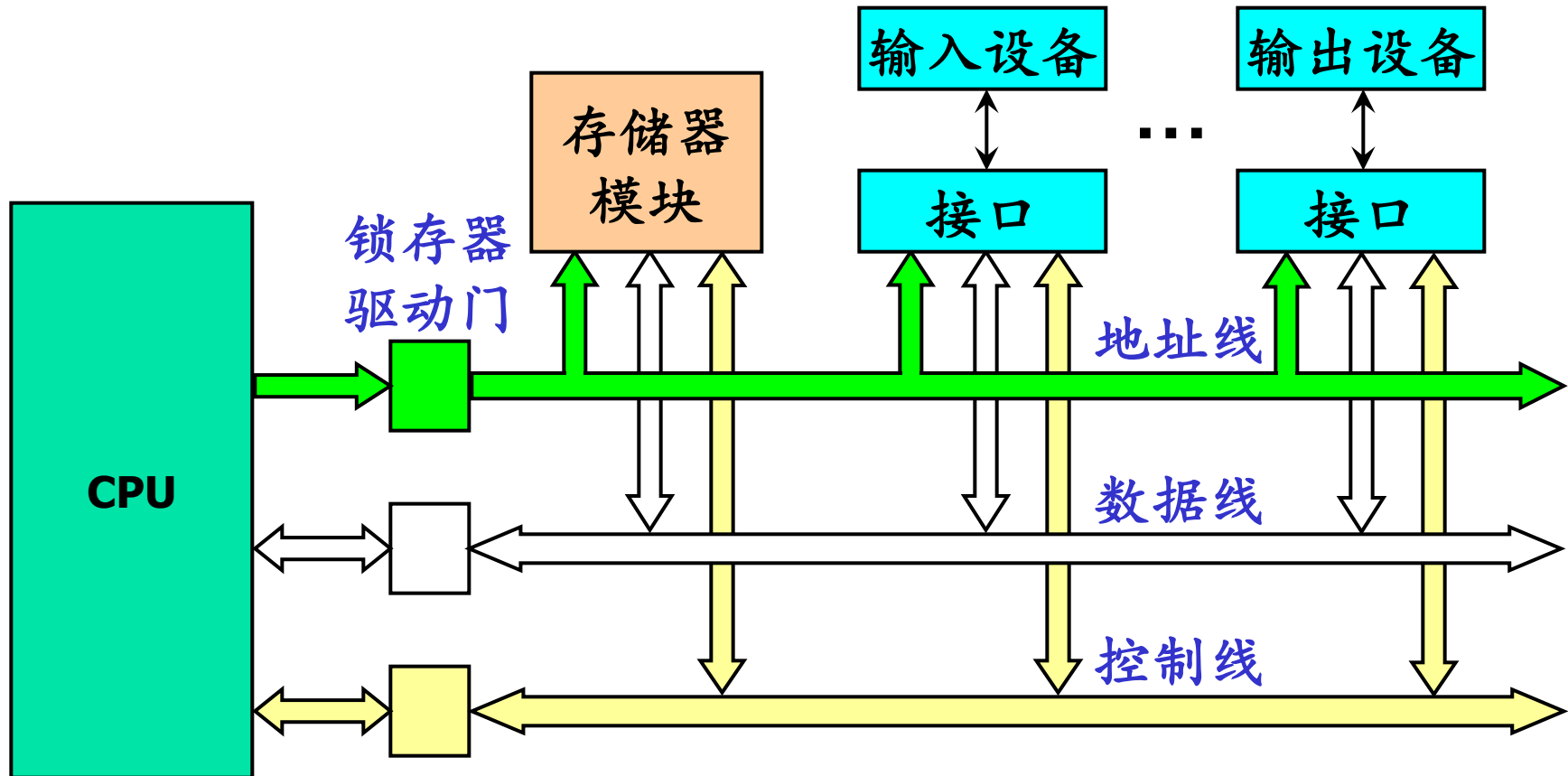




# 总线的层次结构



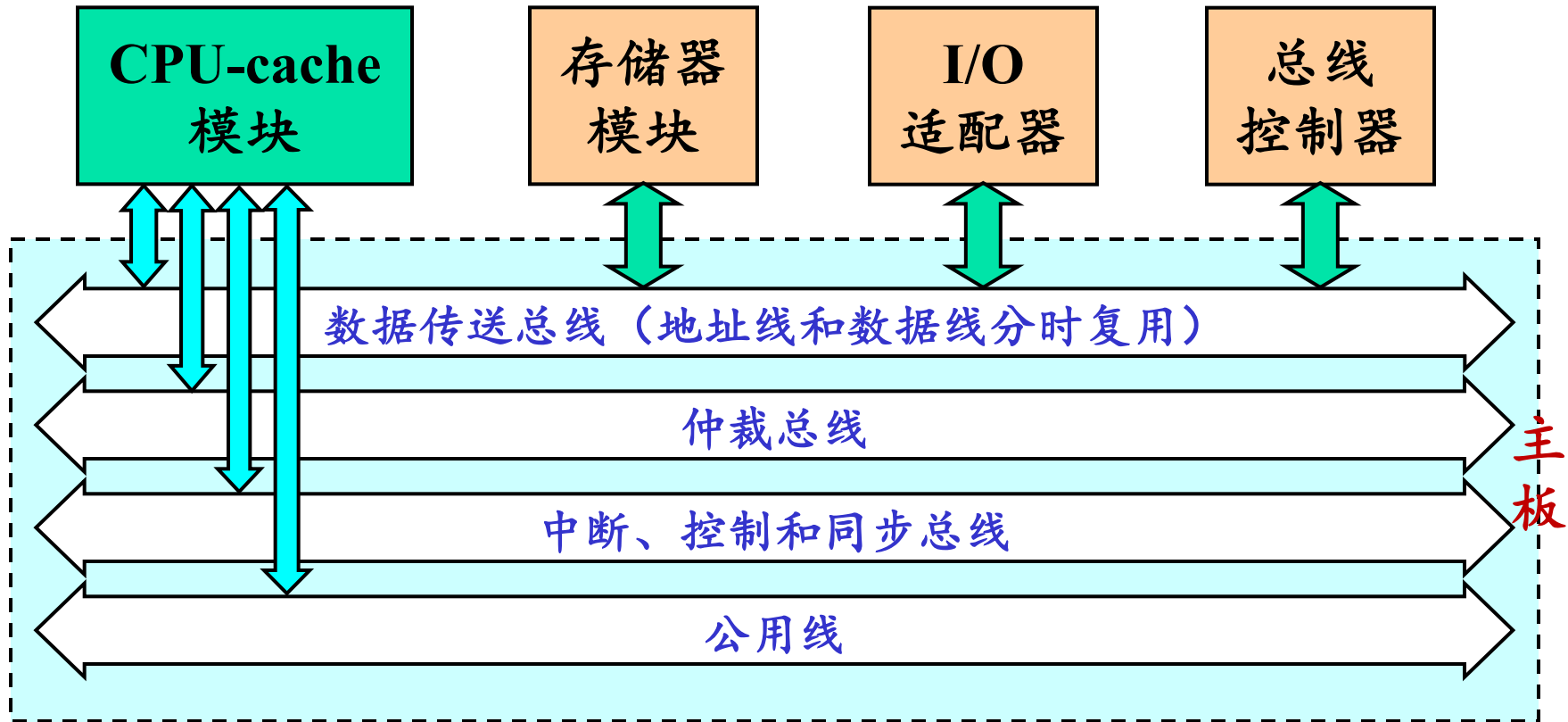
# 早期总线内部结构







# 当代总线内部结构





# 总线的特性

- 机械特性：总线的物理连接方式（根数、插头、插座形状，引脚排列方式）
- 功能特性：每根线的功能
- 电气特性：每根线上信号的传递方向及有效电平范围。即：信号工作时的逻辑电平（高低）、负载能力最大额定值以及动态转换时间。
- 时间特性：定义了每根线在什么时间有效。规定了总线上各信号有效的时序关系。





# 总线的性能指标

## ■ 总线宽度

- ◆ 数据线的条数，串、并行性，

## ■ 总线传输率（总线带宽）

- ◆ 每秒传输的最大字节数MB/S（或比特数）

## ■ 总线定时协定

- ◆ 同步方式、异步方式、半同步方式、分离方式

## ■ 信号线数

- ◆ 地址线、数据线和控制线的总和

## ■ 总线负载能力





# 例1

- (1) 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，总线带宽是多少？
- (2) 如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，总线带宽是多少？

解：（1）设总线带宽用 $D_r$ 表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用 $D$ 表示，根据定义可得

$$D_r = D/T = D \times (1/T) = D \times f = 4B \times 33 \times 10^6/s = 132MB/s$$

$$(2) \quad 64\text{位} = 8B$$

$$D_r = D \times f = 8B \times 66 \times 10^6/s = 528MB/s$$





# 总线的标准化

- 为了使不同厂家生产的相同功能部件可以互换使用，就需要进行系统总线的标准化工作。目前，已经出现了很多总线标准，如**PCI**、**ISA**等。
- 采用标准总线的优点
  - ◆ 简化系统设计
  - ◆ 简化系统结构，提高系统可靠性
  - ◆ 各功能部件可来自不同厂商
  - ◆ 便于系统的扩充和更新





# 总线的连接方式

适配器（接口）：实现高速CPU与低速外设之间工作速度上的匹配和同步，并完成计算机和外设之间的所有数据传送和控制。

## ■ 单机系统中总线结构的三种基本类型：

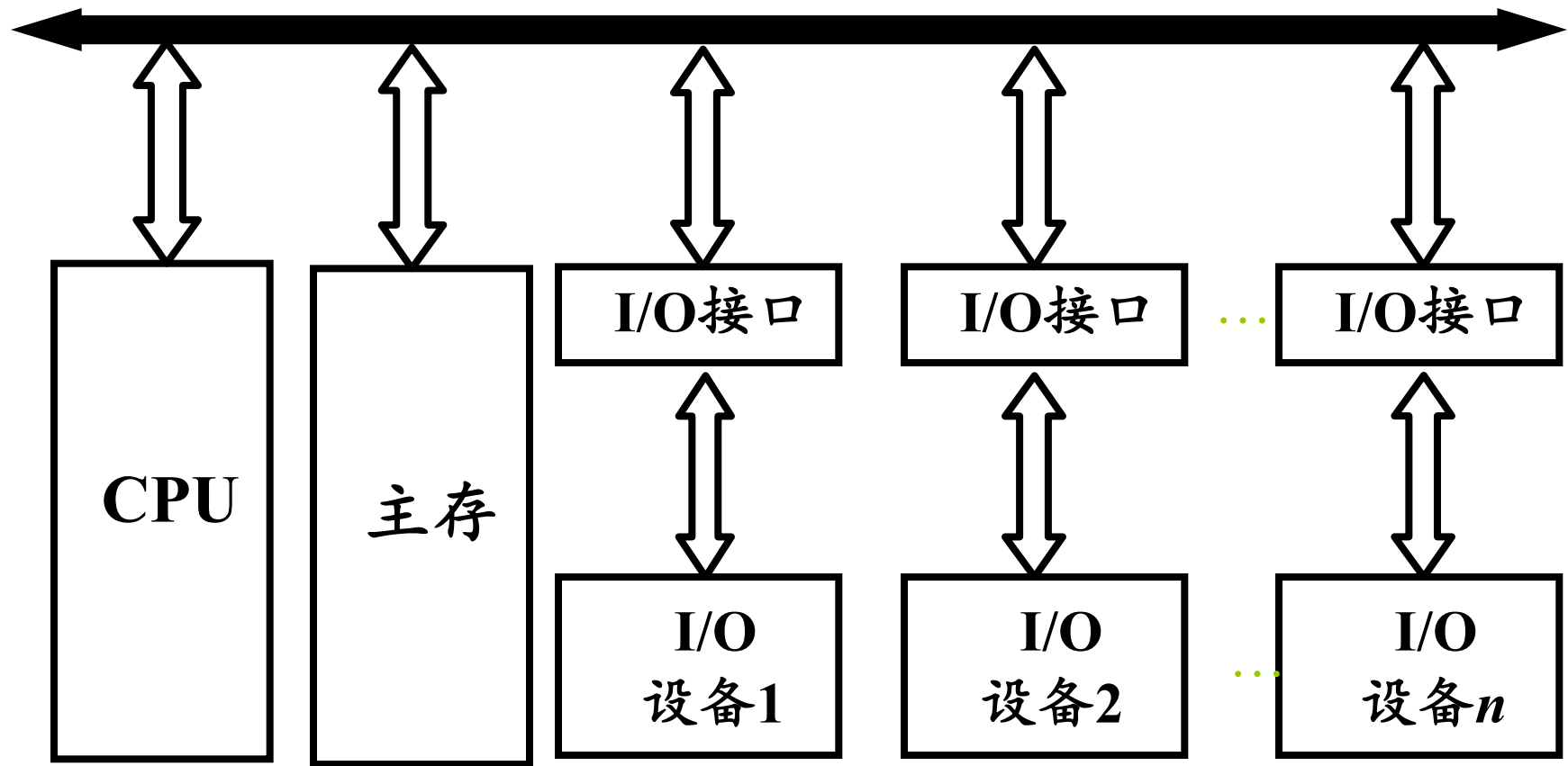
- ◆ 单总线：使用一条单一的系统总线来连接CPU、内存和I/O设备
- ◆ 双总线：在CPU和主存之间专门设置了一组高速的存储总线。
- ◆ 三总线：系统总线是CPU、主存和通道（IOP）之间进行数据传送的公共通路，而I/O总线是多个外部设备与通道之间进行数据传送的公共通路



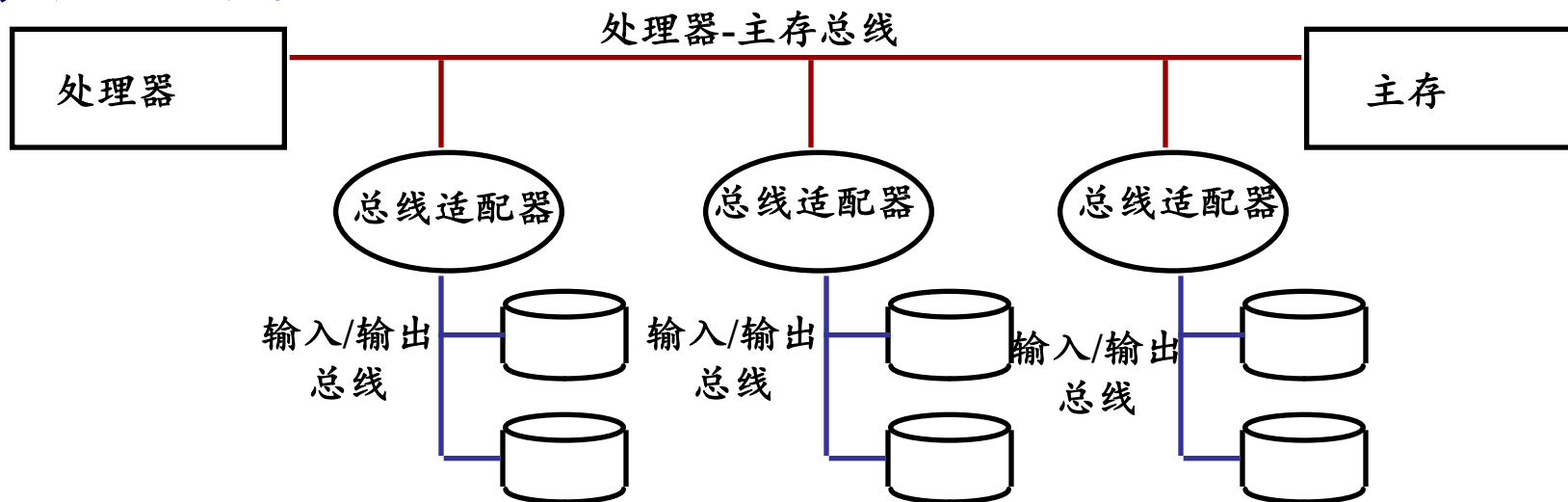


# 单总线结构

单总线（系统总线）



# 双总线结构

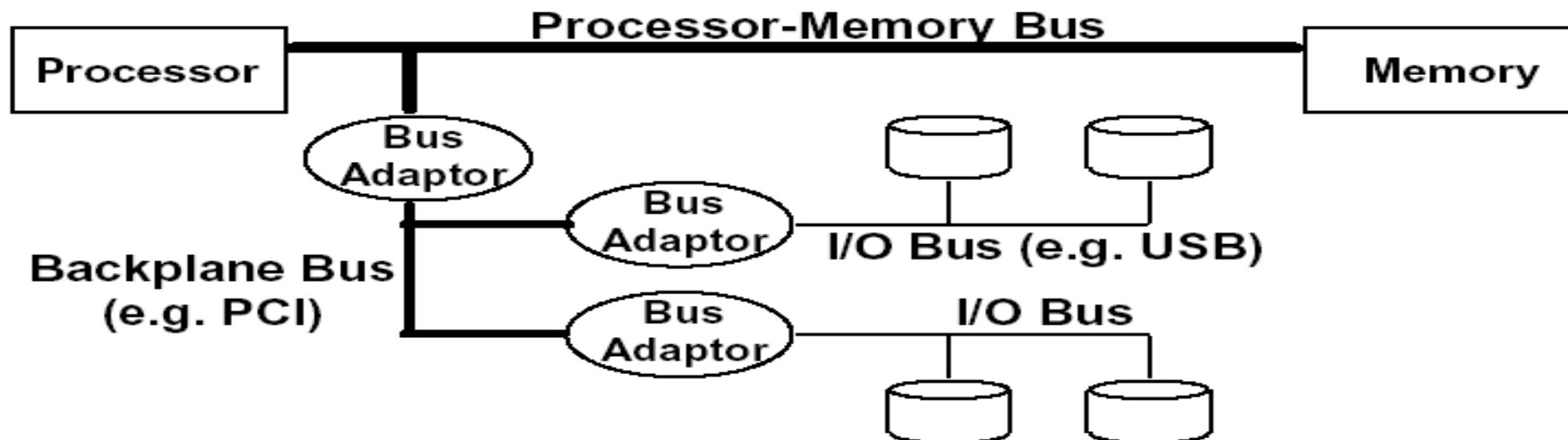


- 输入/输出总线通过适配器和处理器-主存总线相连：
  - ◆ 处理器-主存总线：主要用于处理器和主存储器之间的通信
  - ◆ 输入/输出总线：为输入/输出设备提供信息
- 应用举例：
  - ◆ Apple Macintosh II
    - NuBus：处理器、主存和选定的少量I/O设备
    - SCSI总线：其余I/O设备





# 三总线结构



- 主板总线连接到处理器-主存总线
  - ◆ 处理器-主存总线主要用于处理器和主存之间数据交换
  - ◆ I/O总线连接到主板总线
- 优点
  - ◆ 大大减少处理器-主存总线负载



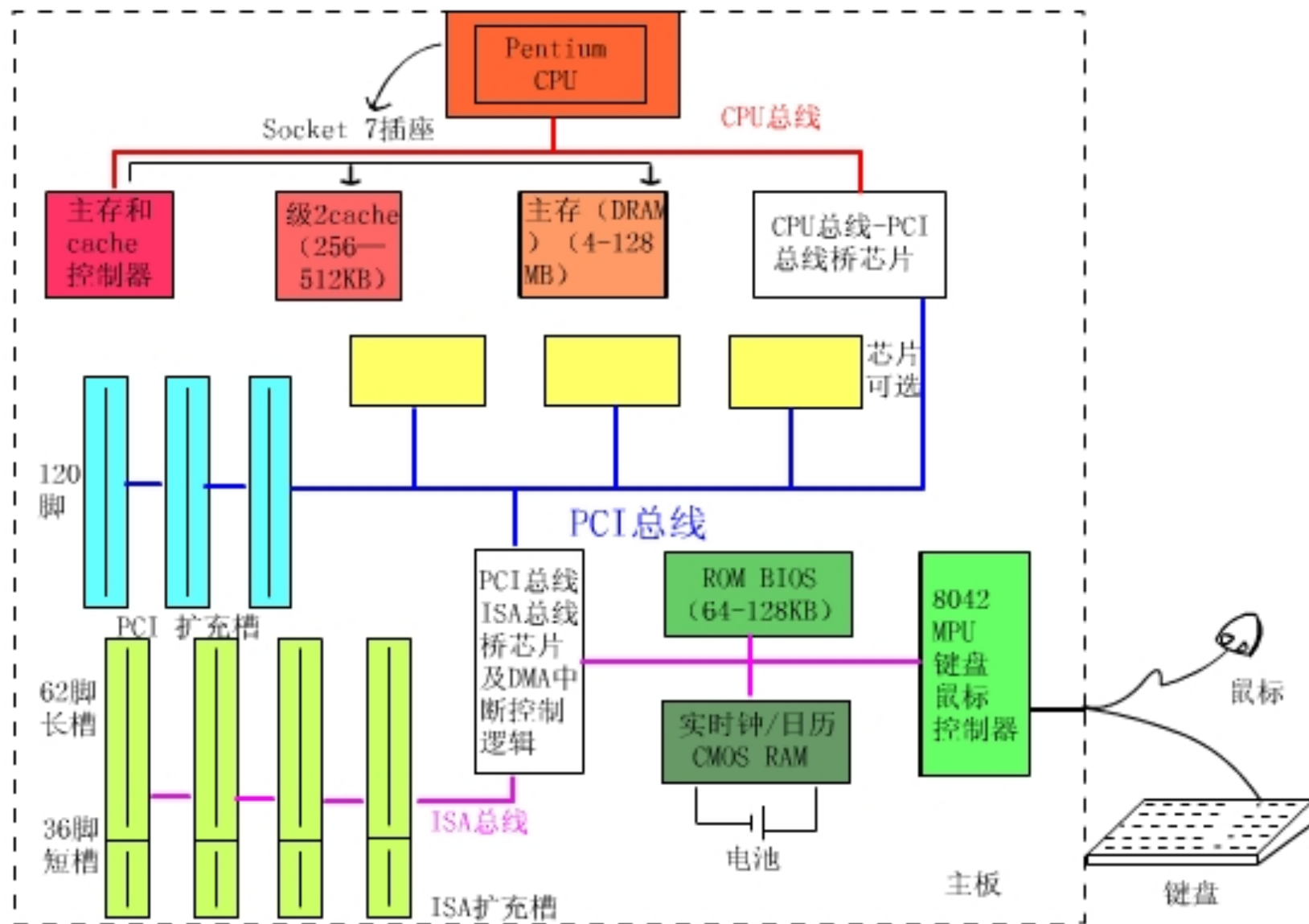


# 典型系统总线

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz (独立)	16 MBps
EISA	32	8 MHz (独立)	33 MBps
VESA (VL-BUS)	32	32 MHz (CPU)	133 MBps
PCI	32	33 MHz (独立)	132 MBps
	64	64 MHz (独立)	528 MBps
AGP	32	66.7 MHz (独立)	266 MBps
		133 MHz (独立)	533 MBps
RS-232	串行通信 总线标准	数据终端设备 (计算机) 和数据通信设备 (调制解调器) 之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线 带屏蔽双绞线 最高	1.5 Mbps (USB1.0) 12 Mbps (USB1.0) 480 Mbps (USB2.0)

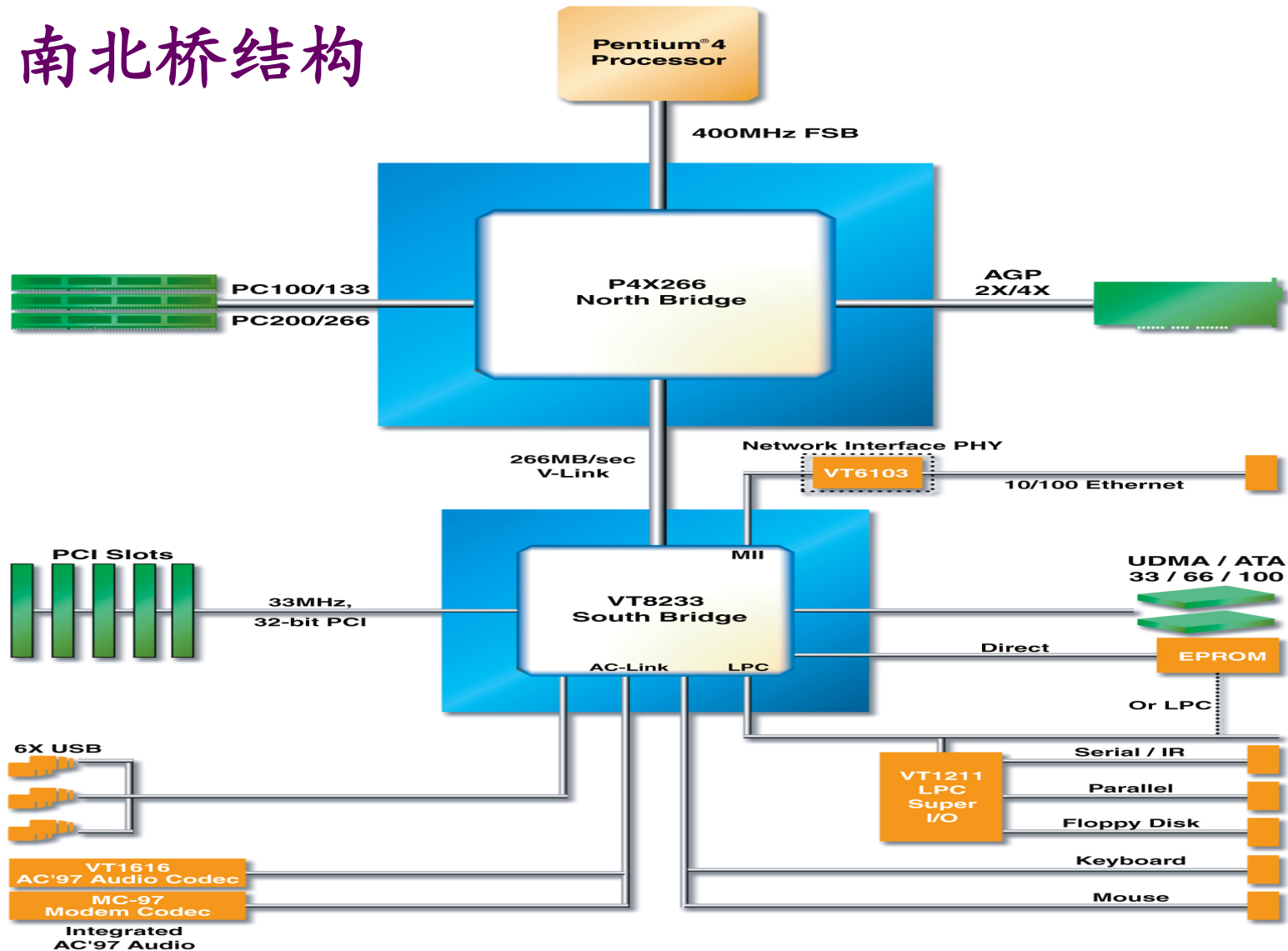


# 三总线结构实例



# 现代计算机典型结构 (1)

## 南北桥结构





## 6.2 总线接口





# 基本概念

## ■ 信息的传送方式

◆ 计算机系统中，传输信息基本有两种方式：

□ 串行传送

□ 并行传送

■ 出于速度和效率上的考虑，系统总线上传送的信息必须采用并行传送方式





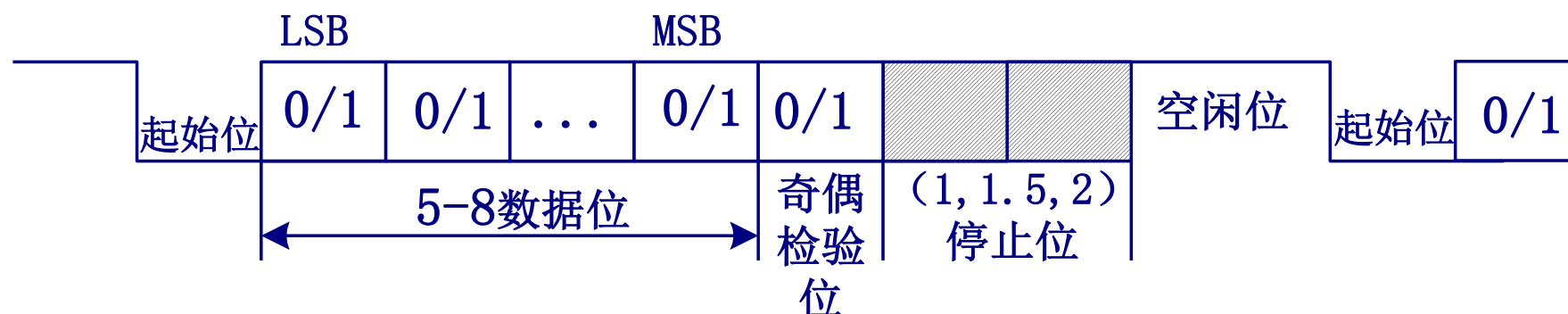
# 串行传送

## ■ 串行传送

◆ 使用一条传输线

◆ 优点：只需要一条传输线，长距离传输时显得尤为重要。  
不管传送的数据量有多少，只需要一条传输线，成本比较低廉。缺点：速度慢

## ■ 异步通信数据格式

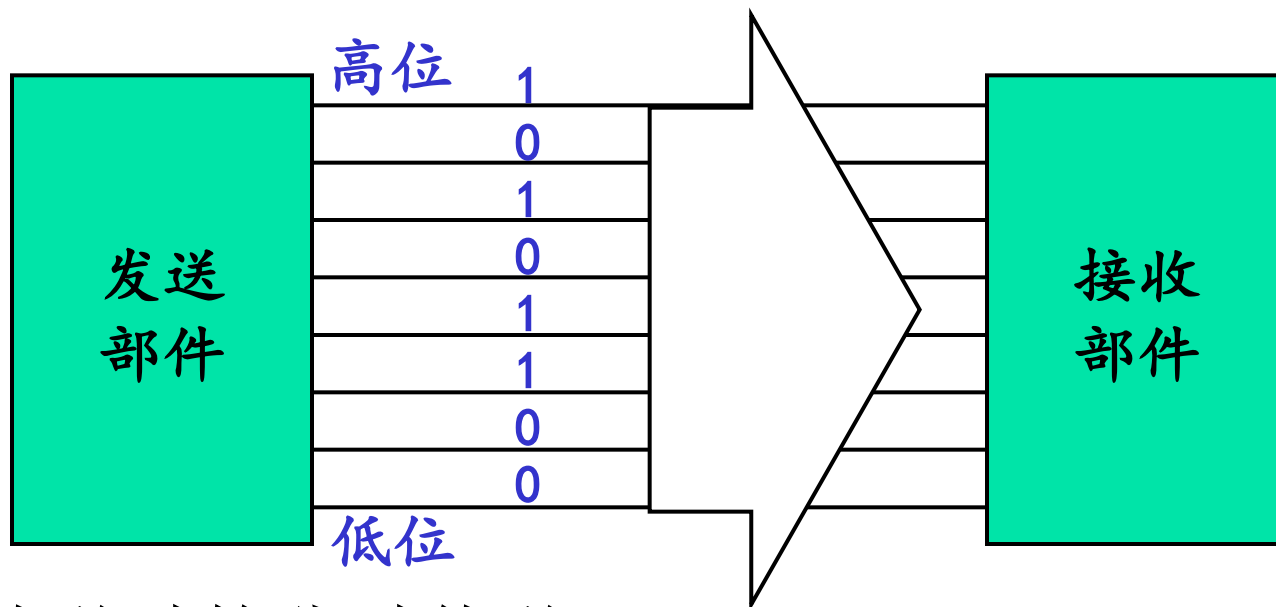




# 并行传送

## ■ 并行传送

- ◆ 每一数据位需要一条传输线，一般采用电位传送



## ■ 并行传送时的分时传送

- ◆ 地址和数据的分时传送，即总线的分时复用
- ◆ 总线上的多个部件分时共享总线

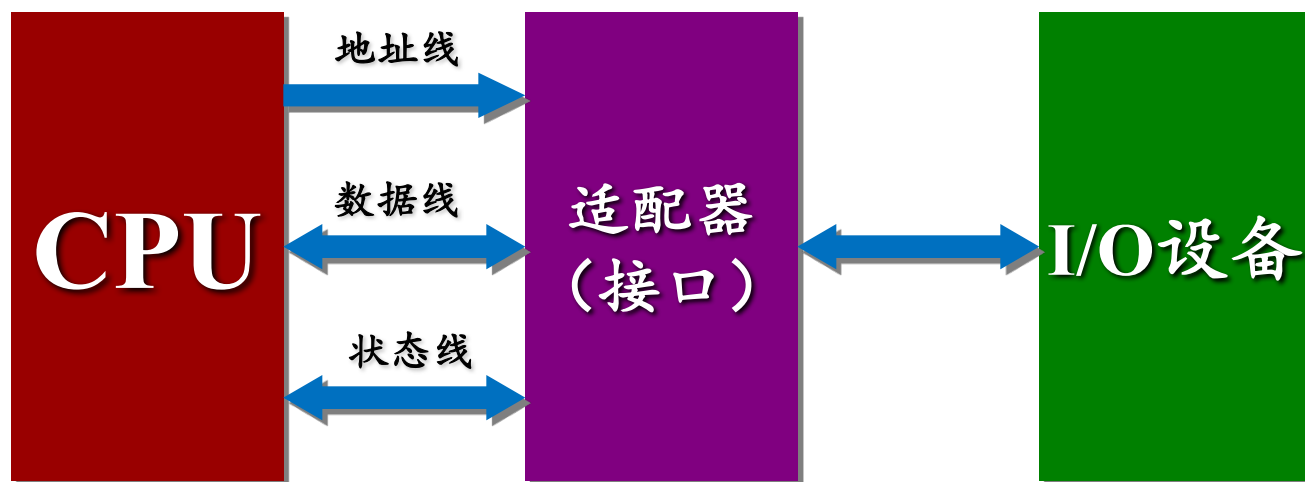






# 接口的基本概念

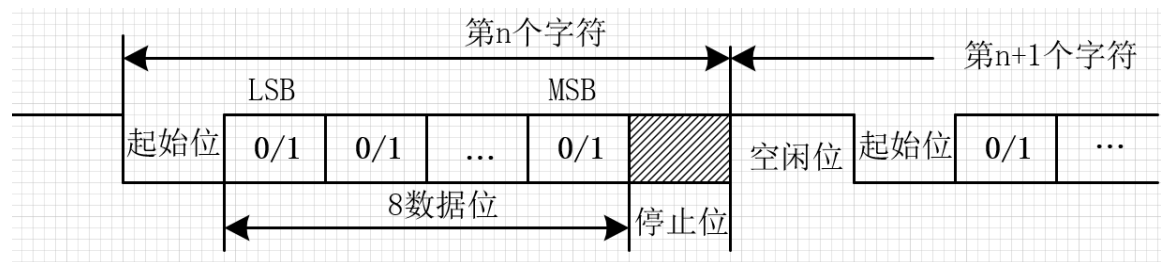
- 接口是CPU和主存、外设之间通过总线进行连接的逻辑部件
- 接口的典型功能：控制、缓冲、状态、转换和程序中断





# 例2

利用串行方式传送字符，把每秒钟传输码元符号的个数称为波特率。假设数据传送速率是120个字符/秒，每一个字符格式规定包含10bit(起始位、停止位、8个数据位)，问传送的波特率是多少？每个bit占用的时间是多少？



**注：比特率=波特率×单个调制状态对应的二进制位数**

解：数据传送的比特率：10位×120/秒=1200bit/秒

假定单个调制状态（符号）对应1bit，则

波特率为：1200bit/秒÷1=1200波特

每个bit占用的时间： $T_d = 1/1200 = 0.833 \times 10^{-3} \text{s} = 0.833 \text{ms}$



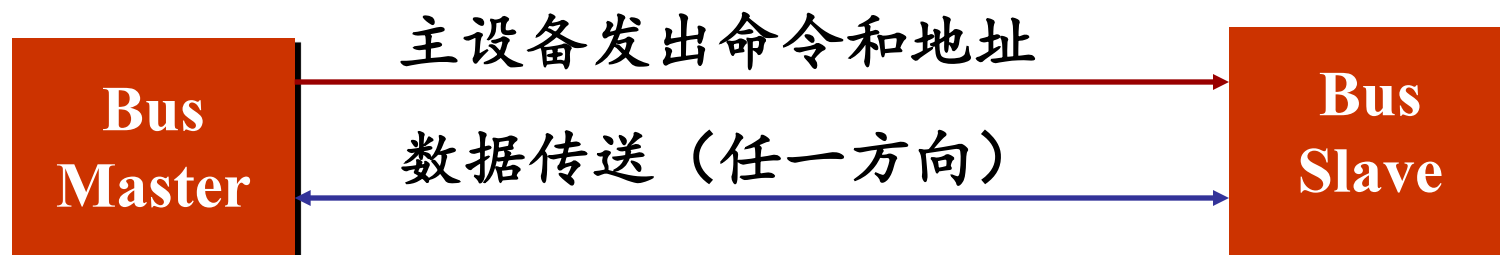


## 6.3 总线的仲裁





# 主设备和从设备



- 总线事务包括两个部分：
  - ◆ 发起命令和地址
  - ◆ 传输数据
- 主设备（Master）是总线事务的发起者。
  - ◆ 发出命令和地址
- 从设备（Slave）是总线事务的响应者
  - ◆ 主设备发出读命令，将数据发送到主设备
  - ◆ 主设备发出写命令，接收主设备发来的写入数据





# 总线的仲裁 (1)

- 主设备在传送数据前需要占用总线，并启动一个总线周期，而从设备只能响应主设备请求。每一次总线操作，只能有一个主设备，但是可以有多个从设备
- 为了解决多个主设备争用总线的问题，需设置总线仲裁部件。这是总线设计中重要问题之一
- 总线占用期：主设备持续控制总线的時間
- 最简单的情景
  - ◆ 处理器作为唯一的总线主设备
  - ◆ 所有总线操作均由处理器控制
  - ◆ 缺点：处理器被卷入到每一个总线事务中





# 总线的仲裁 (2)

## ■ 总线仲裁的基本要求

- ◆ 总线主设备在使用总线前应发出总线请求
- ◆ 在得到授权后，主设备才能使用总线
- ◆ 使用完毕后，主设备应归还总线并通知仲裁器

## ■ 总线仲裁器在以下两方面取得平衡

- ◆ 优先权：优先级高的设备应该优先得到服务
- ◆ 公平性：最低优先级的设备也不能永远被排除在总线服务之外

## ■ 总线仲裁方式

- ◆ 集中仲裁：
  - 链式查询
  - 计数器定时查询
  - 独立请求方式

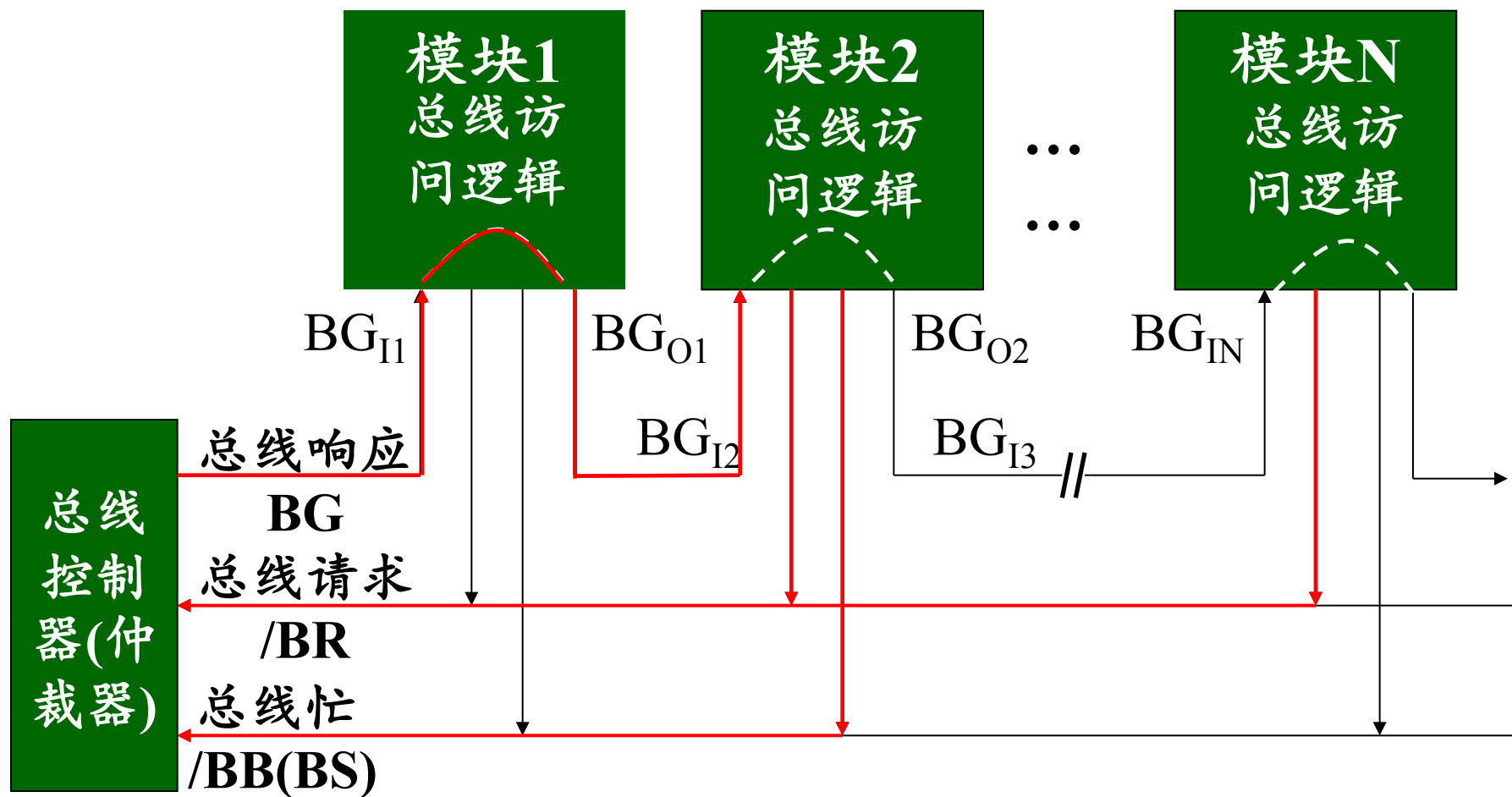
例如，交通警察  
在路口指挥交通

- ◆ 分布仲裁：例如，路口没有交通警察，所有车辆先停下，确认其他方向没有来车后通行





# 集中仲裁：链式查询方式





# 说明

- 总线空闲时， $\text{/BR}$ 、 $\text{/BB}$ 和 $\text{BG}$ 均无效
- 总线申请者可以通过置 $\text{/BR}=0$ 发出总线申请
- 当 $\text{/BR}=0$ 且总线空闲（ $\text{/BB}=1$ ）时总线控制器置 $\text{BG}=1$ ，响应总线请求。
- 若某模块未申请总线而收到 $\text{BG}_i=1$ ，则置 $\text{BG}_0=1$ （ $\text{BG}$ 沿串行链向下传递）。
- 若某模块已发出总线申请，则在 $\text{/BR}=0$ 、 $\text{/BB}=1$ 和 $\text{BG}_i=1$ 三者同时满足的情况下占用总线，同时使 $\text{BG}_0=0$ ，以禁止更低优先级的申请者接管总线使用权。
- 若某模块收到 $\text{BG}_i=0$ ，则置 $\text{BG}_0=0$
- 任何申请者在占用总线后需使 $\text{/BB}=0$ ，表示总线已占用，以禁止控制器发出 $\text{BG}=1$ （上升沿）。
- 占用总线的模块使用完总线后使 $\text{/BB}=1$ ，以示归还总线。

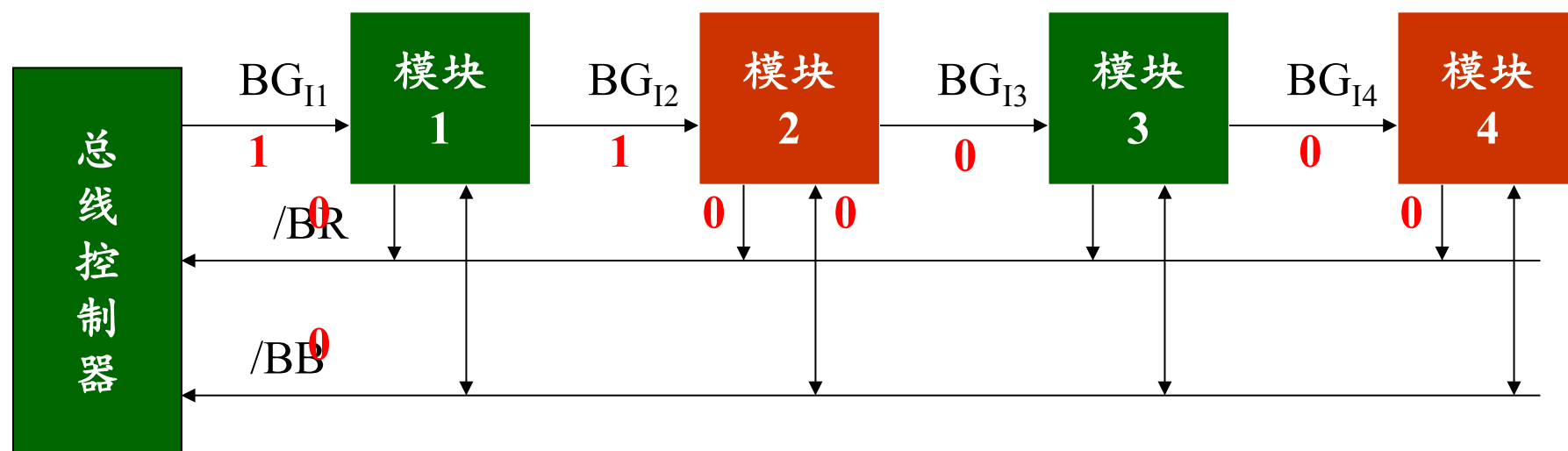






# 举例

- 如图所示的链式查询方式总线：
  - ◆ 模块2、模块4有请求
  - ◆ 模块1、模块3无请求
- 当总线控制器出让总线控制权后，各总线控制信号的状态是什么？





# 链式查询方式的特点

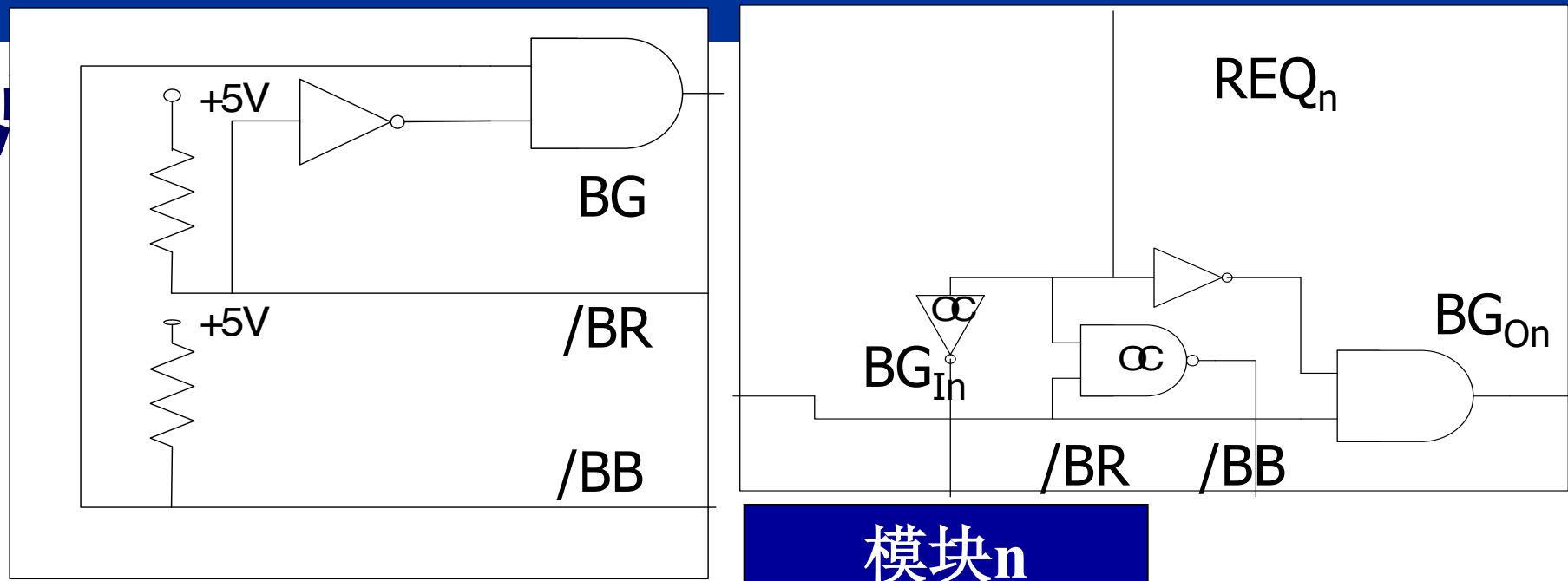
## ■ 优点：

- ◆ 实现简单：只用几根控制线实现优先级控制。
- ◆ 便于增删总线上的设备：总线控制器的结构与部件（模块）数量无关。

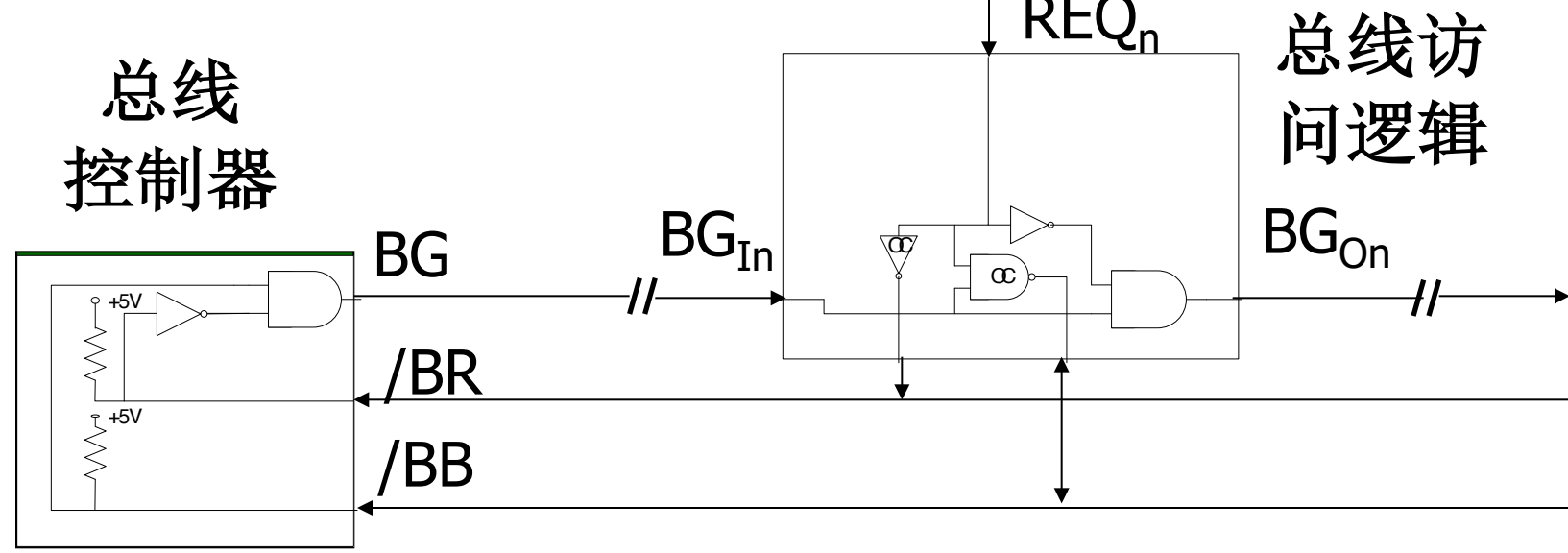
## ■ 缺点：

- ◆ 对电路**故障敏感**：若某部件故障，其后的所有部件甚至整个查询链均不能正常工作。
- ◆ 仲裁速度慢：总线确认信号串行传送，主设备越多仲裁时间越长。
- ◆ 优先级不能改变：优先级低的设备有可能会“饿死”。

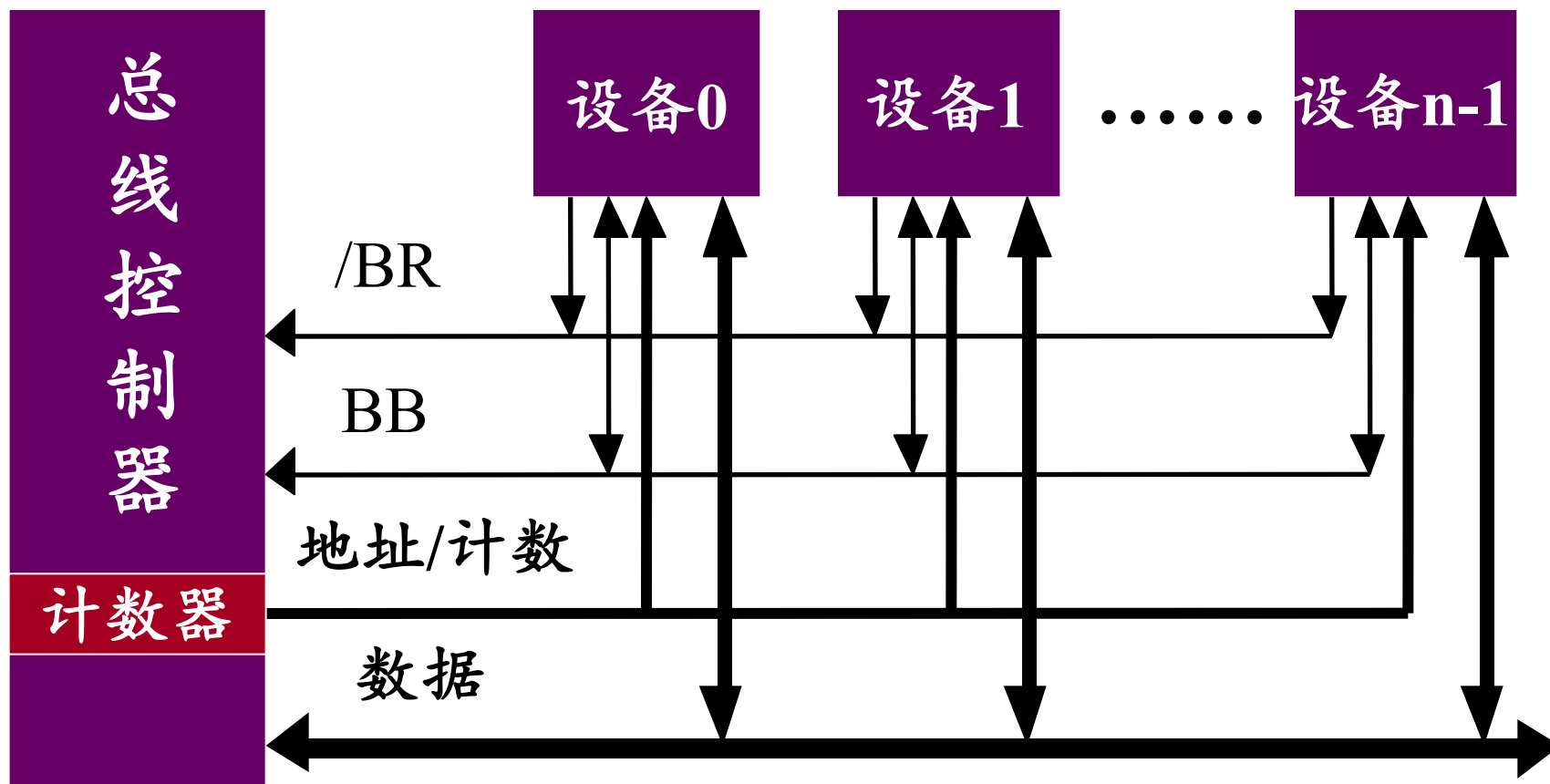




模块n



# 集中仲裁：计数器定时查询方式





# 工作原理

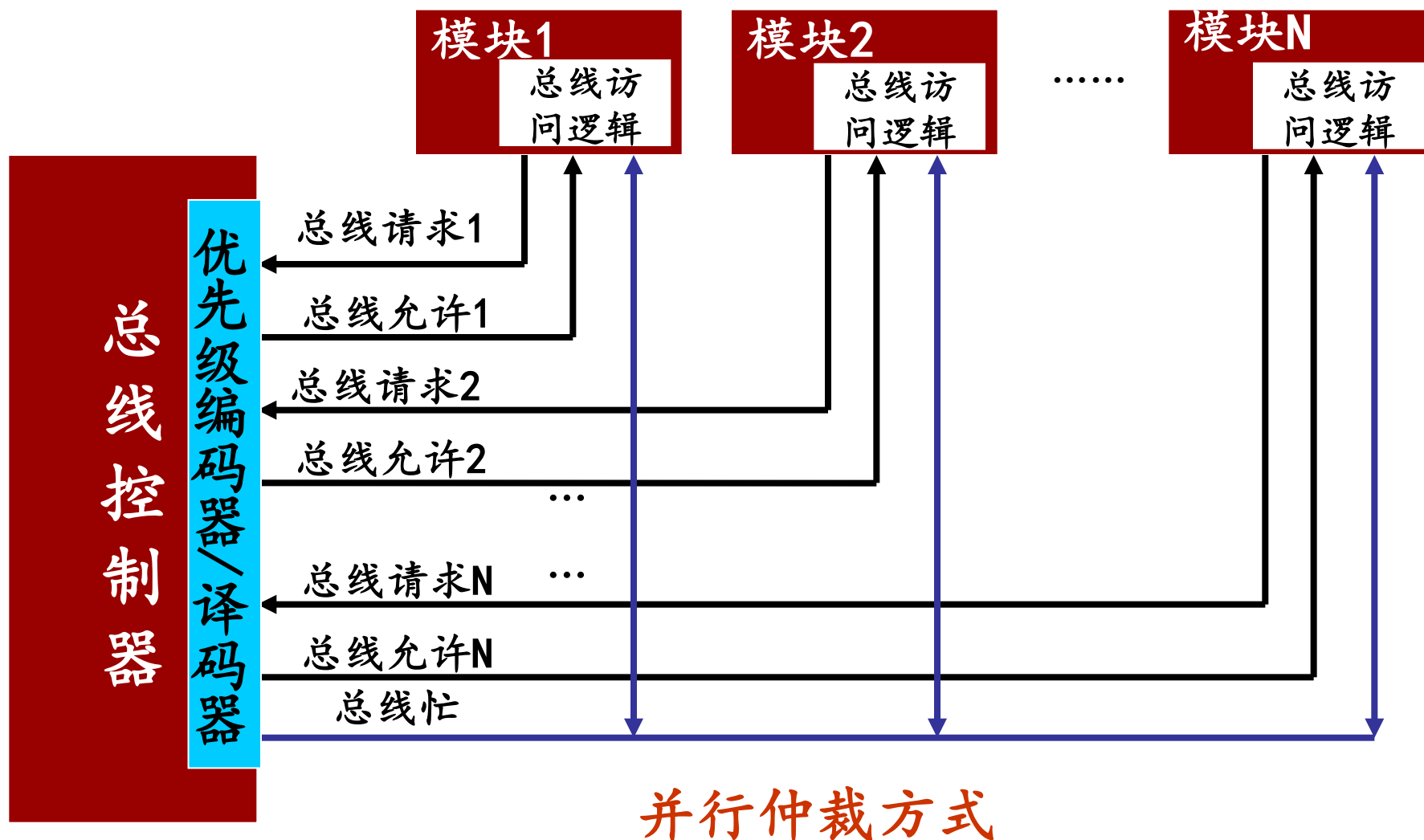
可灵活改变各设备使用总线的优先级

- 总线上的任一设备要求使用总线时，通过/**BR**线发出总线请求。中央仲裁器接到请求信号以后，在**BB**线为“0”的情况下（即总线空闲），启动计数器开始计数，计数值通过一组地址线发向各设备。每个设备接口都有一个设备地址判别电路，当地址线上的计数值与请求总线的设备地址相一致时，该设备获得总线使用权，把**BB**线置“1”，并使计数器暂停计数。
- 每次计数可以从“0”开始，也可从暂停点开始。
  - ◆ 如果从“0”开始，各设备的优先次序与链式查询法相同，优先级的顺序是固定的
  - ◆ 如果从暂停点开始，每个设备使用总线的优先级相等
- 计数器的初值也可用程序来设置，这可以方便地改变优先次序。但这种灵活性是以增加地址线数为代价的。





# 集中仲裁：独立请求方式





# 独立请求方式的特点

## ■ 优点

- ◆ 判优速度快，且与模块数无关
- ◆ 对优先级的控制灵活
- ◆ 对故障不敏感

## ■ 缺点

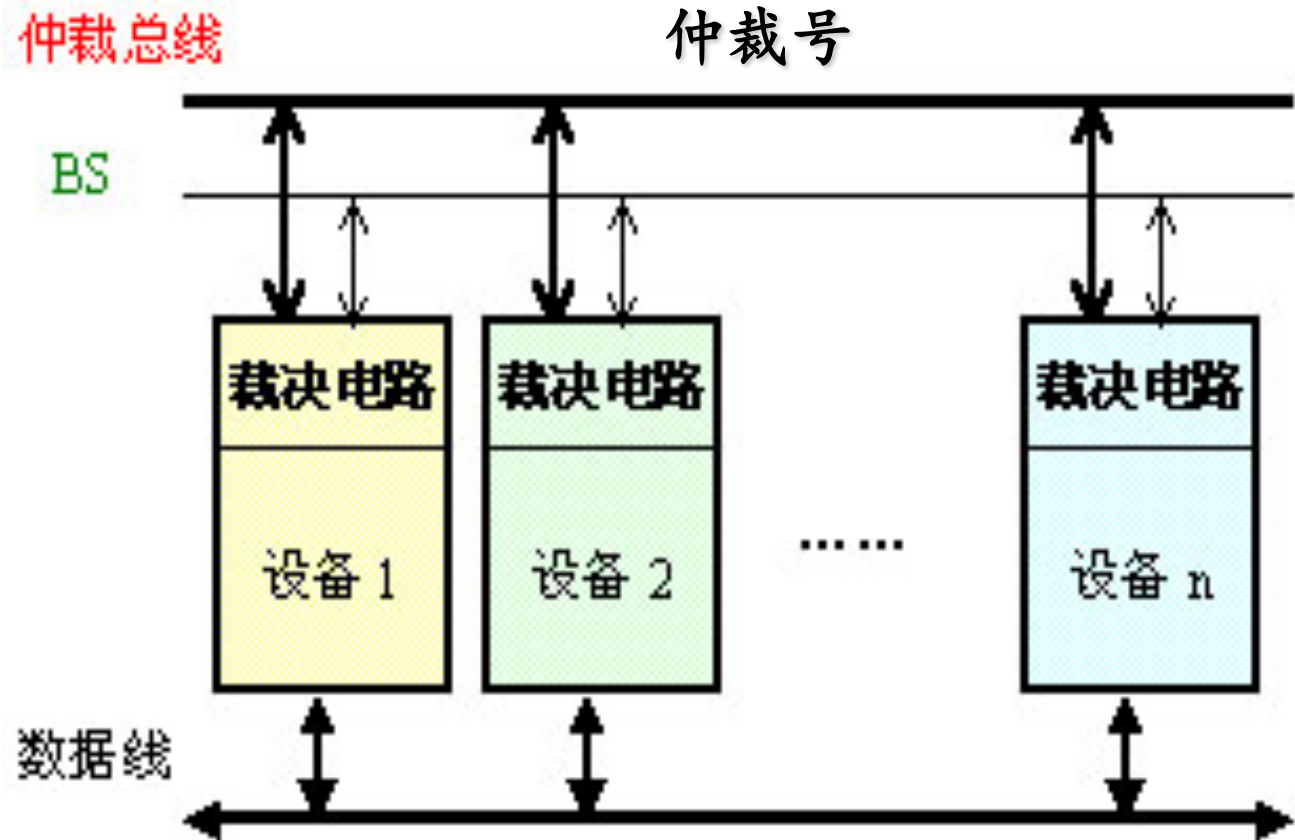
- ◆ 所需“请求线”和“允许线”较多
- ◆ 电路复杂
- ◆ 不易增加设备





# 分布式仲裁方式

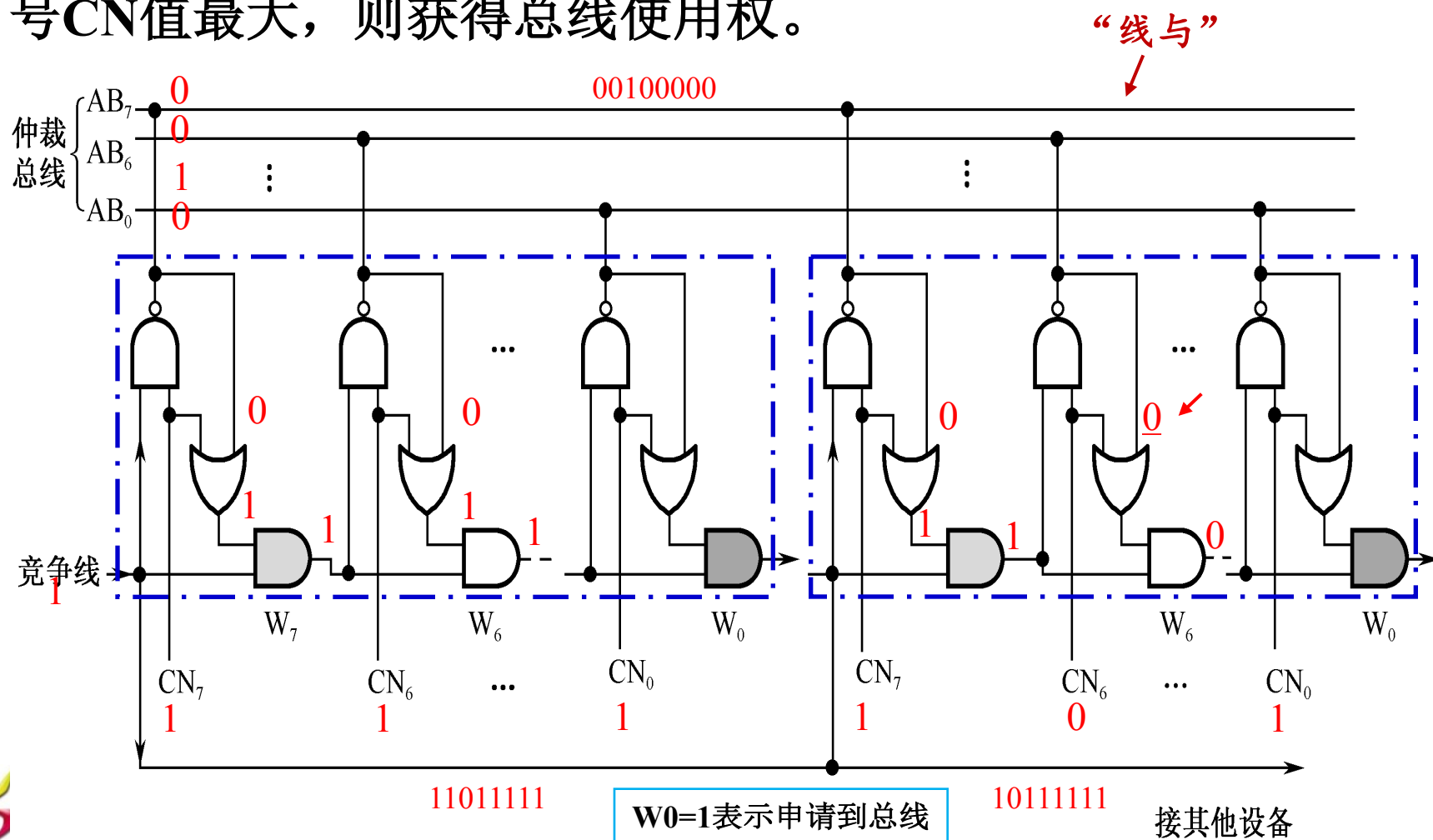
- 在单机系统中，中央仲裁器即为总线控制器。
- 分布式仲裁：没有中央仲裁器，而是多个仲裁器竞争使用总线





# 分布式仲裁示意图

当某设备需要使用总线时，将它的仲裁号发到仲裁总线上，各设备通过仲裁总线相互比较其仲裁号的大小，若某设备的仲裁号CN值最大，则获得总线使用权。





# 说明

- 各设备 $CNi$ 取反后输出到仲裁总线 $ABi$ 上，利用“**线与**”逻辑实现各 $CNi$ 的比较。若 $ABi$ 线为低电平，则表示至少有一个主设备的 $CNi$ 为1；若 $ABi$ 线为高电平，则表示**所有**主设备的 $CNi$ 为0。
- 欲申请占用总线的各设备向仲裁总线 $AB$ 发出自己的 $CN$ 值，各设备的对应位 $ABi$ 分别从高到低依次进行比较，当更高位竞争结果 $W_{i+1}$ 为1且 $ABi$ 为高电平时（此时 $CNi=1$ 或0），则使 $Wi=1$ ；当更高位竞争结果 $W_{i+1}$ 为1且 $ABi$ 为低电平、 $CNi=0$ 时，则使 $Wi=0$ 。若 $Wi=0$ ，则该低电平将一直向右传递，使其后面的低位不能使 $AB$ 线的相应位为低电平
- 若某设备的 $W0=1$ ，则表示该设备竞争到总线
- 竞争获胜者取反后的仲裁号被保留在仲裁线 $AB$ 上。





## 6.4 总线定时和数据传送模式





# 总线传输过程

总线上数据的传输是在主设备控制下进行的，主模块（CPU、DMA等）有控制总线的能力。总线完成一次数据传输分4个阶段

## ■ 申请阶段

欲使用总线的主模块提出申请，总线仲裁器确定把下一个传输周期的总线使用权指配给哪个模块

## ■ 寻址阶段

获得总线使用权的主模块发出存储器地址或I/O端口地址，使从模块启动

## ■ 传数阶段

主模块和从模块之间进行数据传输

## ■ 结束阶段

主从模块的有关信息均从系统总线上撤除，让出总线





# 总线数据传送的两种方式

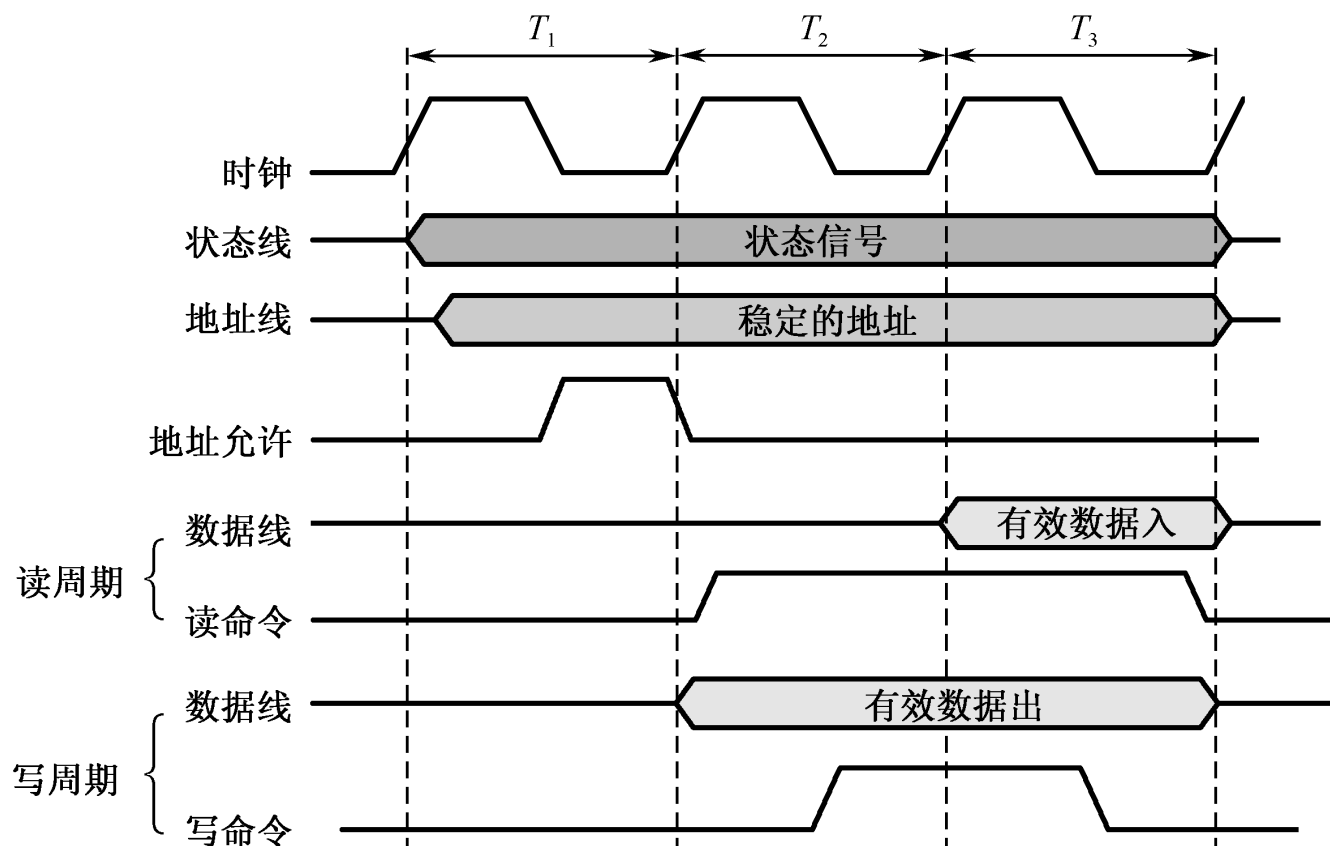
- 同步方式：由统一时钟控制数据传送
- 异步方式：采用应答方式，没有公共时钟





# 同步方式

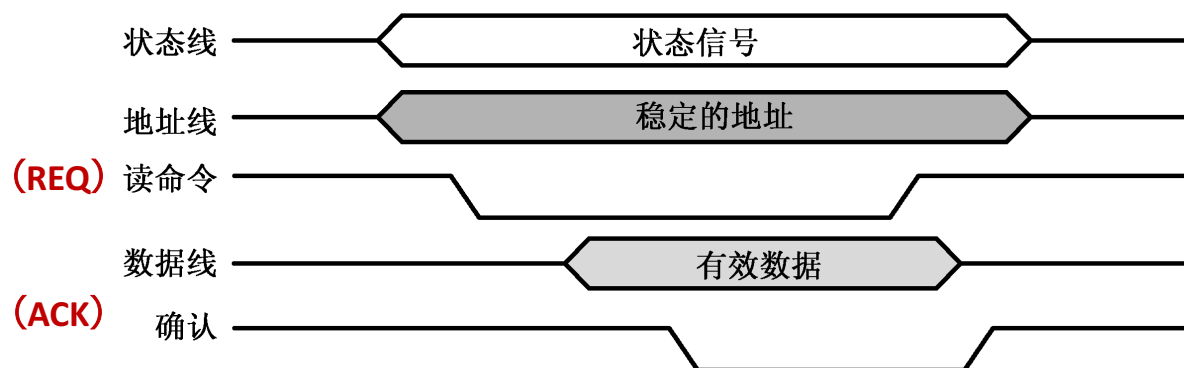
- 总线上的主、从模块在同一时钟的控制下进行传送，完成一次数据传送的传输周期（即总线周期）是固定的。



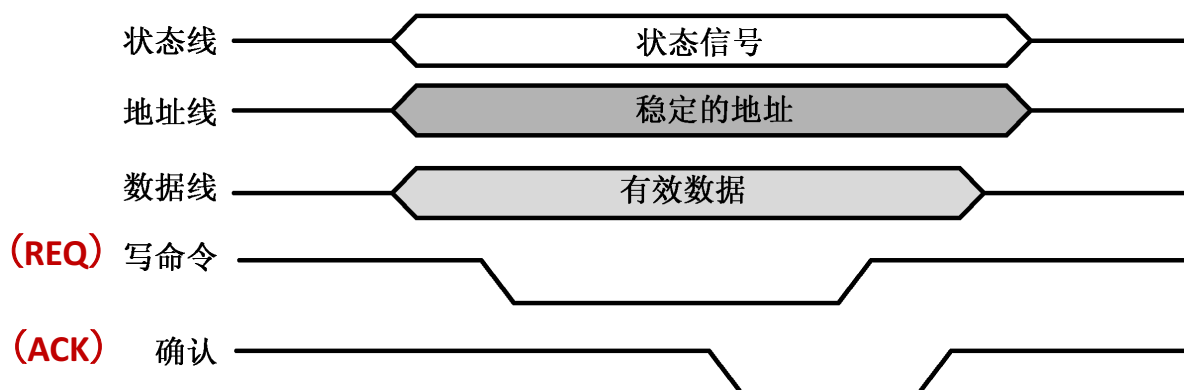


# 异步方式

- 采用应答式传输方式。使用请求线（REQ）和应答线（ACK）来协调传输过程而不依赖公共时钟信号。



(a) 系统总线读周期



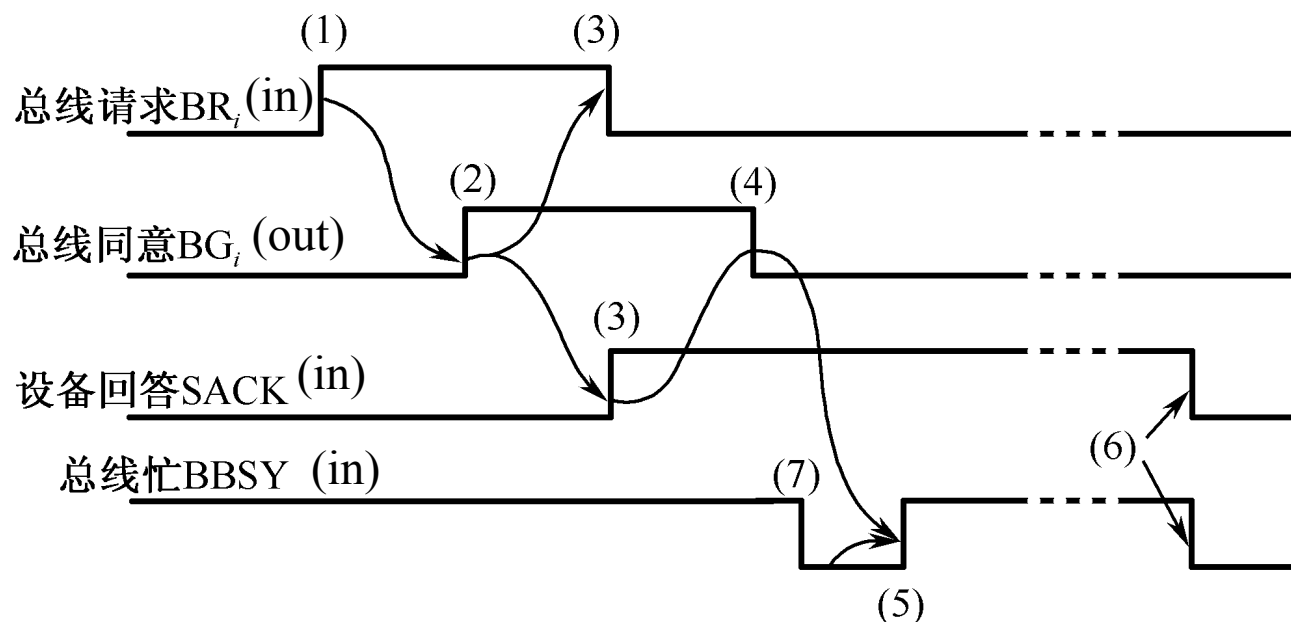
(b) 系统总线写周期





# 例3 (1)

某CPU采用集中式仲裁方式，使用独立请求与链式查询相结合的二维总线控制结构。每一对请求线 $BR_i$ 和授权线 $BG_i$ 组成一对链式查询电路。每一根请求线可以被若干个传输速率接近的设备共享。当这些设备需要传送时，通过 $BR_i$ 线向仲裁器发出请求，对应的 $BG_i$ 线则串行查询每个设备，从而确定哪个设备享有总线控制权。请分析说明下图所示的总线仲裁时序图。







## 例3 (2)

解：从时序图看出，该总线采用异步定时协议。

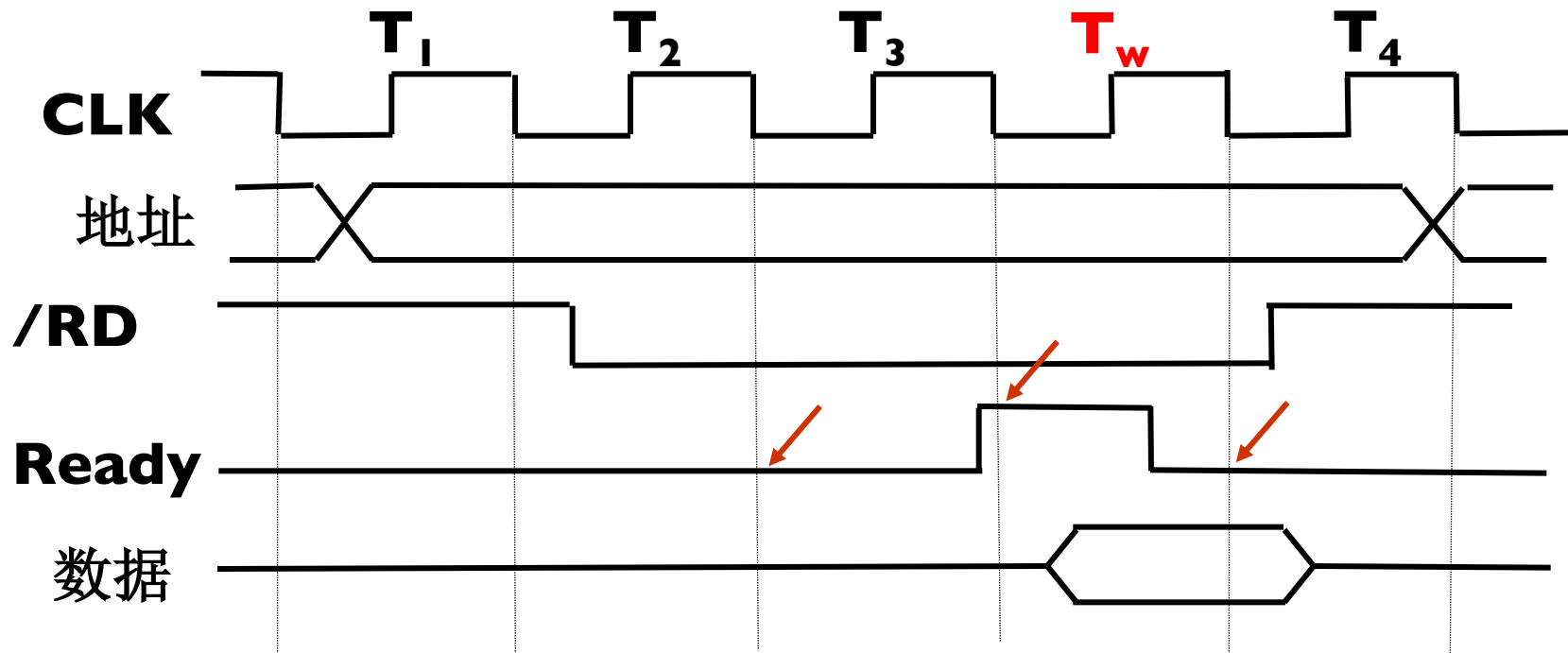
- ◆ 当某个设备请求使用总线时，在该设备所属的请求线上发出申请信号**BR<sub>i</sub>** (1)。
- ◆ **CPU**按某种优先原则给出授权信号**BG<sub>i</sub>**作为回答 (2)
- ◆ **BG<sub>i</sub>**采用链式方式查询各设备，优先级最高的设备将**SACK**证实信号变为有效表示已收到**BG<sub>i</sub>**信号 (3)
- ◆ **CPU**接到**SACK**信号后下降**BG**作为回答 (4)
- ◆ 若总线“忙”标志**BBSY**为低电平，则该设备将**BBSY**置为高电平，表示获得了总线控制权，成为控制总线的主设备 (5)
- ◆ 该设备用完总线后，将**BBSY**和**SACK**信号变为无效 (6)，释放总线
- ◆ 在上述选择主设备过程中，如果当前有其他主从设备正在进行传送，则此时需等待现行传送结束，即现行主设备下降**BBSY**信号后 (7)，新的主设备才能上升**BBSY**，获得总线控制权





# 半同步方式

- 同步和异步方式的结合。有同步时钟，但传输周期（总线周期）可变。增加一条信号线（如Ready），主模块监视该信号线查看选中的从模块是否准备好，如果未准备好则插入等待状态 $T_w$ ，延长总线传输周期





# 分离方式

## ■ 将传输周期（总线周期）分成两个子周期

### ◆ 子周期1

主模块申请总线，发出地址、控制命令（读或写）。使用完后释放总线，供其他模块使用。

### ◆ 子周期2

从模块准备好数据后，申请总线，获准后将数据送至总线上。

## ■ 特点

◆ 模块准备数据时，不占用总线

◆ 大大提高总线的利用率

◆ 适用于多个主模块的系统

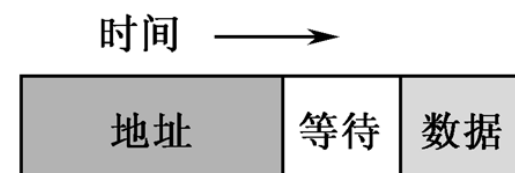




# 总线数据传送模式（1）

## ■ 读、写操作

- ◆ 读操作是由从方到主方的数据传送
- ◆ 写操作是由主方到从方的数据传送
- ◆ 通常，主方先以一个总线周期发出命令和从方地址，经过一定的延时再开始数据传送总线周期。



(a) 读操作



(b) 写操作

为了提高总线利用率，减少延时损失，主方完成寻址总线周期后可让出总线控制权，以使其他主方完成更紧迫的操作。然后再重新竞争总线，完成数据传送总线周期

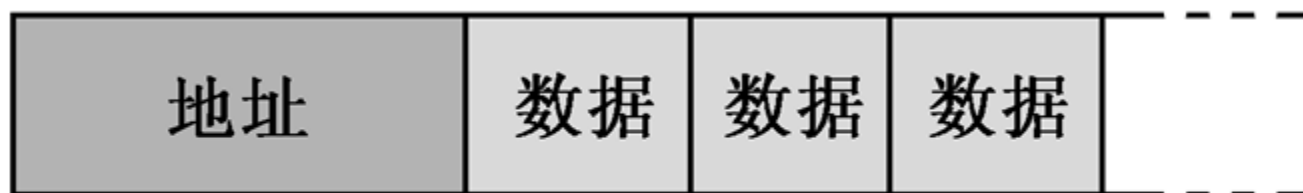




# 总线数据传送模式（2）

## ■ 块传送操作

- ◆ 只需给出块的起始地址，然后对固定块长度的数据逐一地读出或写入。对于CPU（主方）-存储器（从方）而言的块传送，常称为突发式传送，其块长一般固定为数据线宽度（存储器字长）的4倍。
- ◆ 例如一个64位数据线的总线，一次突发式传送可达256位。这在超标量流水中十分有用。



(c) 成块数据传送

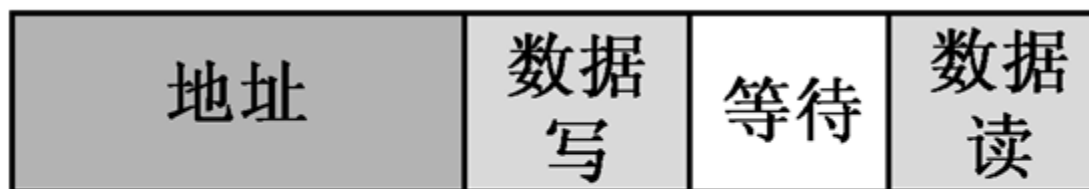




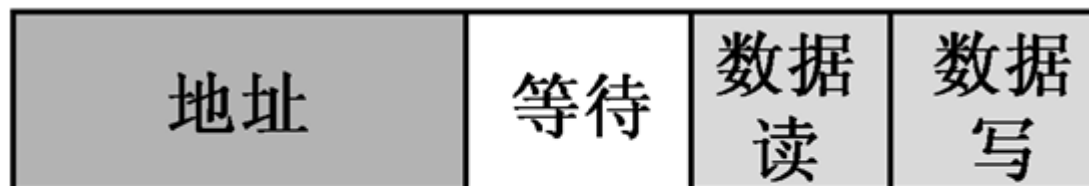
# 总线数据传送模式 (3)

## ■ 写后读、读修改写操作

- ◆ 这是两种组合操作。只给出地址一次（表示同一地址），或进行先写后读操作，或进行先读后写操作。前者用于校验目的，后者用于多道程序系统中对共享存储资源的保护。这两种操作和突发式操作一样，主方掌管总线直到整个操作完成。



(e) 写后读操作



(d) 读-修改-写操作





# 总线数据传送模式（4）

## ■ 广播、广集操作

- ◆ 一般而言，数据传送只在一个主方和一个从方之间进行。
- ◆ 但有的总线允许一个主方对多个从方进行写操作，这种操作称为广播。
- ◆ 与广播相反的操作称为广集，它将选定的多个从方数据在总线上完成AND或OR操作，用以检测多个中断源。





# 动手做

19. 下列有关总线定时的叙述中，错误的是（）

- A. 异步通信方式中，全互锁协议最慢
- B. 异步通信方式中，非互锁协议的可靠性最差
- C. 同步通信方式中，同步时钟信号可由多设备提供
- D. 半同步通信方式中，握手信号的采样由同步时钟控制







## 6.5 PCI总线





# PCI总线基本概念

- 随着微处理器性能的不不断提升，ISA总线16MB/s的数据传输率已成为系统的瓶颈
- 1991年，由Intel公司首先提出了PCI（Peripheral Component Interconnect）的概念。PCI总线是PC体系结构的重大发展。它打破了数据I/O的瓶颈，使高性能CPU的功能得以充分发挥。1992年Ver1.0→2004年Ver3.0
- PCI总线的含义是周边器件互连。从结构上看，PCI总线是在ISA总线和CPU总线之间插入一级总线。高速外设，如图形卡、硬盘控制器和网卡等可从ISA总线上卸下而通过局部总线直接挂接到CPU总线上，使之与高速的CPU总线相匹配





# PCI总线特点

- 独立于处理器。即PCI插卡可插到不同主频主机中
- 总线时钟频率33.3MHz (V2.0) /66.6MHz (V2.1)
- 总线宽度32位，可扩充到64位
- 最大数据传输率133MB/s(266MB/s)
- 支持突发 (Burst) 传输
- 采用同步操作
- 即插即用 ( Plug and Play ) ， 能自动识别外设
- 预留扩展空间
- 隐式总线仲裁
- 采用多路复用方式 (地址线 and 数据线) 减少了引脚数
- 全面支持PCI总线主设备
- 适应5V和3.3V电源环境





# 多总线结构

多层总线的概念。各层之间使用桥进行连接。有三种不同的总线：

■HOST总线用于连接CPU、Cache和主存。也称前端总线

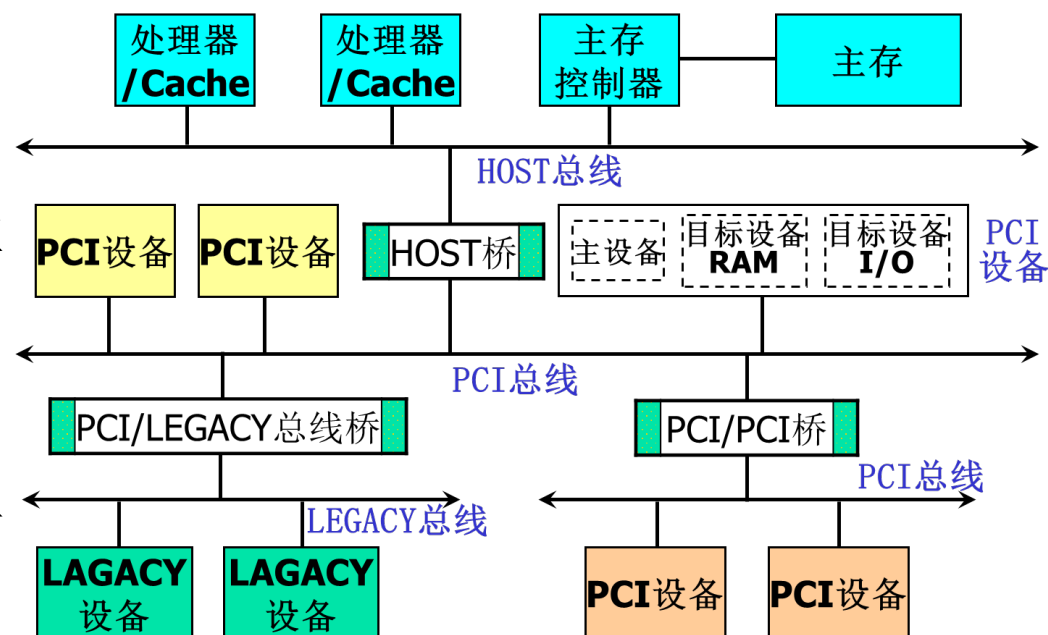
■PCI总线用于连接各种高速的PCI设备（显卡、网卡等）。可以是主设备、或从设备

■LAGACY总线用于已有的连接中、低速设备

桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上

■写操作时，桥缓存上层总线的写数据，然后在下层总线上生成写周期写数据

■读操作时，桥可早于上层总线，直接在下层总线上进行预读





# PCI总线信号

信号线总数为120条，包括电源、地、保留信号线等，所定义的信号线分为两类：

## ■ 必备信号线

主设备49条，从设备47条（没有REQ# 和GNT#）

## ■ 可选信号线

51条，用于64位扩展、中断请求、高速缓存支持等





# 总线周期类型 (1)

- PCI总线周期由当前被授权的主设备发起
- PCI总线周期类型由主设备在C/BE[3~0]线上送出的4位总线命令代码指明，被目标设备译码确认，然后主从双方协调配合完成指定的总线周期操作

C/BE[3:0]#	命令类型说明	C/BE[3:0]#	命令类型说明
0000	中断响应	1000	保留
0001	特殊周期	1001	保留
0010	I/O读(从I/O端口地址中读数据)	1010	配置读周期
0011	I/O写(向I/O端口地址中写数据)	1011	配置写周期
0100	保留	1100	存储器多行读
0101	保留	1101	双地址周期
0110	存储器读(从内存空间映像中读数)	1110	存储器行读
0111	存储器写(向内存空间映像中写)	1111	存储器写并无效





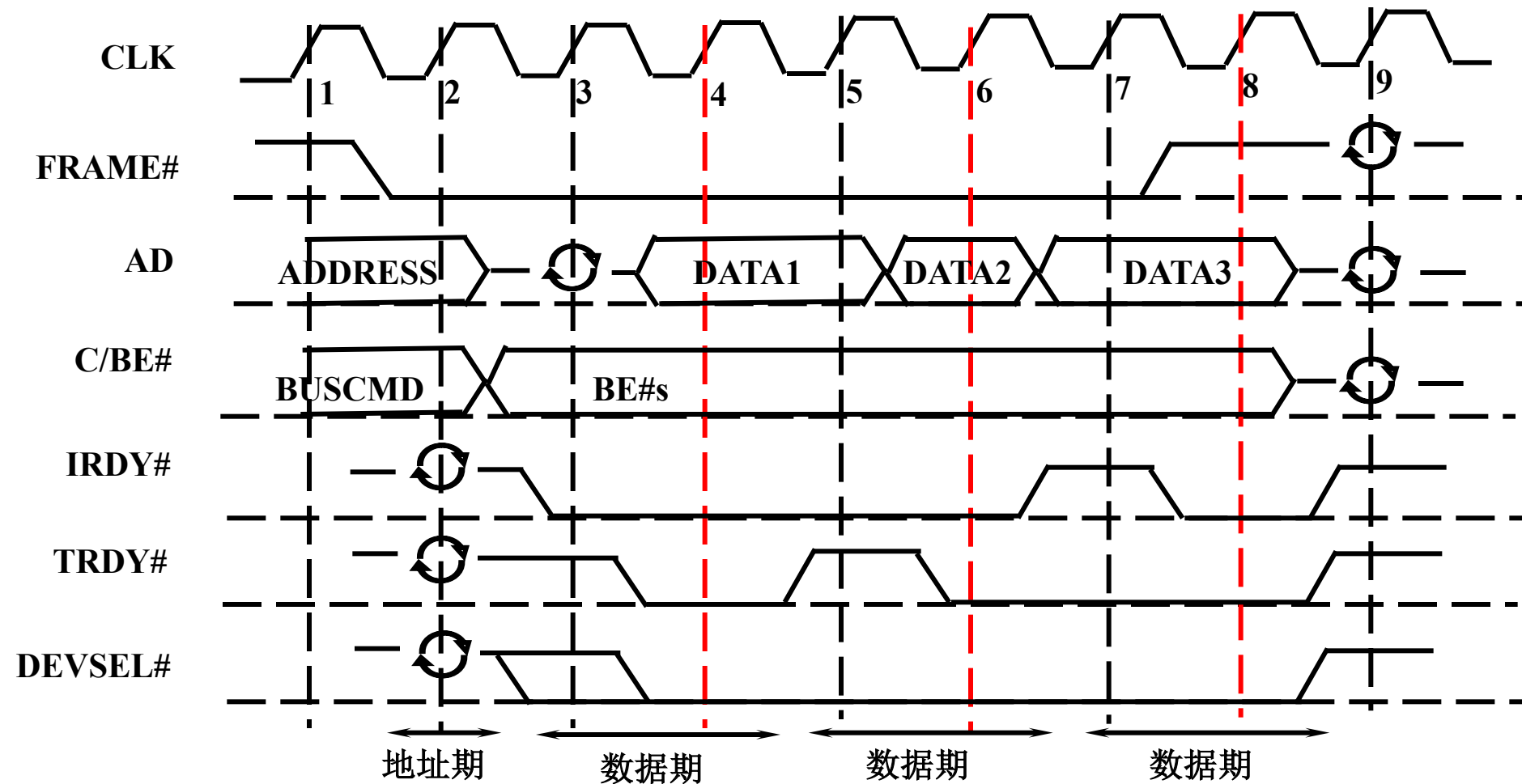
# 总线周期类型 (2)

- 存储器读/写总线周期
- 存储器写和使无效周期
- 特殊周期
- 配置读/写周期
- 双地址周期





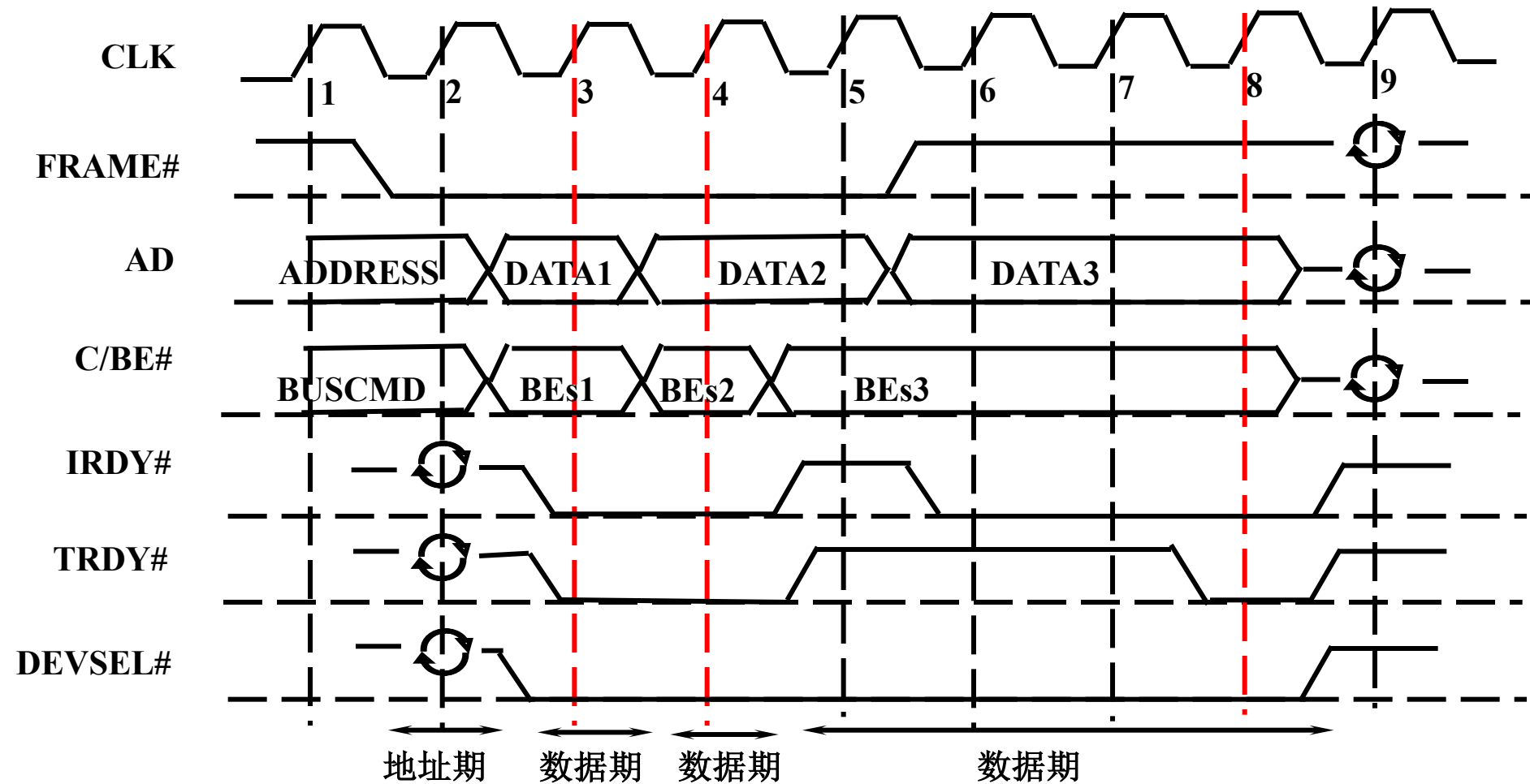
# 总线上的读操作





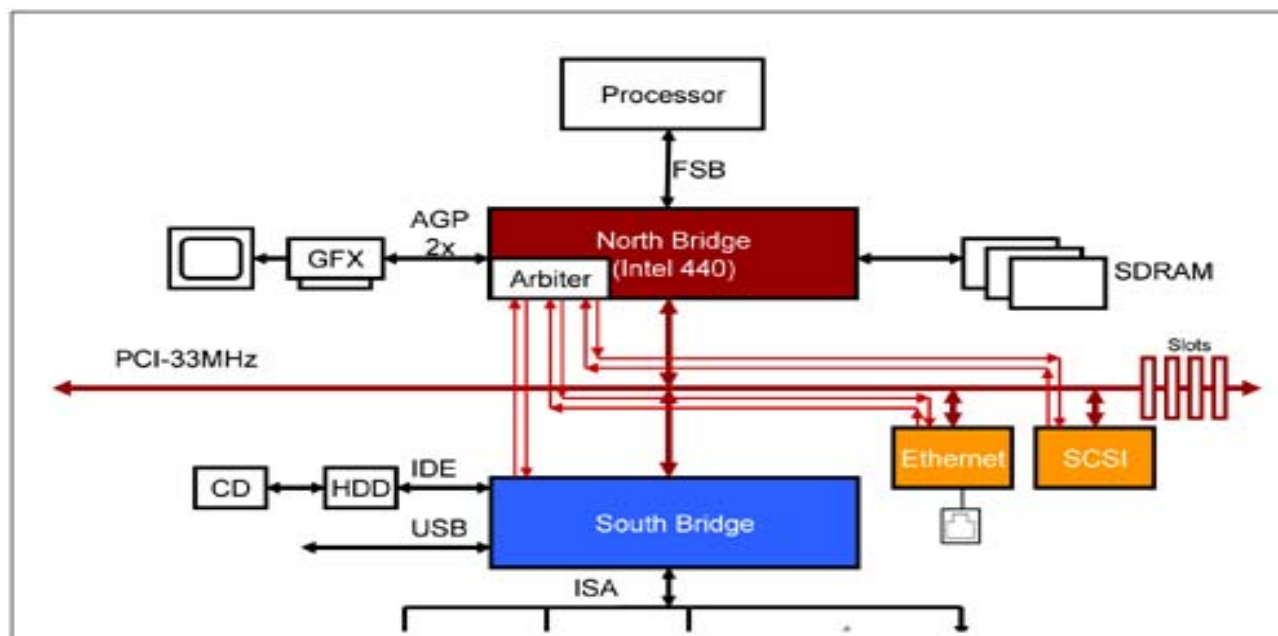


# 总线上的写操作



# 总线仲裁

- PCI总线采用集中式仲裁方式，每个PCI主设备都有独立的REQ#(总线请求)和GNT#(总线授权)两条信号线与中央仲裁器相连
- 中央仲裁器不仅采样每个设备的REQ#信号线，而且采样公共的FRAME#和IRDY#信号线
- 总线仲裁器一般位于桥接芯片中

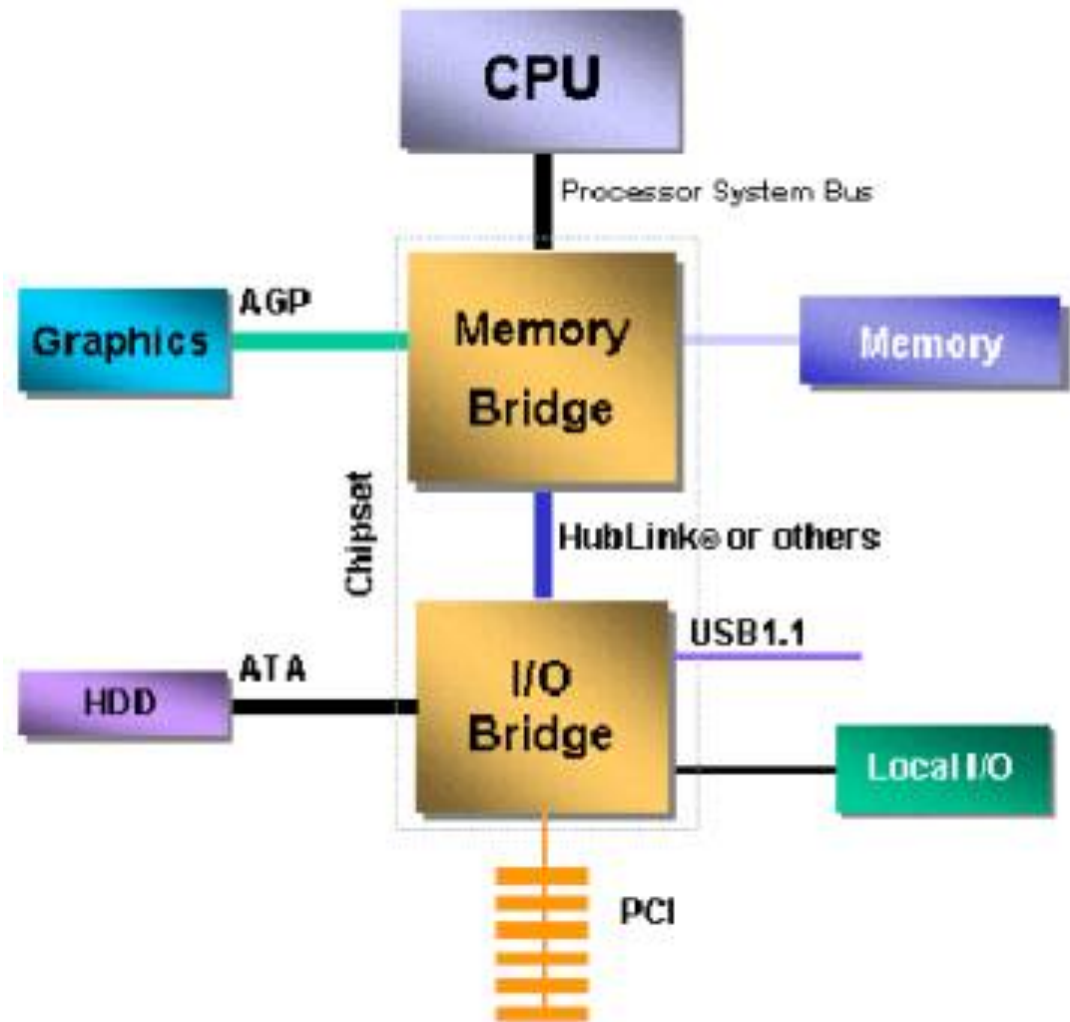




# PCI一力不从心

## ■ 南桥/北桥

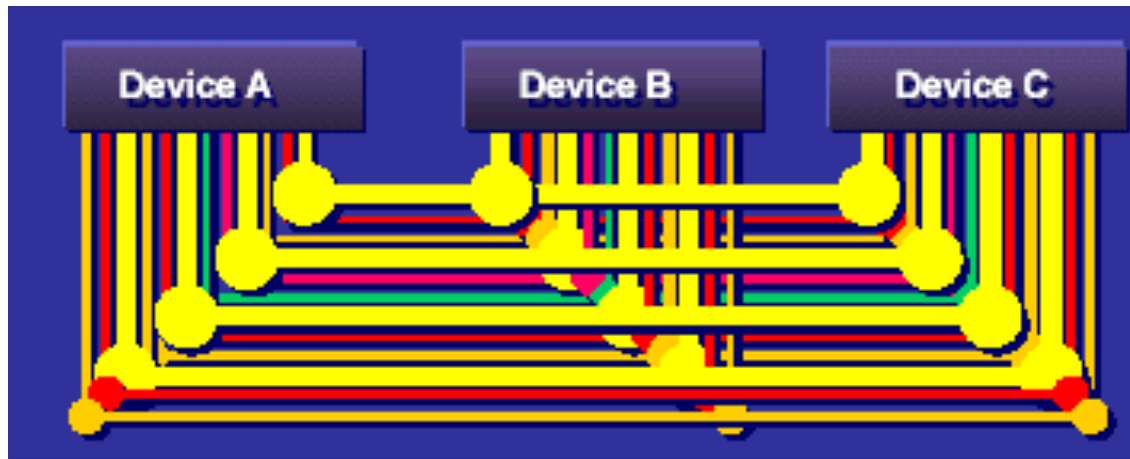
- ◆ Intel 440系列以后
- ◆ PCI地位大大降低



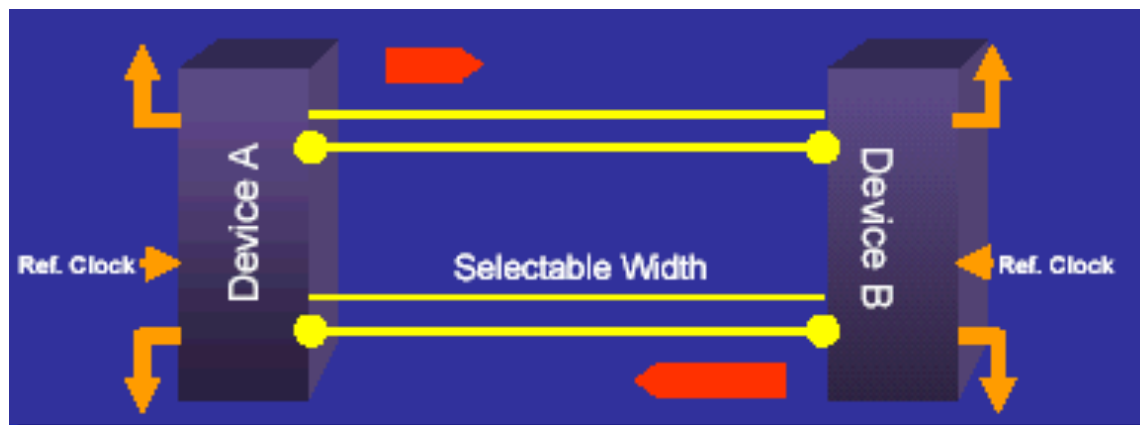


# PCI Express

## ■ PCI与PCI Express对比



PCI



PCI Express





# PCI Express

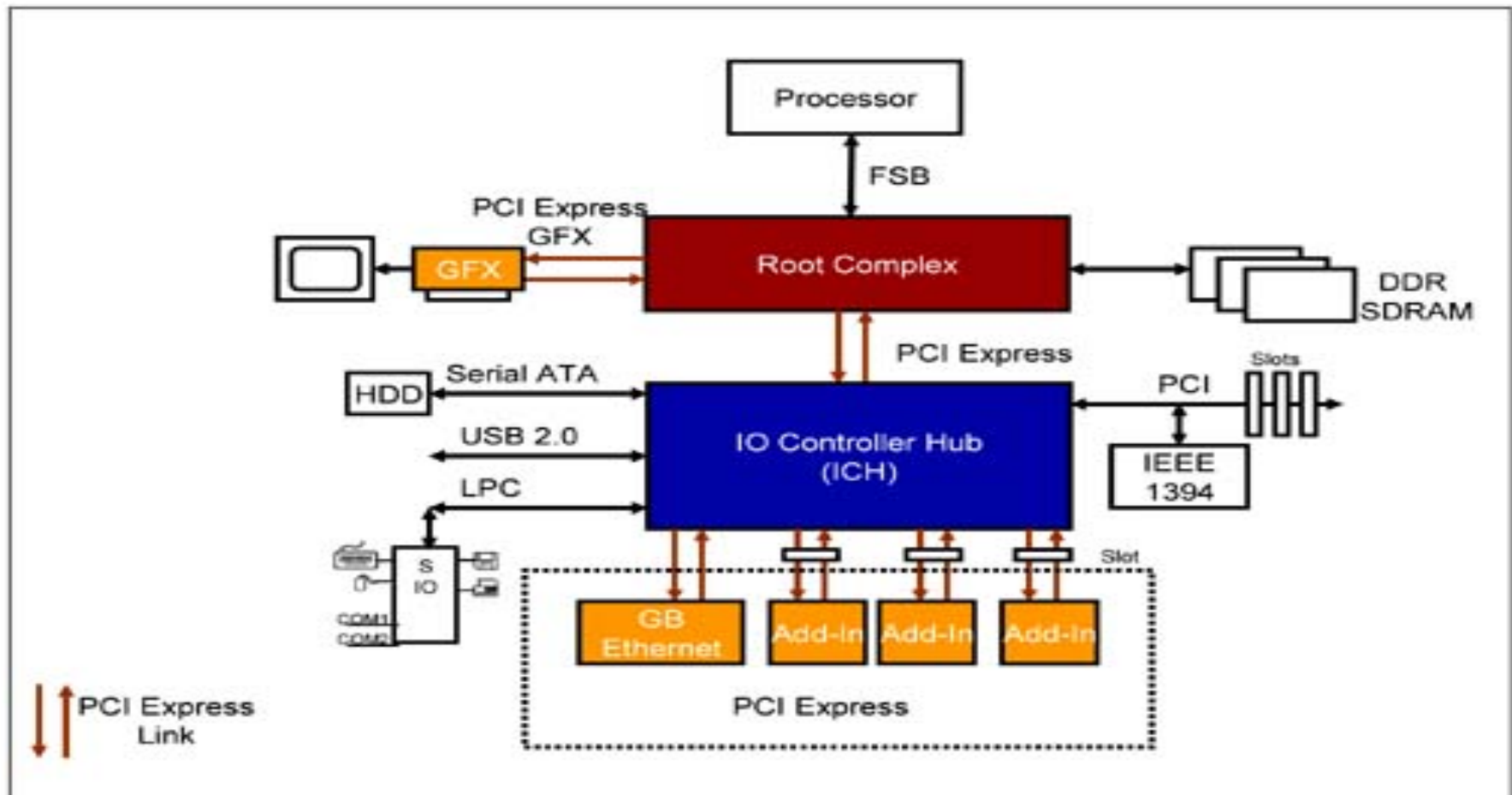
## ■ PCI与PCI Express对比

- ◆ 高速差分传输
- ◆ 串行传输
- ◆ 全双工端到端连接
- ◆ 多通道数据传递
- ◆ 基于数据包的传输





# PCI Express系统





# 本章小结

- 总线概念、总线结构、总线性能指标
- 总线接口
- 串行传送、并行传送
- 总线仲裁
  - ◆ 集中式仲裁
    - 链式查询方式
    - 计数器定时查询方式
    - 独立请求方式
  - ◆ 分布式仲裁
- 总线传输过程、二种传输方式
- PCI总线

