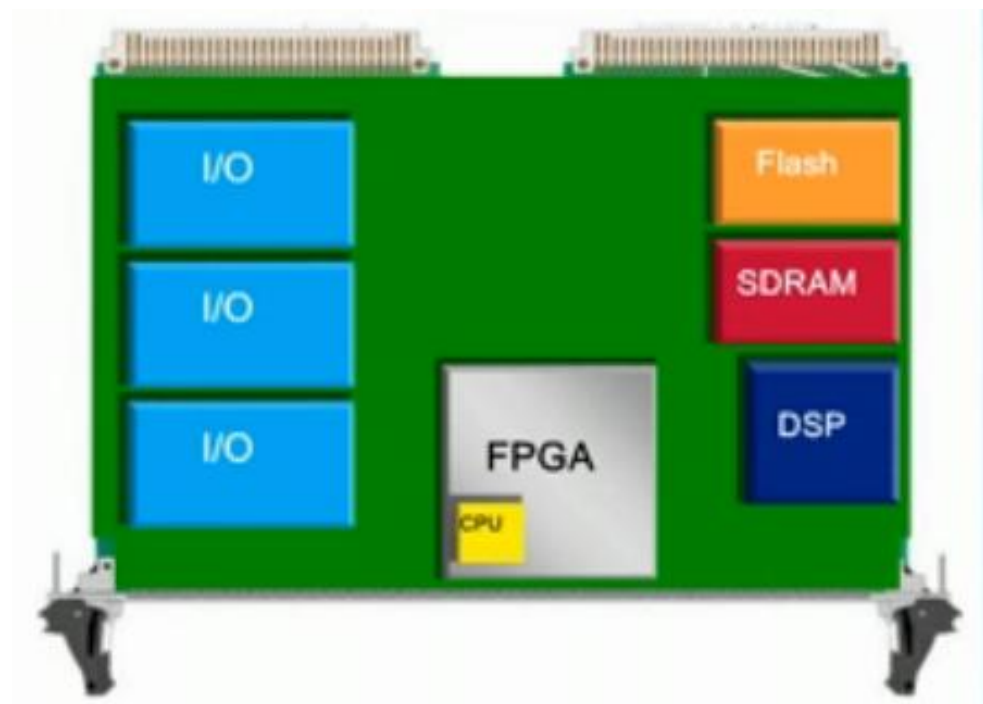


第五章 可编程逻辑器件 PLD

可编程逻辑器件PLD ([Programmable logic Device](#)), 是由用户自己编程来决定最终逻辑功能和结构的器件。

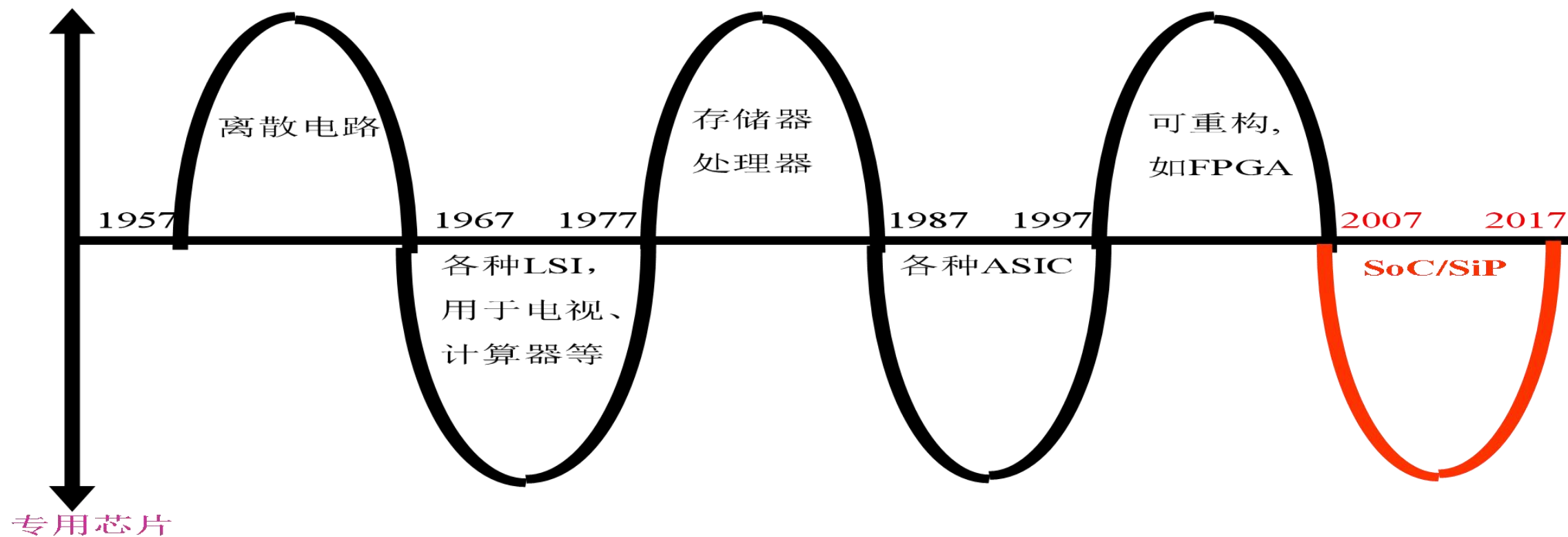
为什么使用**PLD**?

将这些部件放在一个芯片**FPGA**中。

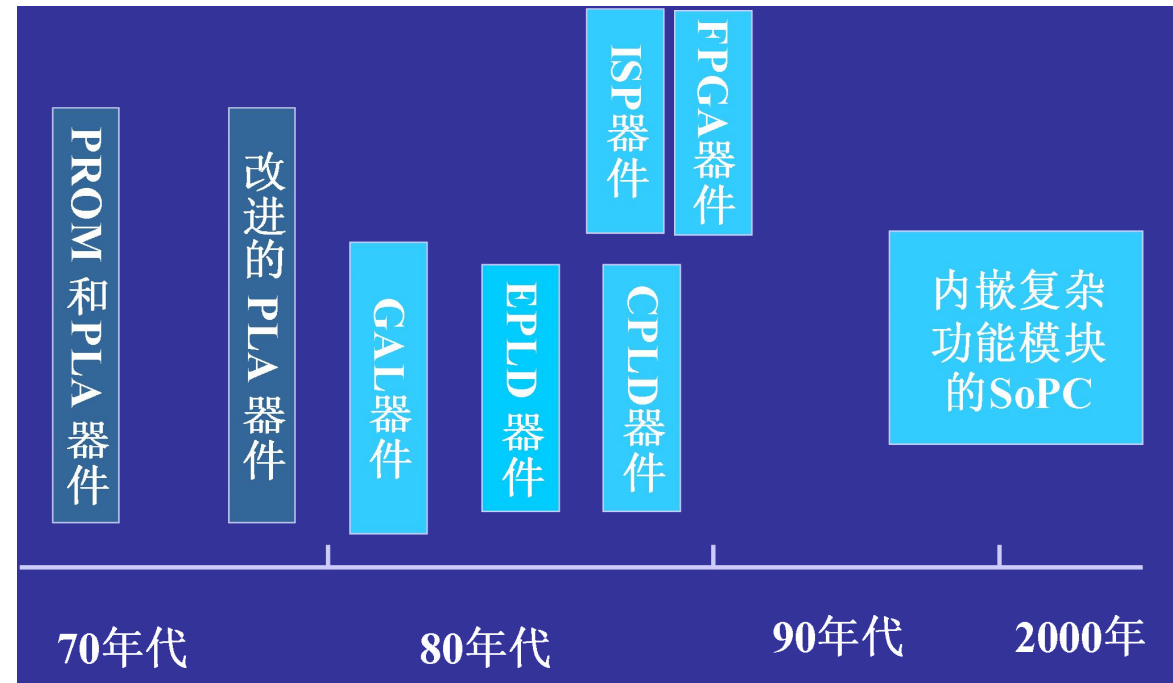


现代数字系统由三种积木块构成：CPU + PLD + RAM

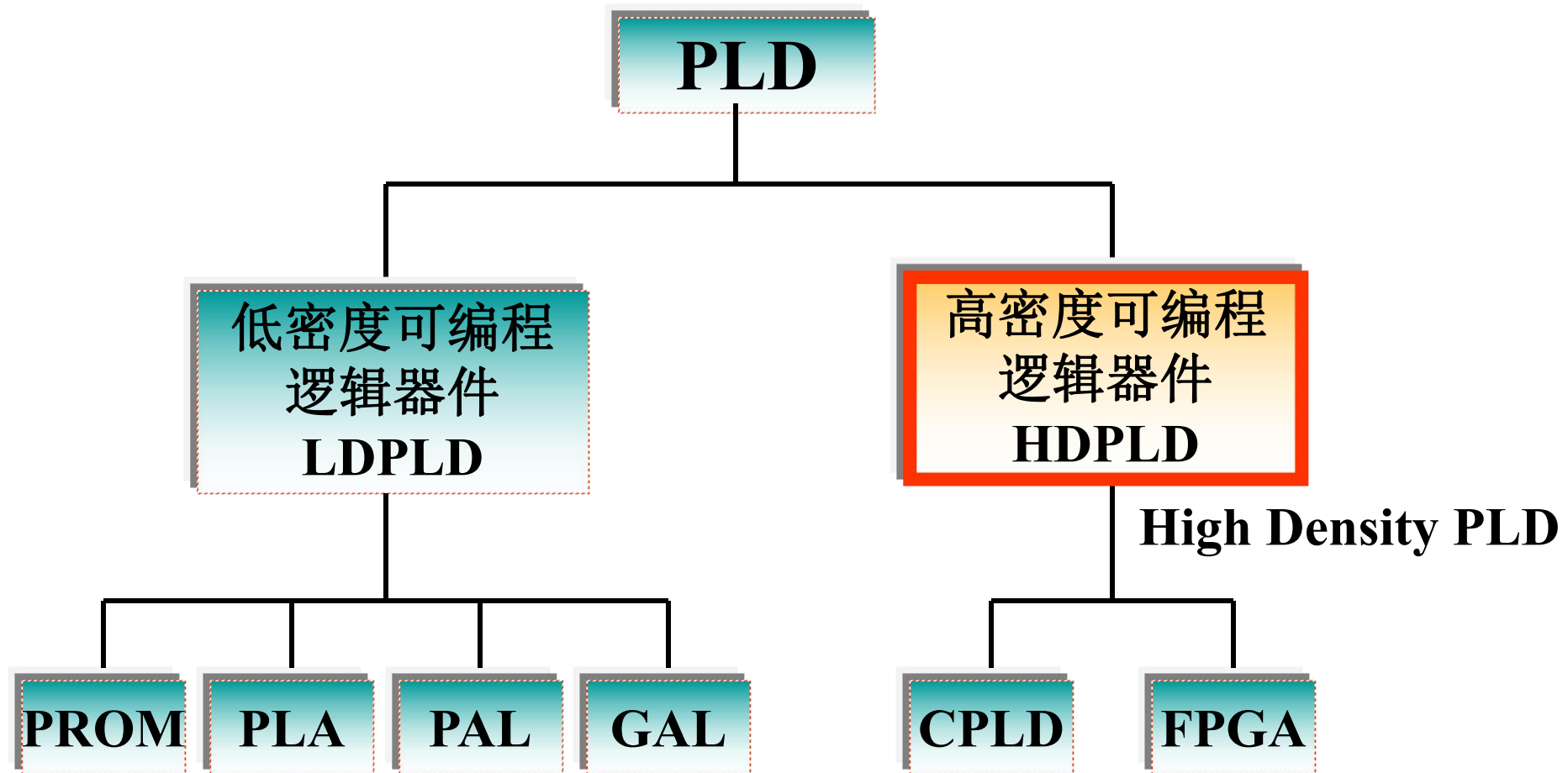
标准、通用芯片



- PLA (Programmable Logic Array) ;
- PAL (Programmable Array Logic) ;
- GAL (Generic Array Logic) ;
- ISP (In System Programmable) ;
- CPLD (Complex Programmable Logic Device) ;
- FPGA (Field Programmable Gates Array) ;
- SoPC (System On a Programmable Chip)



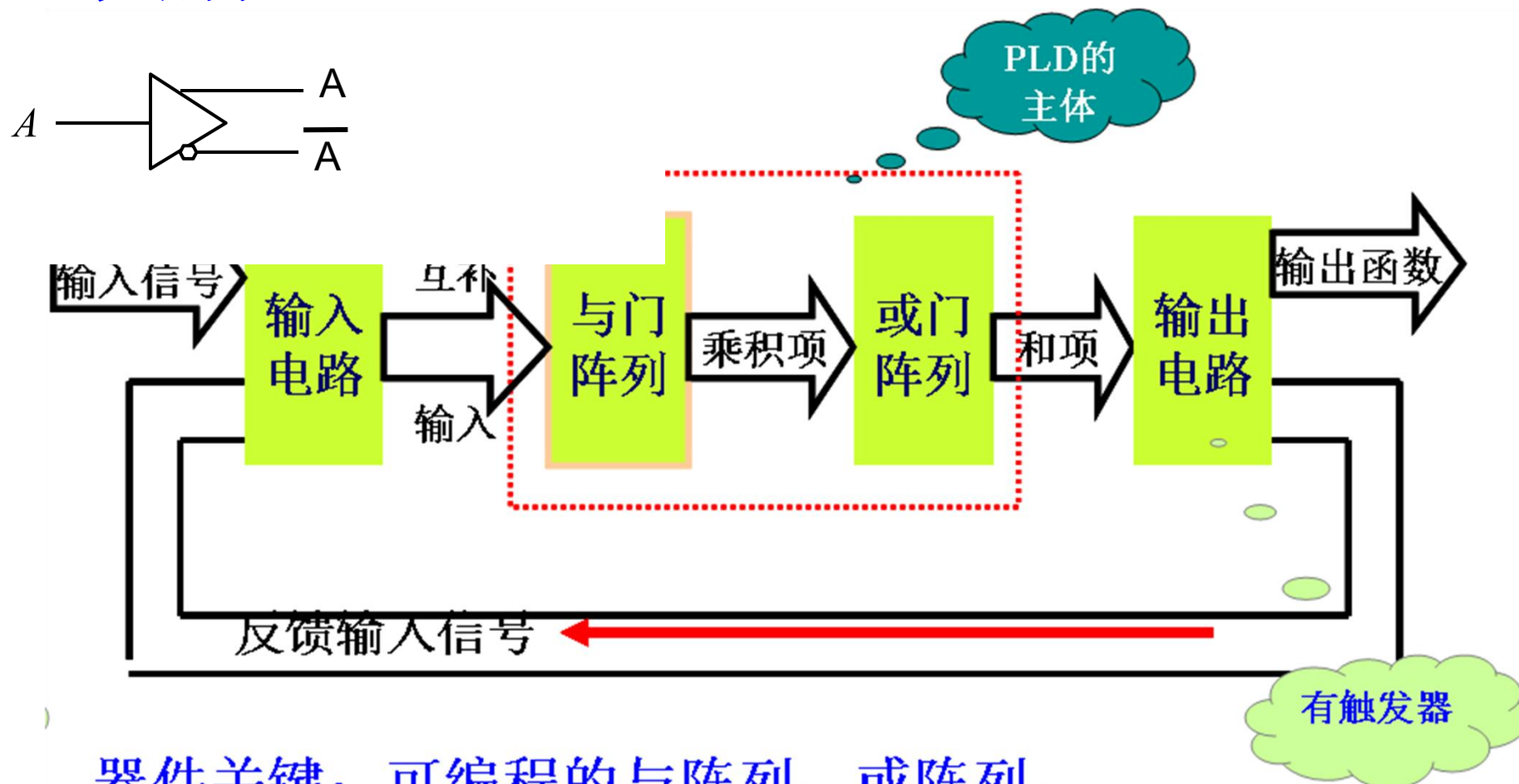
按集成度分类PLD:



| 排名 | 公司名称 | 标志 | 说明 |
|----|------------|---------------------------------------------------------------------------------------|--------------------|
| 1 | XILINX |  | FPGA 的发明者 |
| 2 | ALTERA |  | |
| 3 | Lattice |  | ISP 技术的发明者 |
| 4 | ACTEL |  | 反熔丝（一次性烧写）PLD 的领导者 |
| 5 | Cypress |  | |
| 6 | Quicklogic |  | |
| 7 | Lucent |  | |
| 8 | ATME1 |  | |

§ 5.1 PLD的基本概念

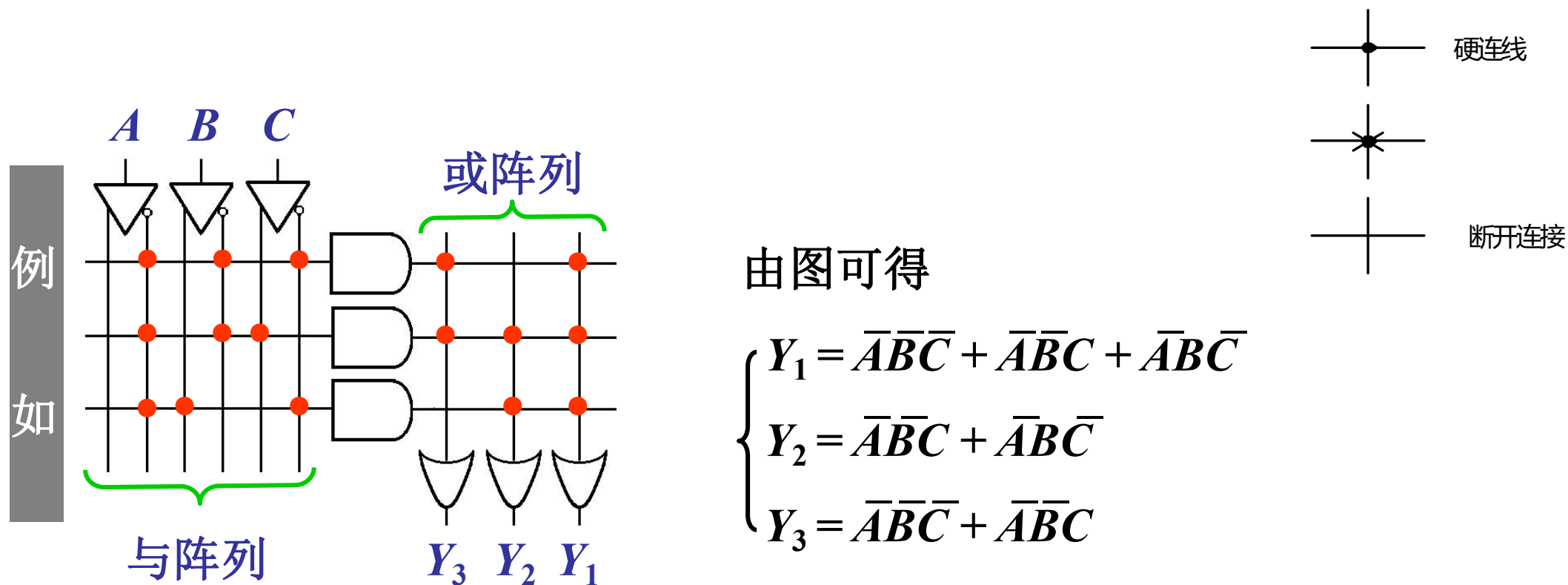
PLD的基本结构



器件关键：可编程的与阵列、或阵列。

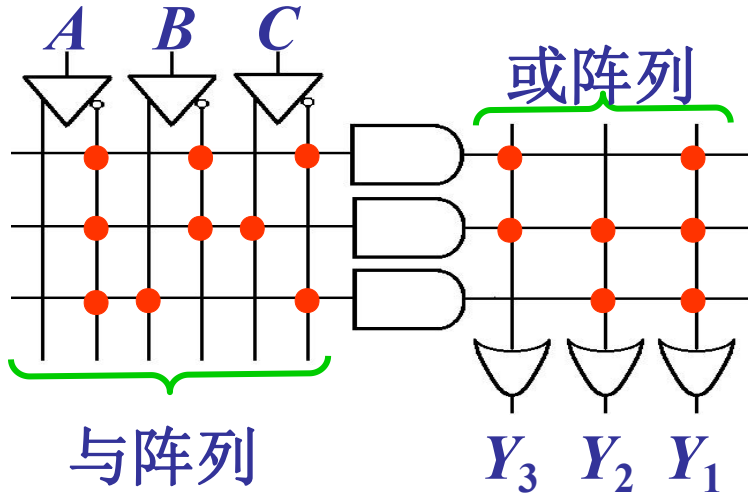
1. 基本门电路的PLD表示法

与阵列：N个输入变量，有2N条列线，一个与项最多有N个编程点。

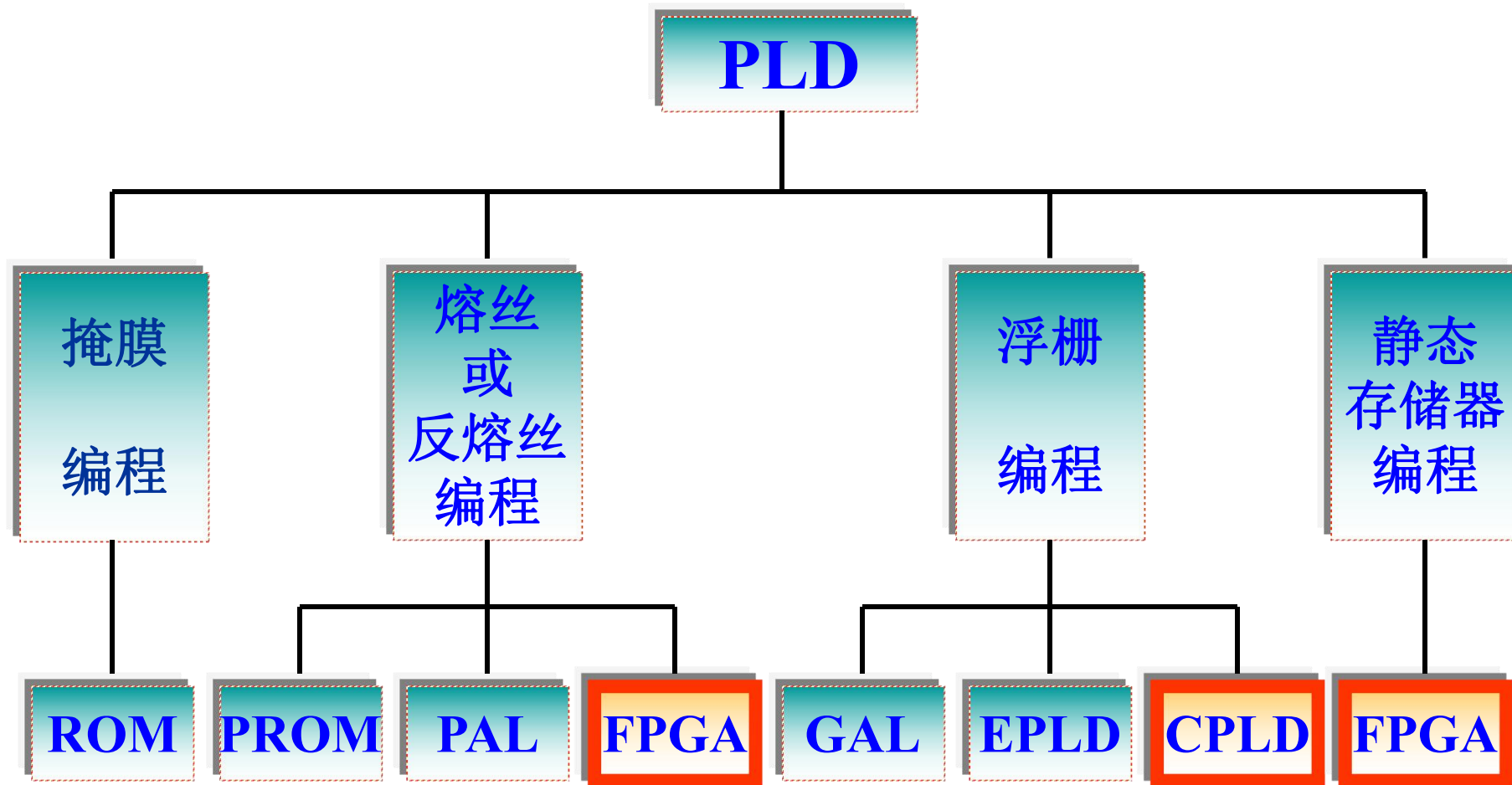


2 按可编程的部位分类PLD:

| 类型 | 与阵列 | 或阵列 | 输出电路 |
|---------------------------------------------|-----|-----|------|
| PROM (即可编程 ROM) | 固定 | 可编程 | 固定 |
| PLA (即 Programmable Logic Array, 可编程逻辑阵列) | 可编程 | 可编程 | 固定 |
| PAL (即 Programmable Array Logic, 可编程阵列逻辑) | 可编程 | 固定 | 固定 |
| GAL (即 Generic Array Logic, 通用阵列逻辑) | 可编程 | 固定 | 可组态 |



按编程方法分类PLD:

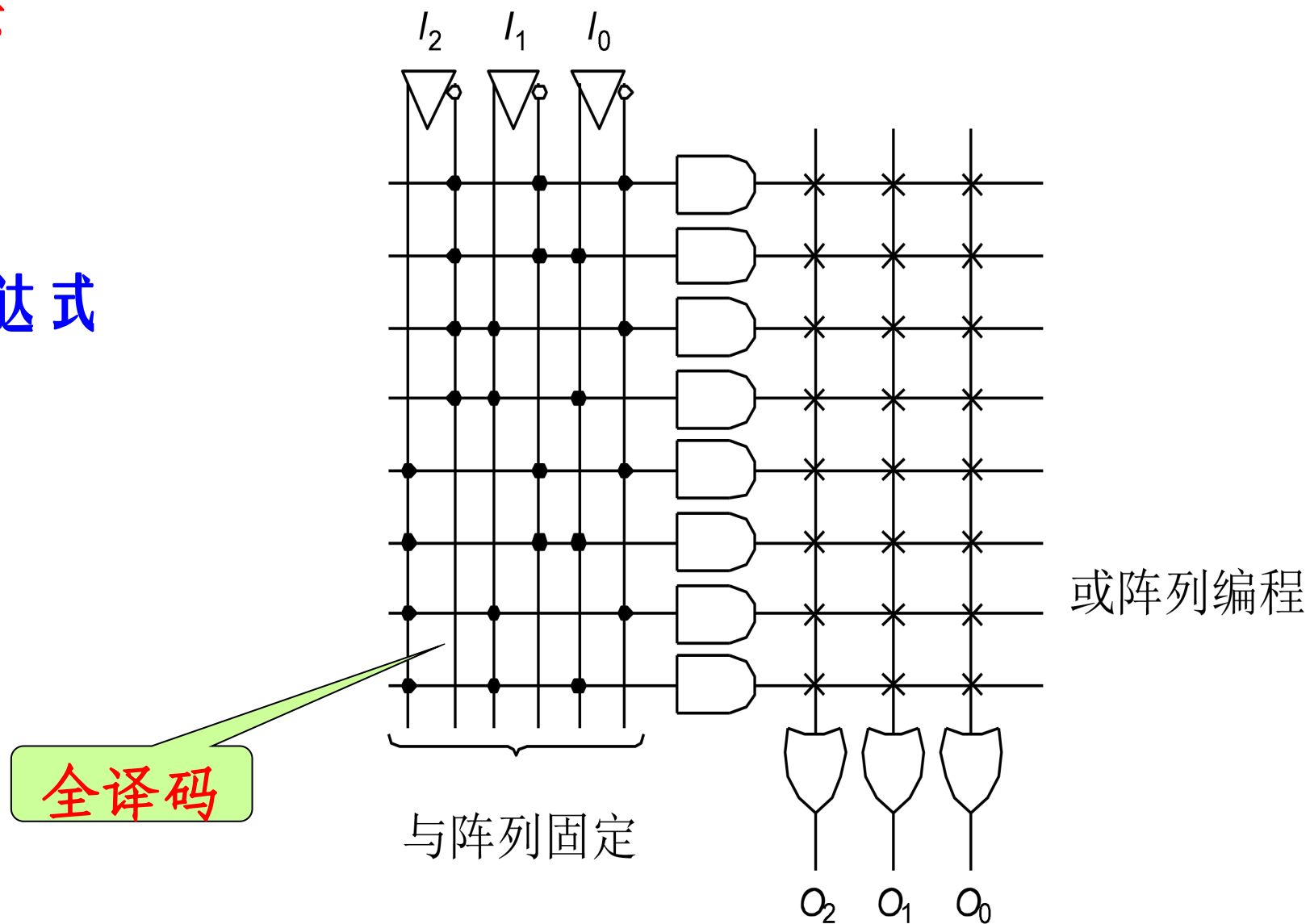


先设计、再仿真，看占用资源数，最后去买器件。

2. 可编程器件的PLD表示

1) PROM

实现组合逻辑的最小项表达式



用PROM构成一个将 4 位二进制码转换为格雷码的逻辑电路。

需要ROM容量：
16×4

列转换的真值表

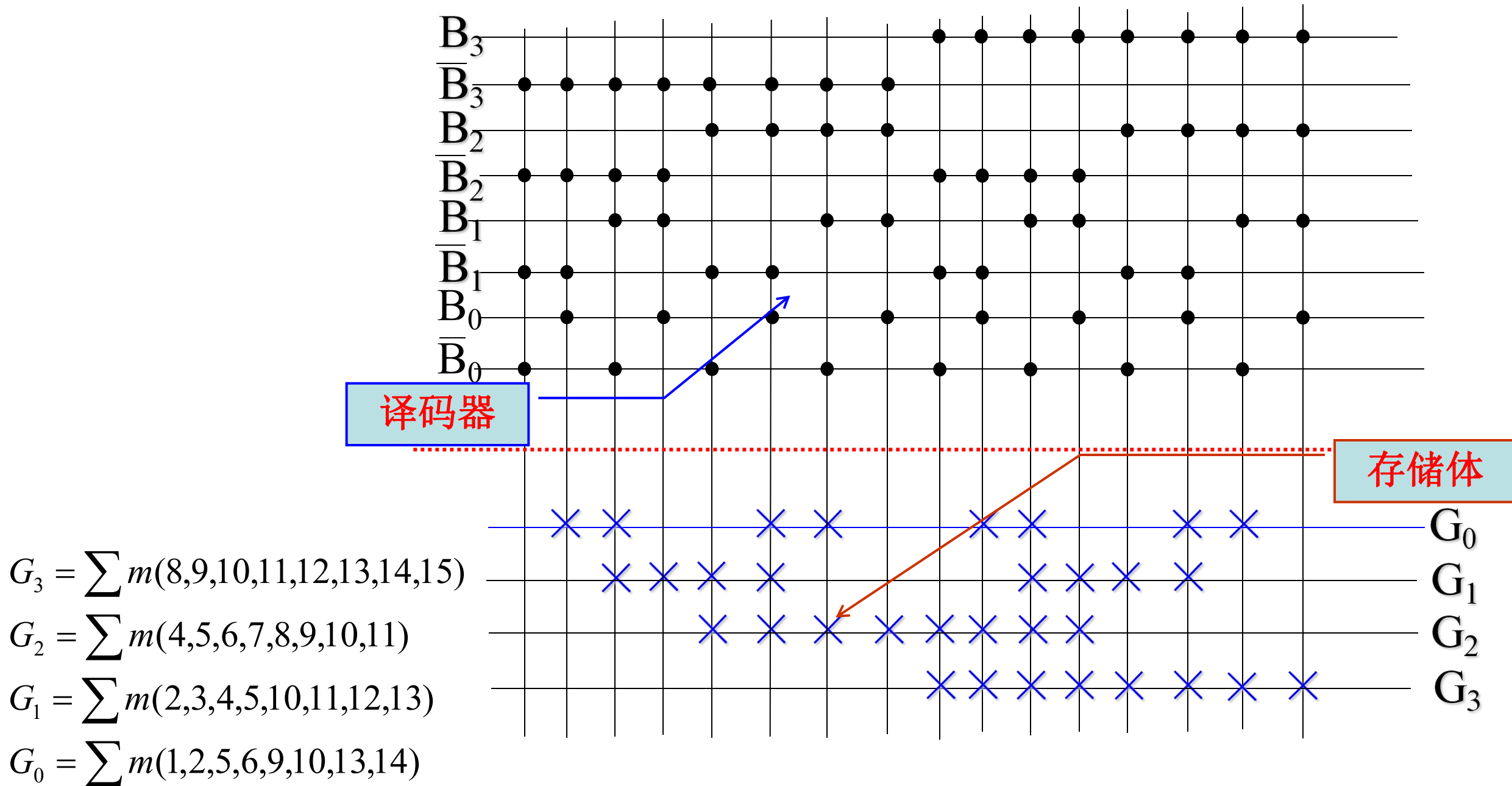
$G_3 = \sum m(8,9,10,11,12,13,14,15)$

$G_2 = \sum m(4,5,6,7,8,9,10,11)$

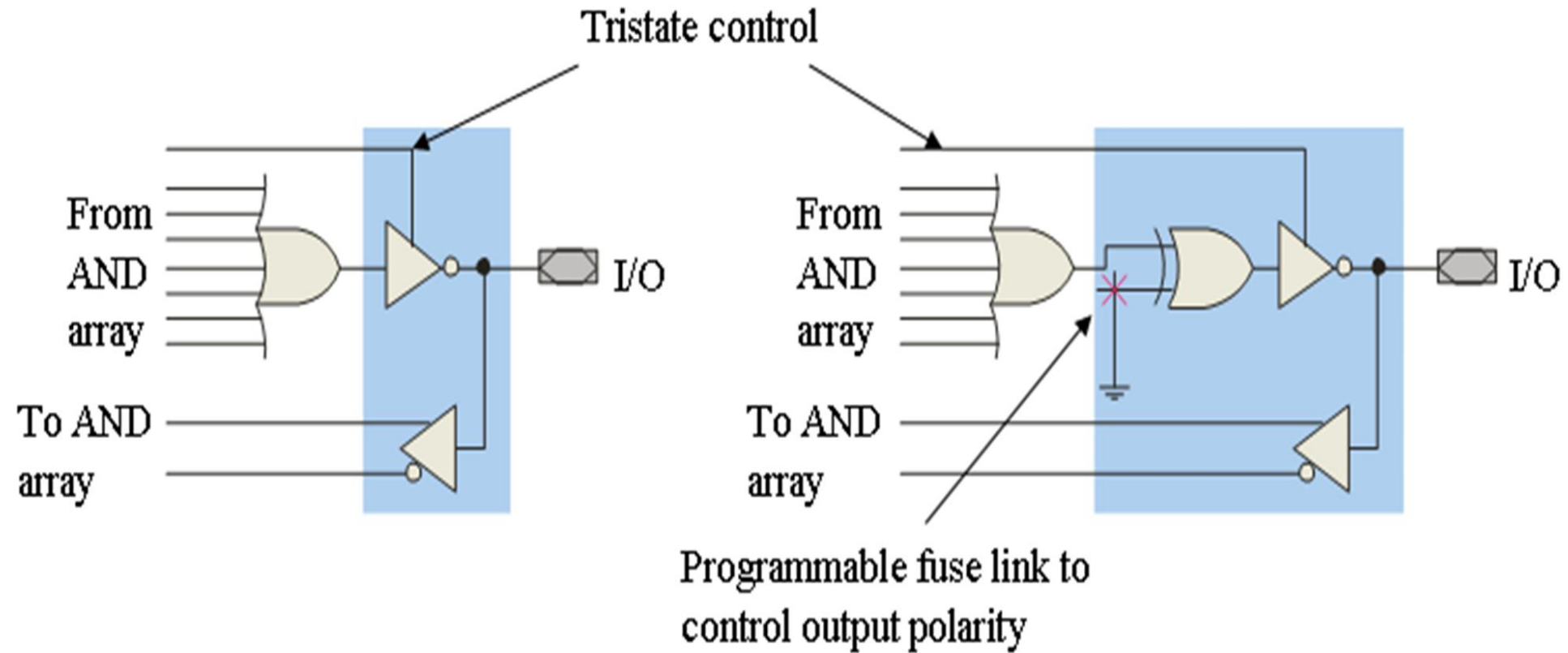
$G_1 = \sum m(2,3,4,5,10,11,12,13)$

$G_0 = \sum m(1,2,5,6,9,10,13,14)$

| B3 | B2 | B1 | B0 | G ₃ | G ₂ | G ₁ | G ₀ |
|----|----|----|----|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |



PALS and GALs



macrocell

§ 5.2 CPLD、FPGA

目前，使用较广泛的PLD有CPLD和FPGA两大类。

CPLD器件

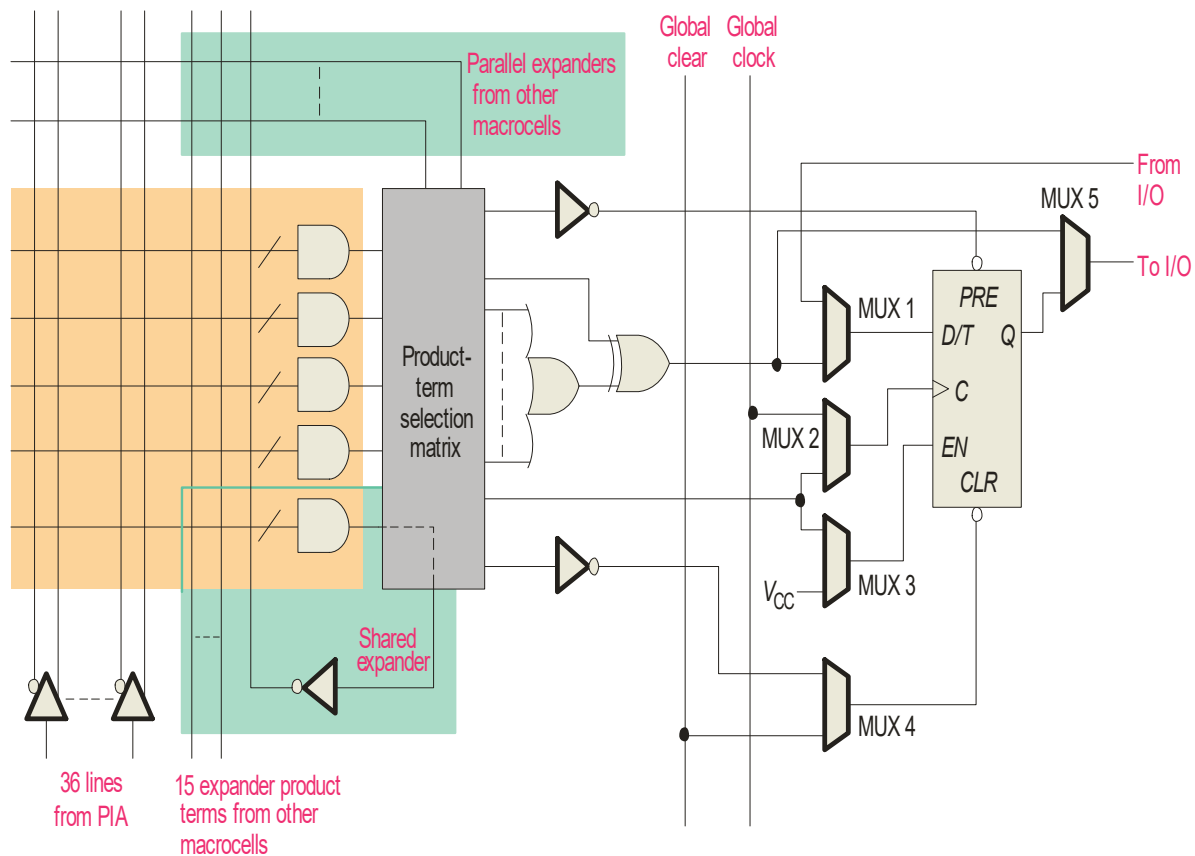


FPGA器件

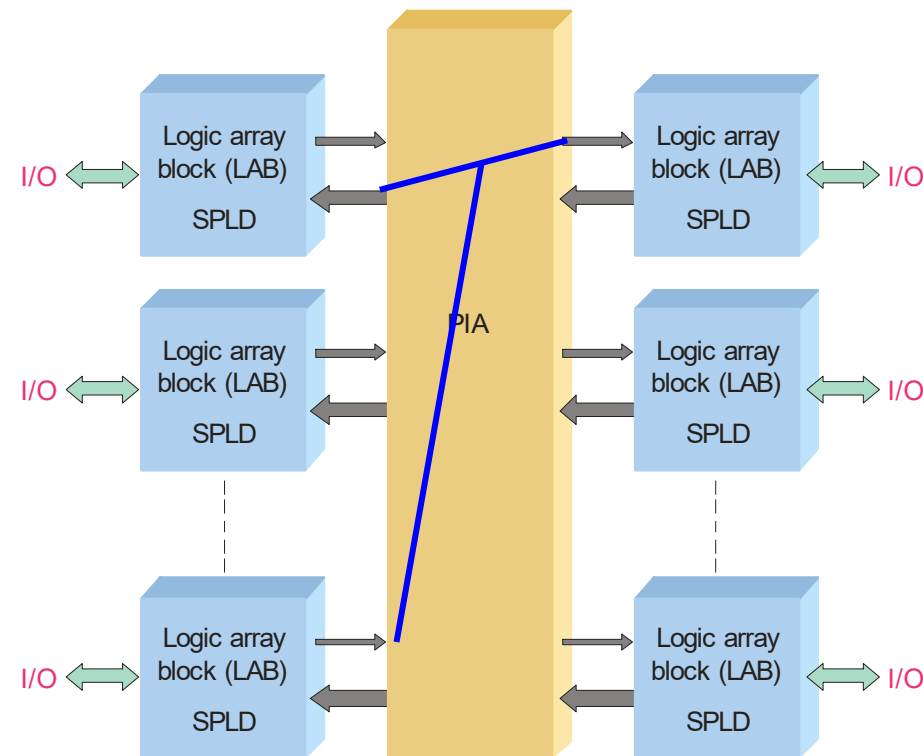


CPLD

- 可编程逻辑阵列块LAB, Logic Array Block (与或结构较复杂)
- 可编程I/O模块 (I/O Cell)
- 可编程内部连线 (PIA: programmable interconnect array) (固定长度的金属线)
- 内部延时时间固定, 可预测

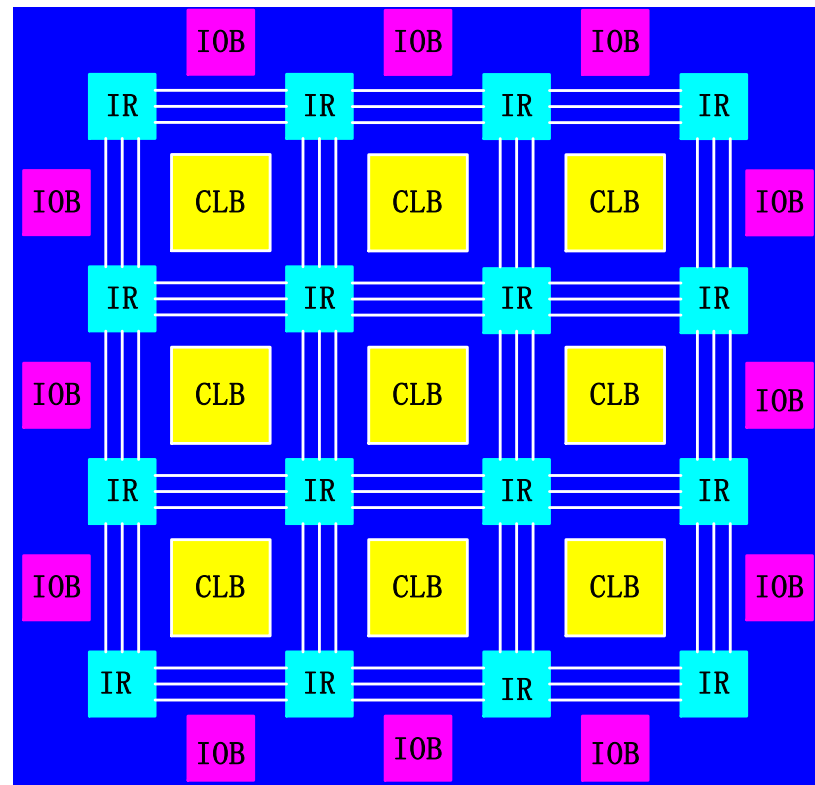


Macrocells 宏单元

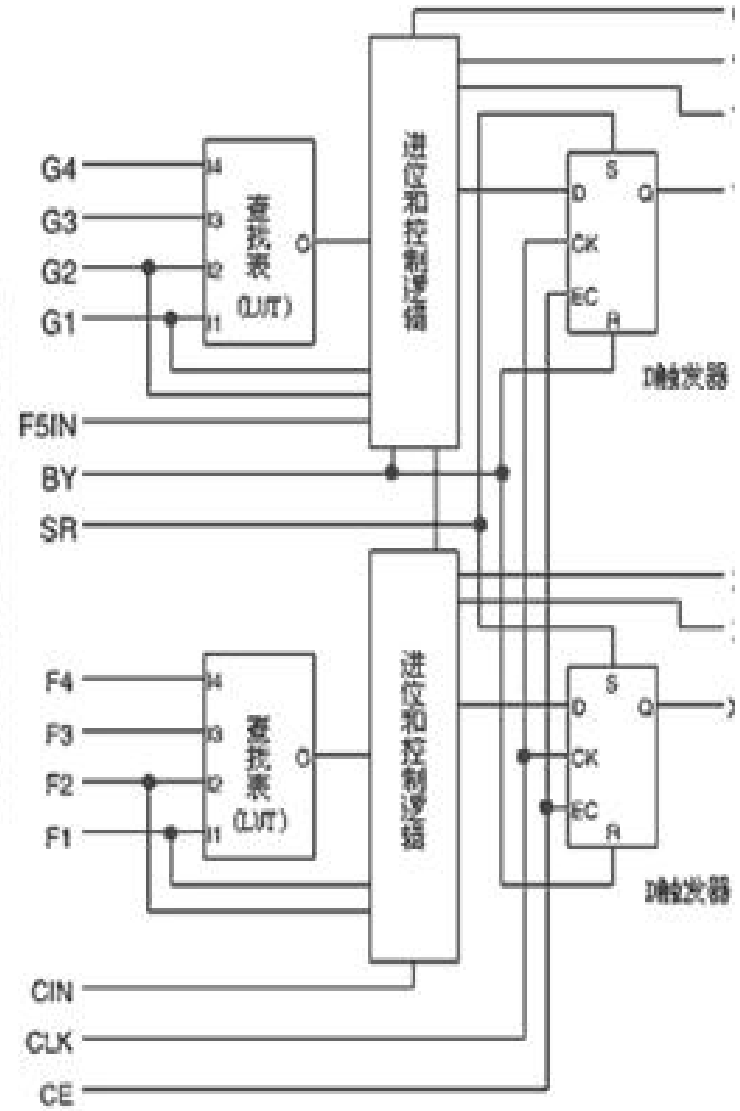
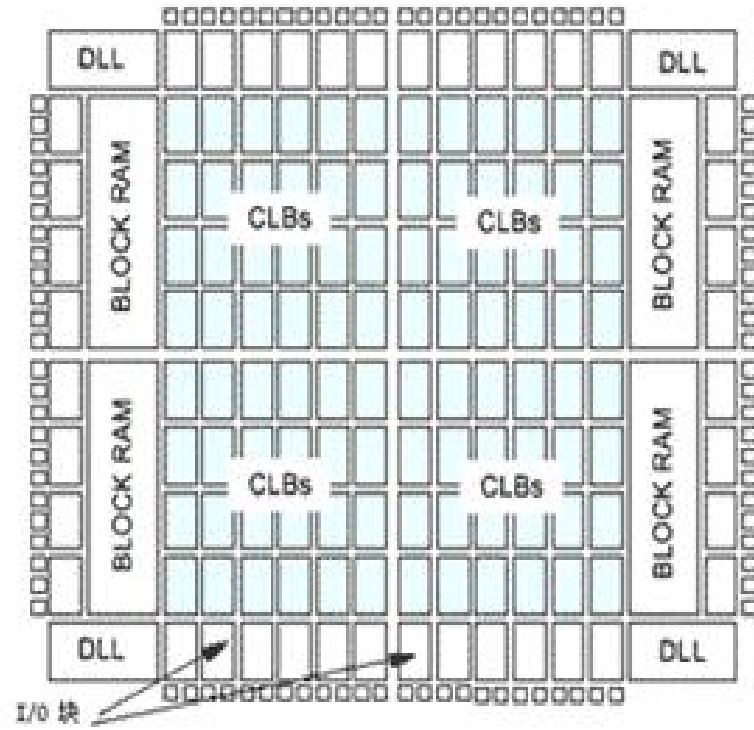
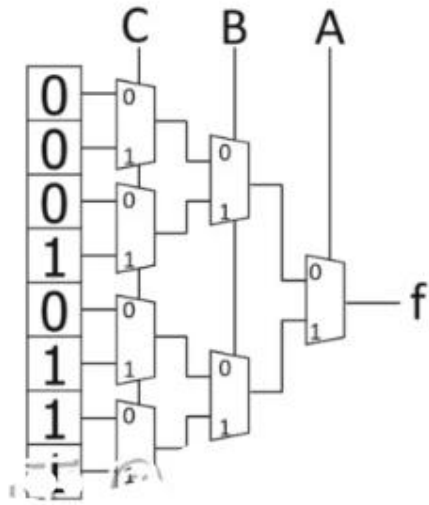


FPGA

- 可编程逻辑功能块 CLB (Cell Logic Block)，实现用户功能的基本单元，由“查找表LUT(look up table) (16 × 1的SRAM作为函数发生器) + 触发器 + 进位控制逻辑”构成。
- 可编程I/O模块 (IOB)
- 可编程互连资源 (PIR (global interconnects、 local interconnects)) (不同长度的金属线)
- 内部延时时间不固定，预测性差



| A | B | C | f |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |



| | | |
|------|-------------------------------|-------------------------------------------|
| | CPLD | FPGA |
| 内部结构 | Product - term | Look - up Table |
| 程序存储 | 内部E ² PROM (flash) | SRAM, 外挂E ² PROM |
| 资源类型 | 组合电路资源丰富 | 触发器资源丰富 |
| 集成度 | 低 | 高 |
| 使用场合 | 完成控制逻辑 | 能完成比较复杂的算法 |
| 速度 | 慢 | 快 |
| 其他资源 | - | EAB (Embedded Array Block 嵌入式阵列块), 锁相环 |
| 保密性 | 可加密 | 一般不能保密 |

§ 5.3 在系统可编程ISP

一. 在系统可编程技术 (ISP)

- 传统的PLD在用于生产时，是先编程后装配。
- isp则可以在装配之前、装配过程中和装配之后再编程。

