

## § 2.6 数值比较器和加法器

### §2.6.1 数值比较器 (comparator)

比较两个二进制数的大小。

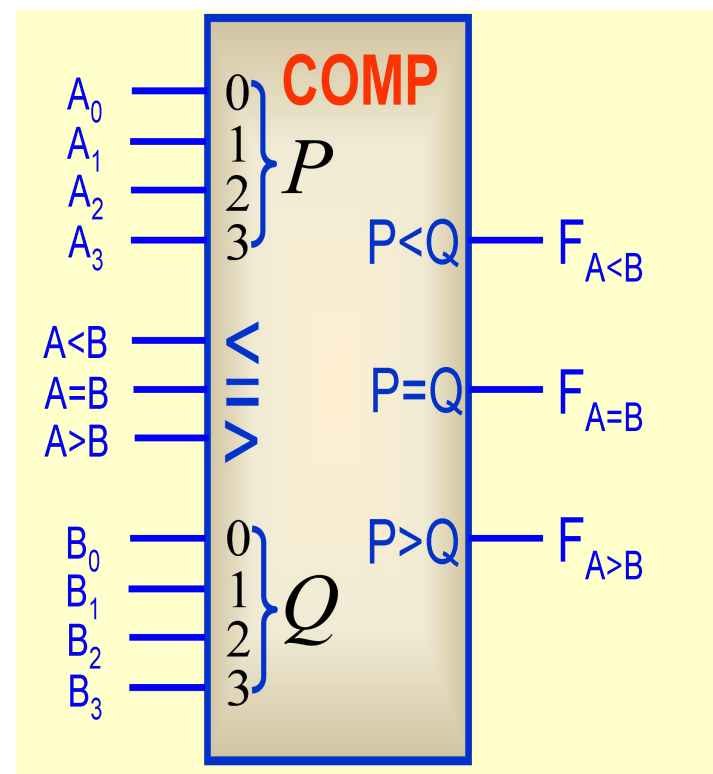
#### 1. 四位数值比较器 (74LS85)

1) 结构与功能:

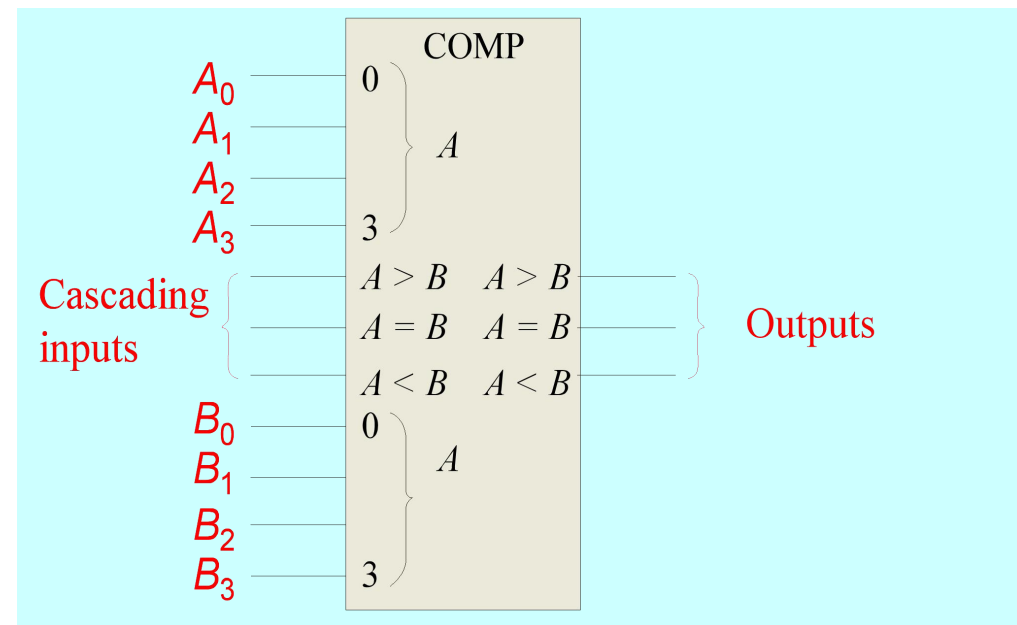
输入信号: 数码输入

级联输入 (低位比较结果)

输出信号: 比较结果

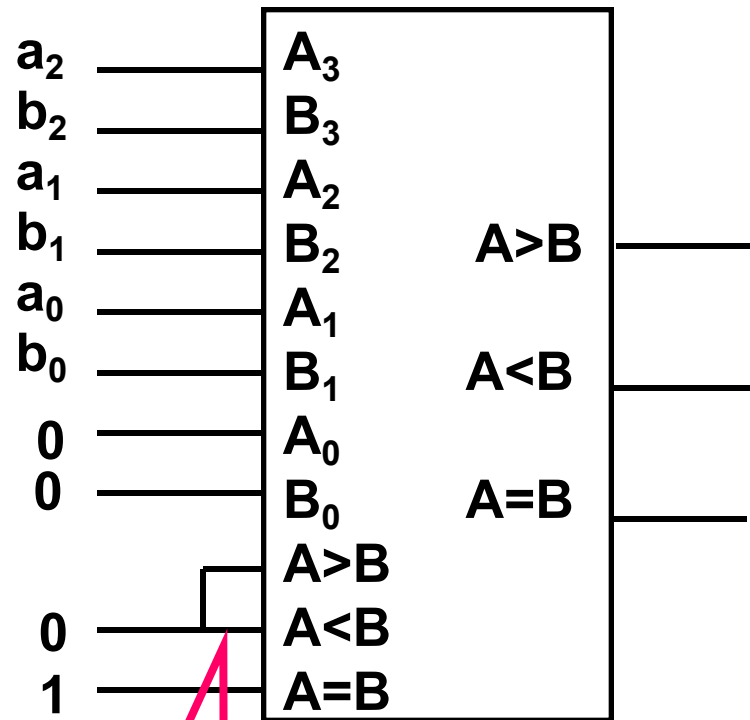


比 较 输 入								级联输入			输 出		
$A_3$	$B_3$	$A_2$	$B_2$	$A_1$	$B_1$	$A_0$	$B_0$	$A > B$	$A < B$	$A = B$	$P_{A>B}$	$P_{A<B}$	$P_{A=B}$
1	0	×	×	×	×	×	×	×	×	×	1	0	0
0	1	×	×	×	×	×	×	×	×	×	0	1	0
$A_3=B_3$	1	0	×	×	×	×	×	×	×	×	1	0	0
$A_3=B_3$	0	1	×	×	×	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	1	0	×	×	×	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	0	1	×	×	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	1	0	×	×	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	0	1	×	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	×	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1	0	0	0	1



注意：级联输入信号只能有一个为高电平，要避免其他输入可能。

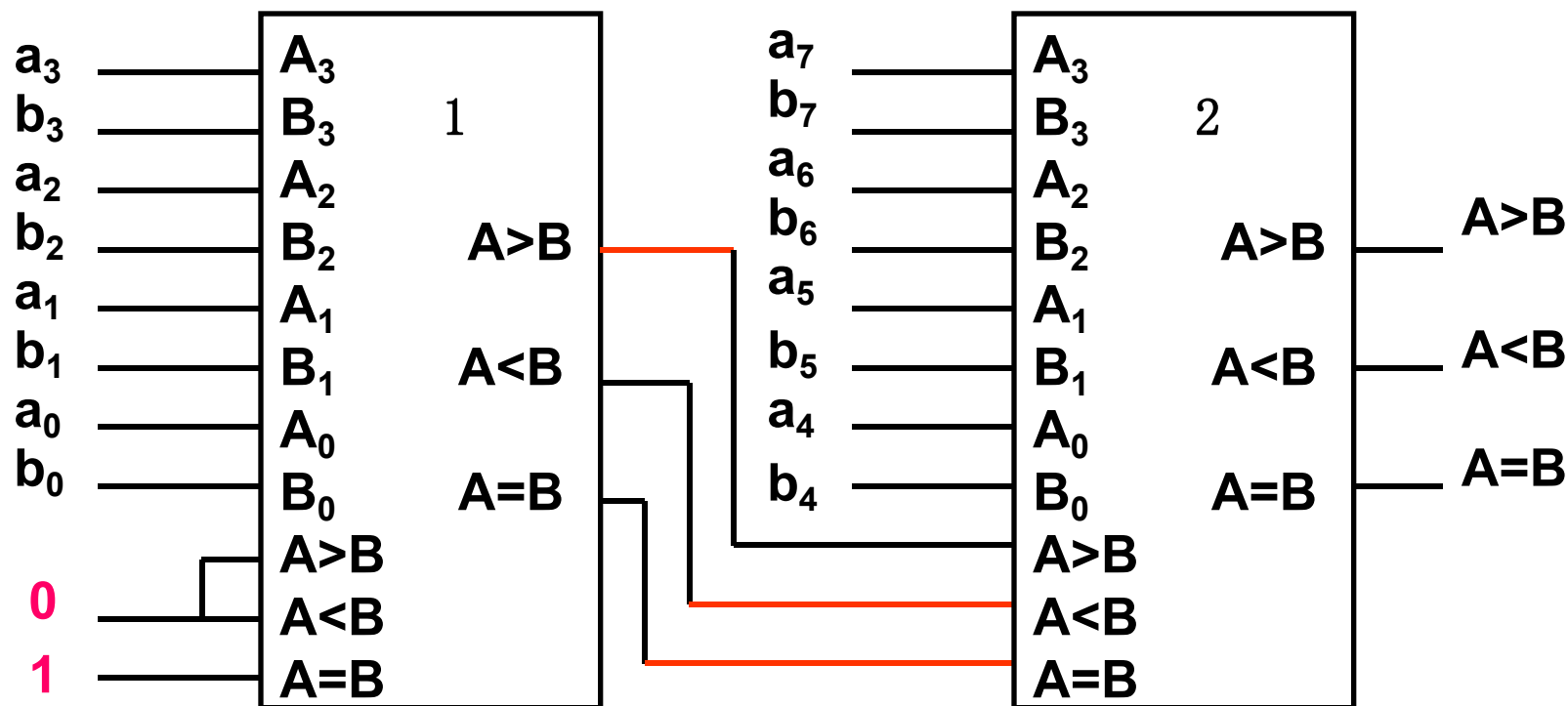
例 用两片四位比较器（74LS85）比较三位二进制数。



级联接入

例 用两片四位比较器（74LS85）比较八位二进制数。

解：利用级联输入，采用分段比较方法，由高位开始，逐级向低位进行。



最低位级联输入接固定信号。

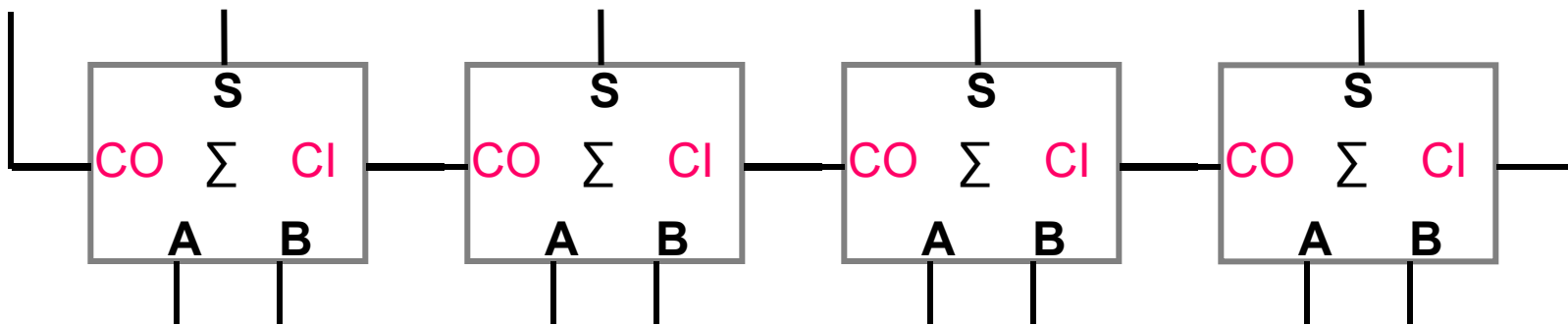
## §2.6.2 加法器 (adder)

实现两个多位二进制数相加。

$$\begin{array}{r} 1101 \longrightarrow A \\ +1101 \longrightarrow B \\ \hline C \longrightarrow 11010 \longleftarrow S \end{array}$$

### 1) 串行进位加法器

把n位全加器串联起来，低位的进位输出连接到高位的进位输入。  
进位逐级传递。



优点：结构简单。

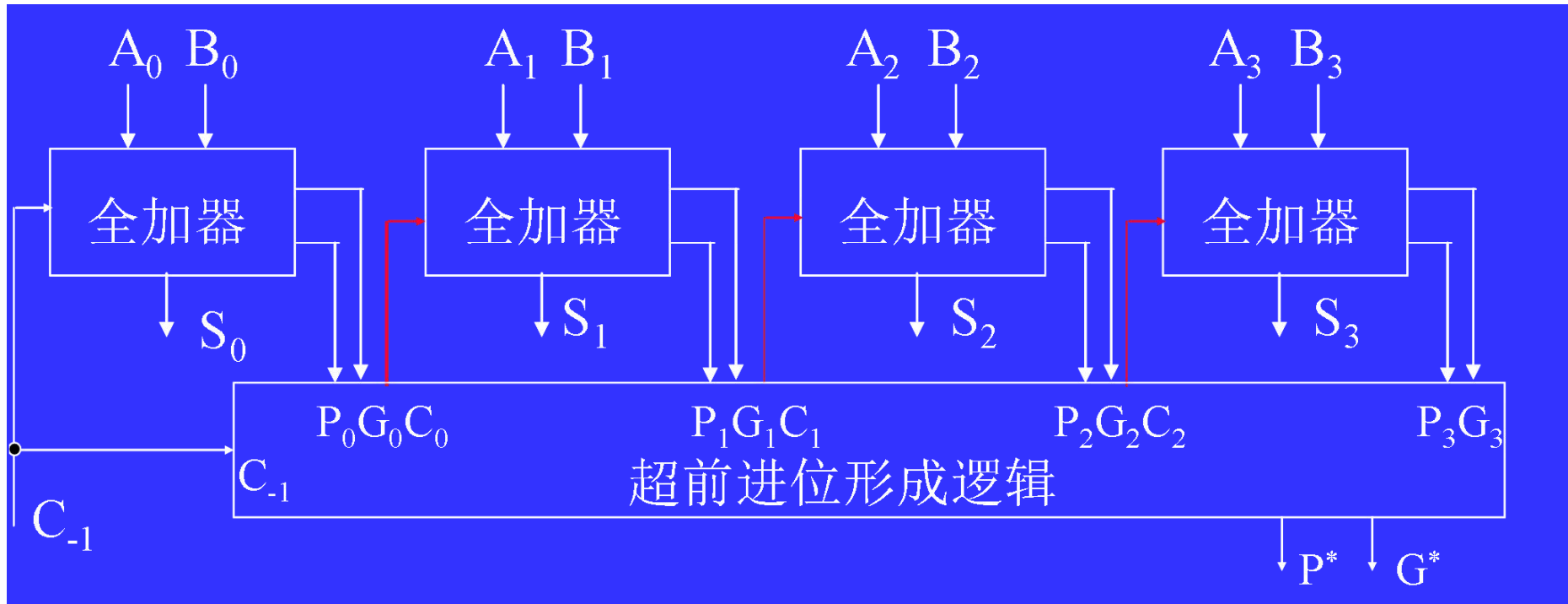
缺点：速度慢。

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

## 2) 超前进位加法器 (74LS83)

是各级进位同时发生，高位加法不必等低位的运算结果。  
工作速度得以提高。



$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

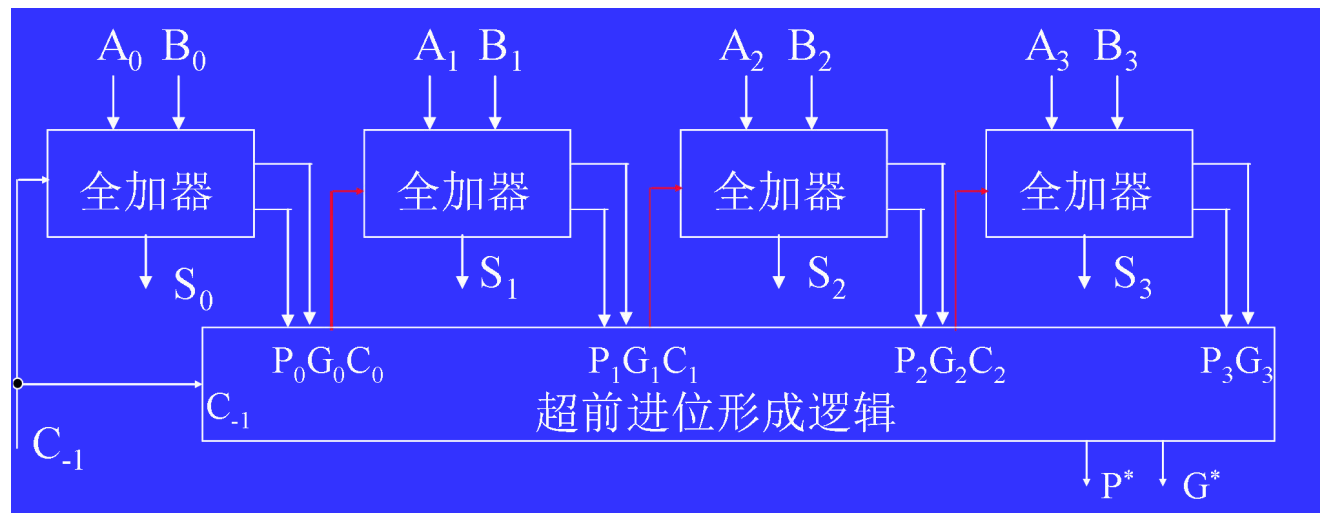
$$\begin{array}{cc} \Downarrow & \Downarrow \\ G_i & P_i \end{array}$$

$$C_i = G_i + P_i C_{i-1}$$

$$S_i = P_i \oplus C_{i-1}$$

$$\begin{aligned} C_2 &= G_2 + P_2 C_1 = G_2 + P_2 (G_1 + P_1 C_0) = G_2 + P_2 (G_1 + P_1 (G_0 + P_0 C_{-1})) \\ &= G_2 + P_2 (G_1 + P_1 G_0 + P_1 P_0 C_{-1}) = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{-1} \end{aligned}$$

高位不需等待低位的计算结果。最低位的进位可以超前送到最高位及各位上。



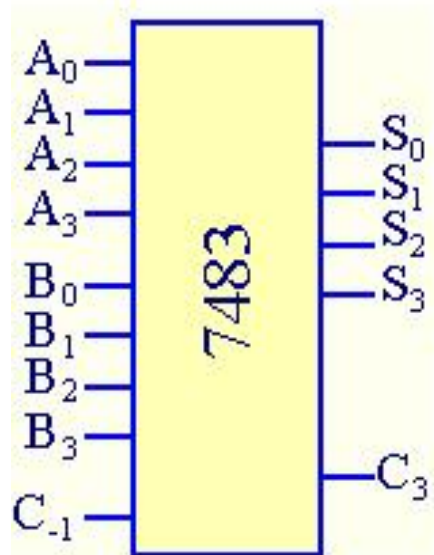
输入:

$A_3 A_2 A_1 A_0$ 、 $B_3 B_2 B_1 B_0$

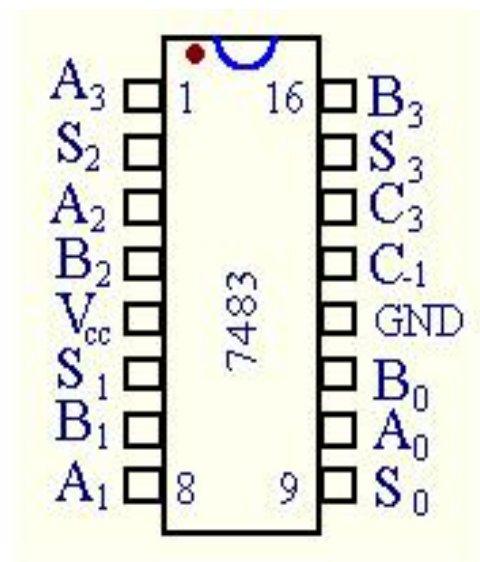
$C_{-1}$  是低位的进位

输出:  $S_3 S_2 S_1 S_0$  是四位和数,

$C_3$  是进位信号



符号

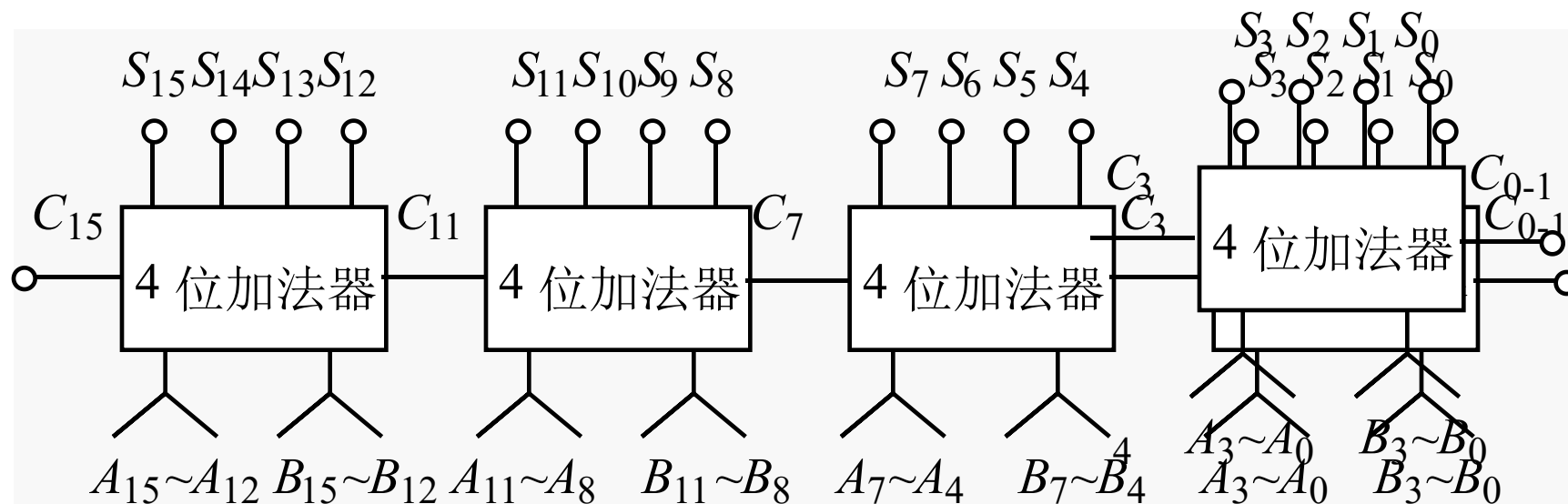


引脚排列



### 3) 全加器的应用

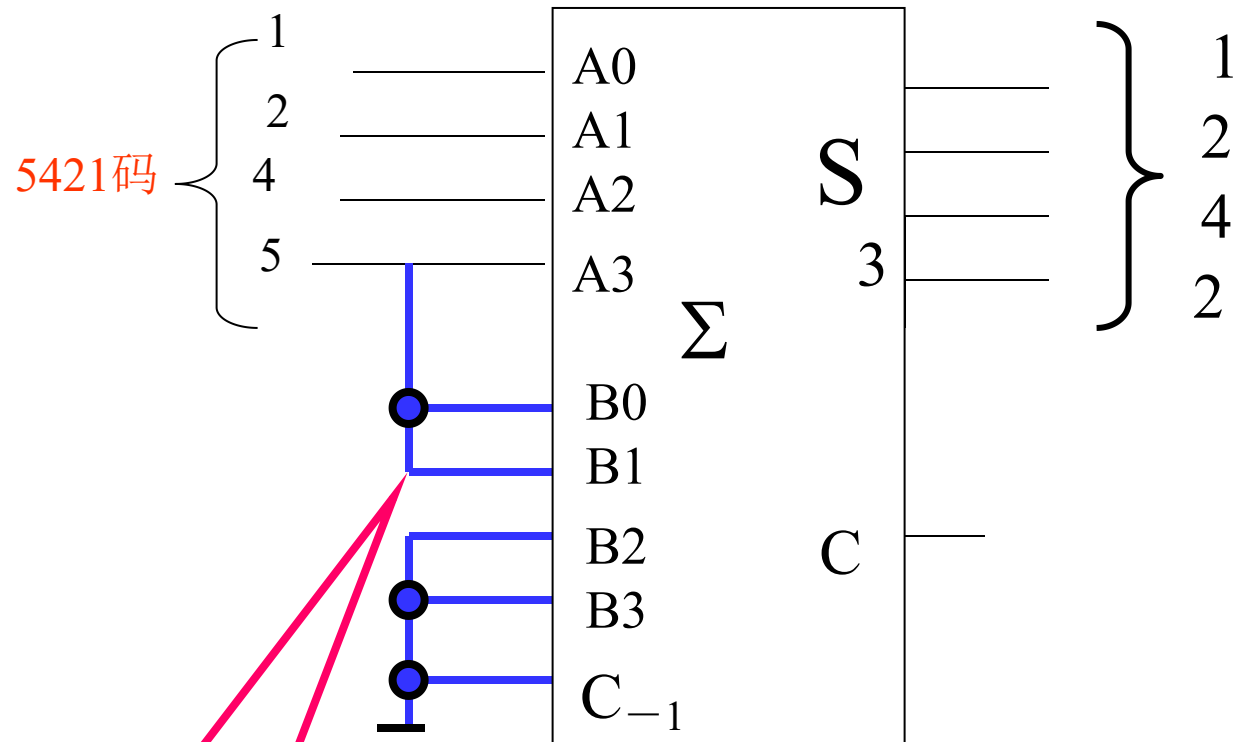
(1) 使用74LS83实现n位二进制加法运算。



## (2) 代码转换:

- 利用全加器将 **5421** 码转换为 **2421** 码。

5 4 2 1	2 4 2 1	
0 0 0 0	0 0 0 0	0
0 0 0 1	0 0 0 1	1
0 0 1 0	0 0 1 0	2
0 0 1 1	0 0 1 1	3
0 1 0 0	0 1 0 0	4
1 0 0 0	1 0 1 1	5
1 0 0 1	1 1 0 0	6
1 0 1 0	1 1 0 1	7
1 0 1 1	1 1 1 0	8
1 1 0 0	1 1 1 1	9



高低位接法

### (3) 用全加器构成二进制减法器（、乘法器）

利用 “加补” 概念，可将减法用加法来实现。

$$(A+B)_{\text{补}} = (A)_{\text{补}} + (B)_{\text{补}}$$
$$(A-B)_{\text{补}} = (A)_{\text{补}} + (-B)_{\text{补}}$$

9-6

	+9		1001
+) -6		+) 1010	
<hr/>			
	+3		1 0011

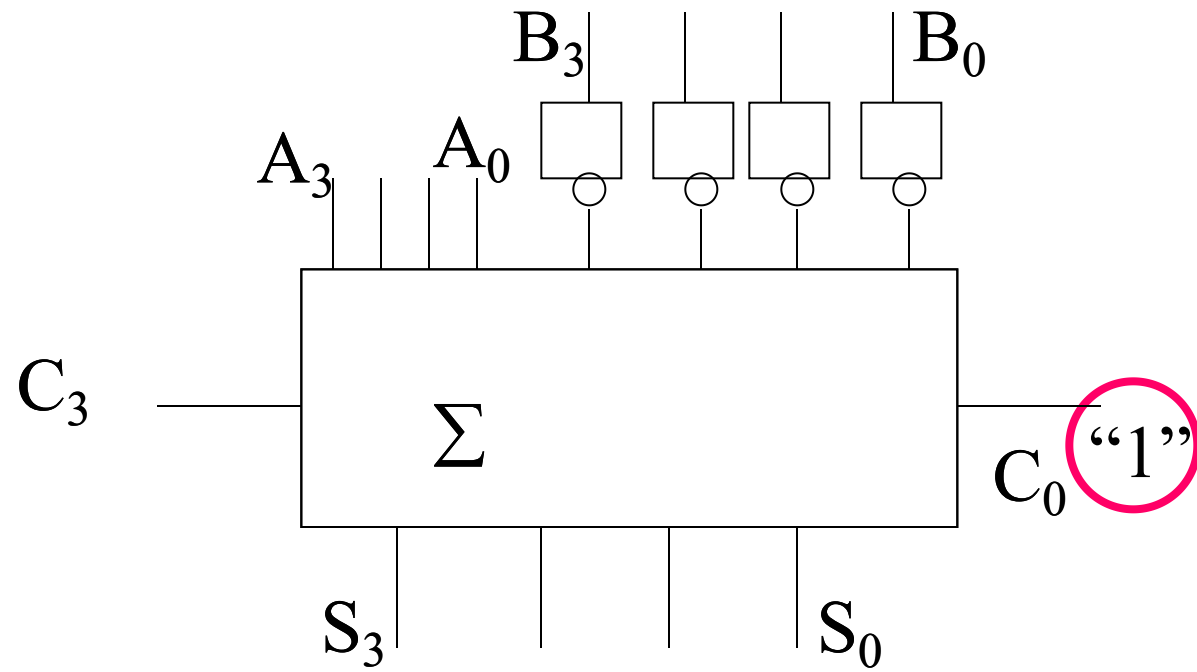
6-9

	+6		0110
+) -9		+) 0111	
<hr/>			
	-3		0 1101

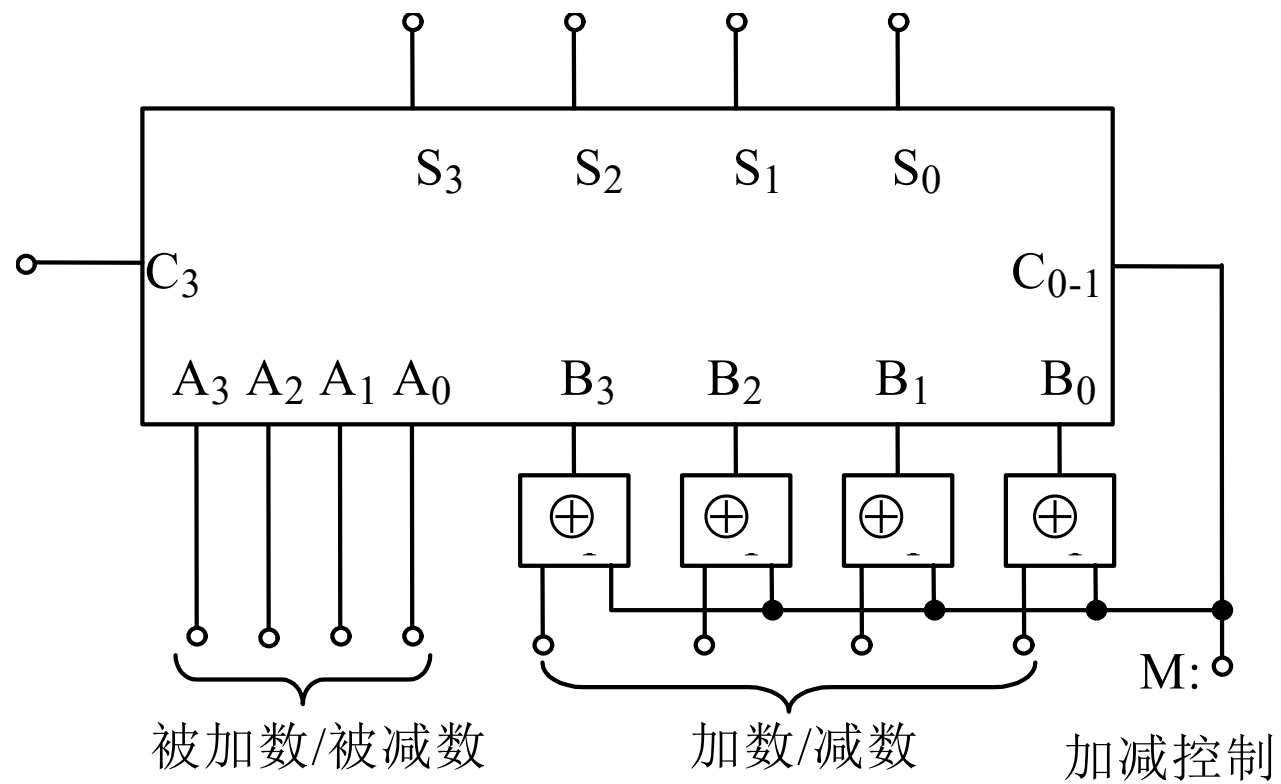
有进位输出的差是正数，无进位输出的差是负数。

## 二进制减法器

$$S=A-B$$



## 二进制并行加法/减法器



## (5) 用四位全加器构成8421码的加法电路

原则: 两位8421码相加, 和仍为8421码, 否则结果错误。

$$7 + 9 = 16$$

$$= (0001 \text{ } 0110)_{8421}$$

7 + 9	
	0111
+	1001
<hr/>	
1	0000
+	0110
<hr/>	
1	0110

$$7 + 5 = 12$$

$$= (0001 \text{ } 0010)_{8421}$$

7 + 5	
	0111
+	0101
<hr/>	
	1100
+	0110
<hr/>	
1	0010

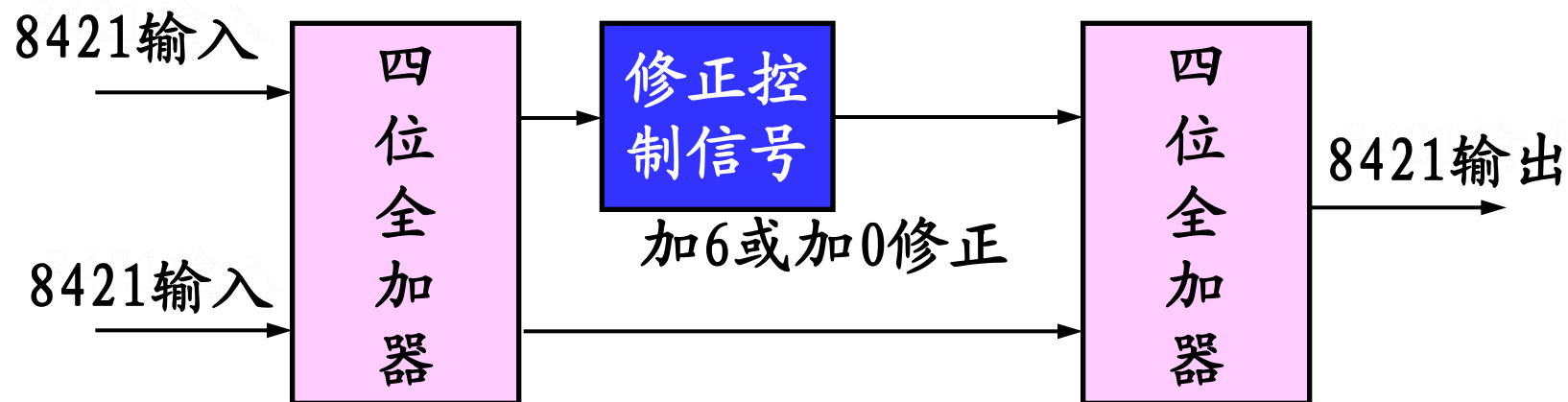
一旦需要修正, 则8421码必有进位输出。

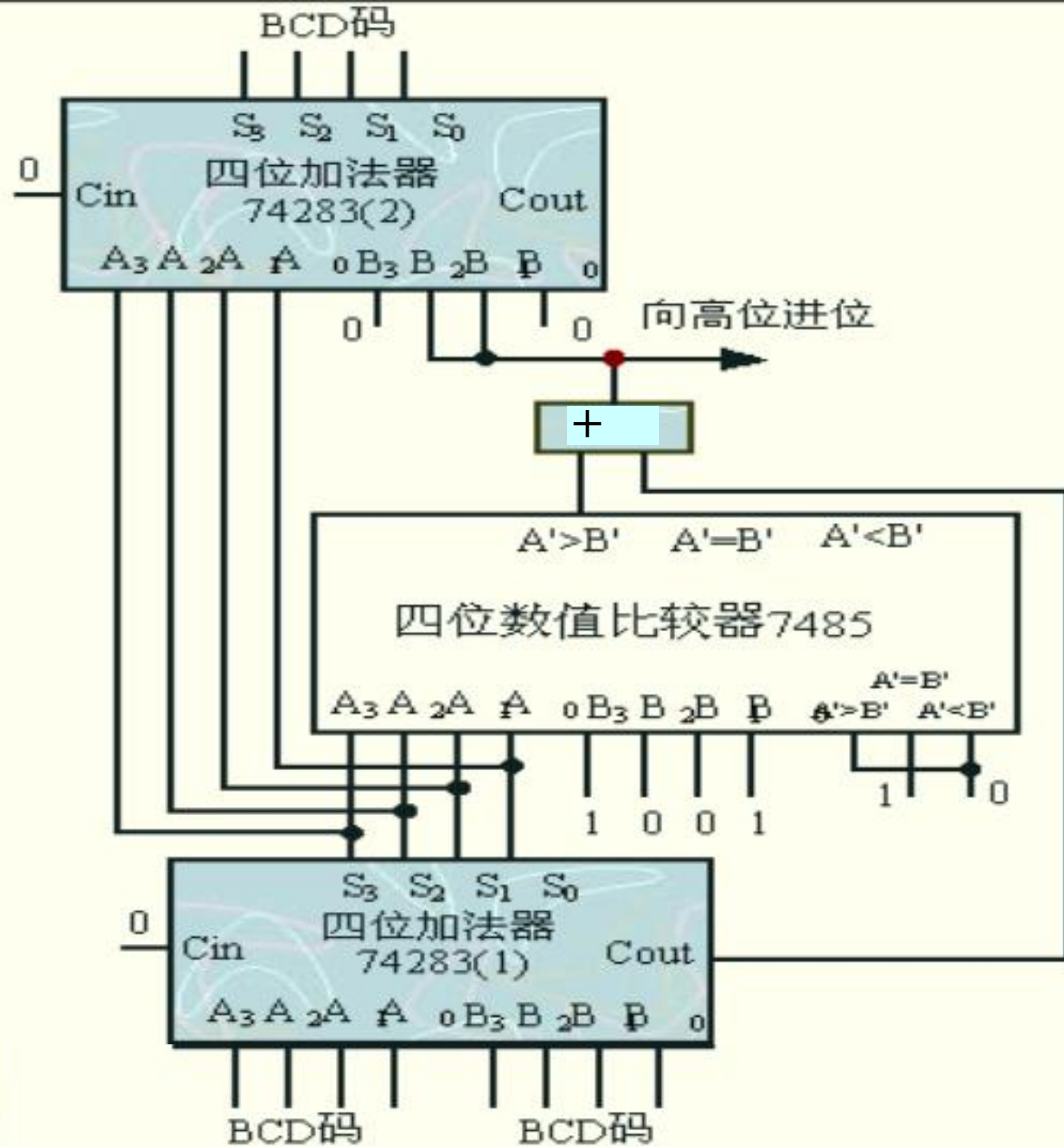
## 判 9 加 6 修正电路:

1) 当有进位输出 或 2) 当和数  $> 9$ ;

应修正让其产生进位, 且加  $(0110)$ ;

设计两个一位8421BCD码加法电路应由三部分组成。







$S_3S_2 \backslash S_1S_0$		$S_1S_0$			
		00	01	11	10
00					
01					
11	1	1	1	1	
10			1	1	

加6条件

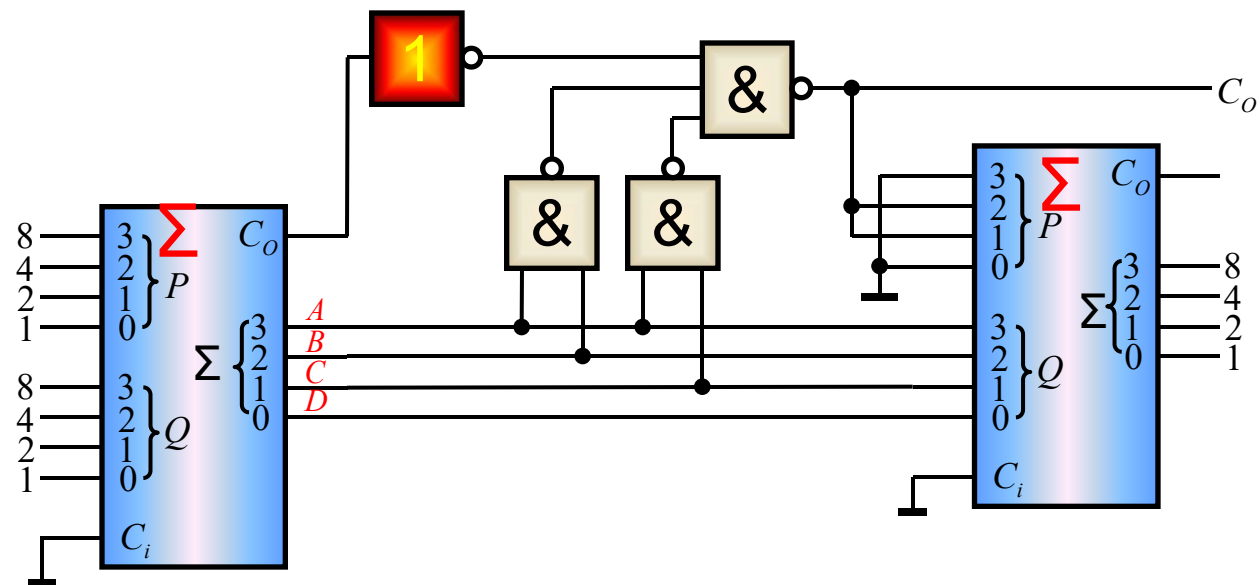
$$F = C_0 + S_3S_2 + S_3S_1$$

有进位

“和”大于9

$$F = \overline{\overline{C_0}} \cdot \overline{\overline{S_3S_2}} \cdot \overline{\overline{S_3S_1}}$$

$$F = \overline{\overline{C_0} \cdot \overline{S_3 S_2} \cdot \overline{S_3 S_1}}$$



相加之和小于9, 加0修正。

有进位或相加之和大于9, 加6修正。

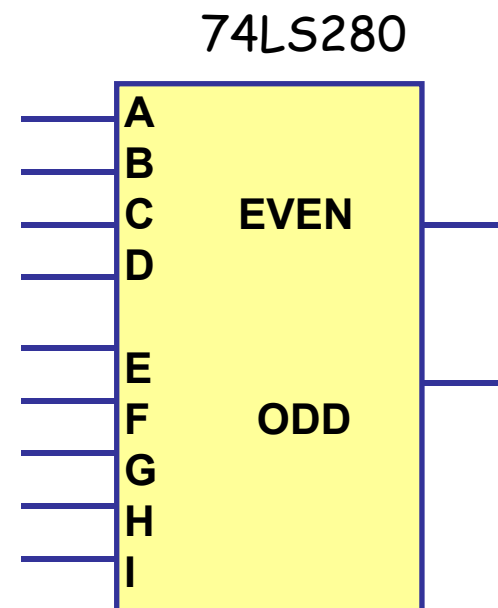
$C_0$ 作进位输出

## 六、 奇偶校验器(74LS280)

### 1. 基本功能:

根据输入中1的奇偶来决定其输出值。

A~I	EVEN	ODD
偶数个“1”	1	0
奇数个“1”	0	1



$$ODD = A \oplus B \oplus C \oplus D \oplus E \oplus F \oplus G \oplus H \oplus I$$

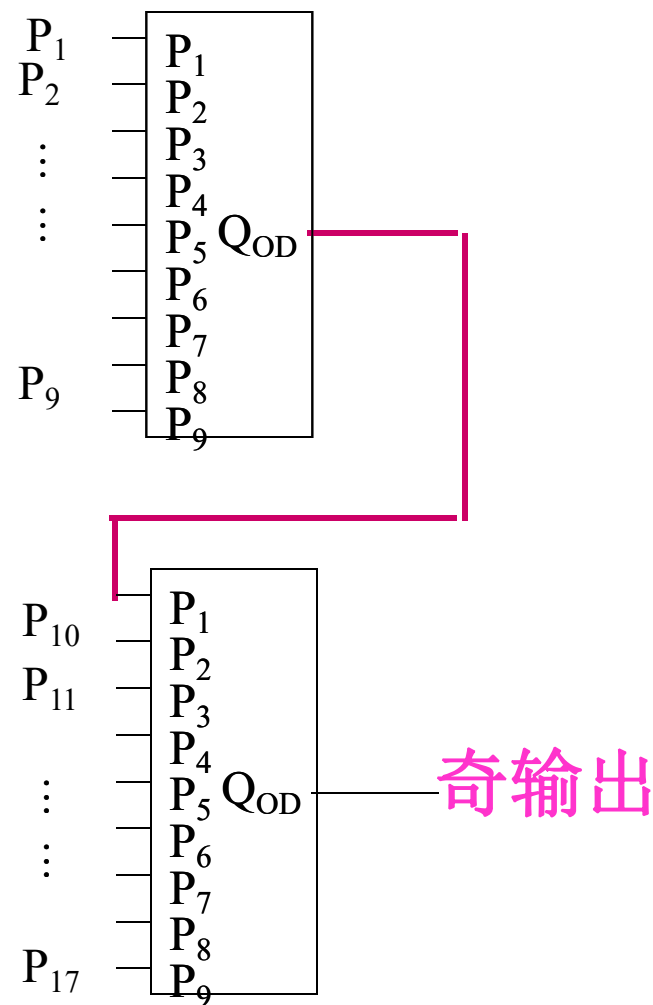
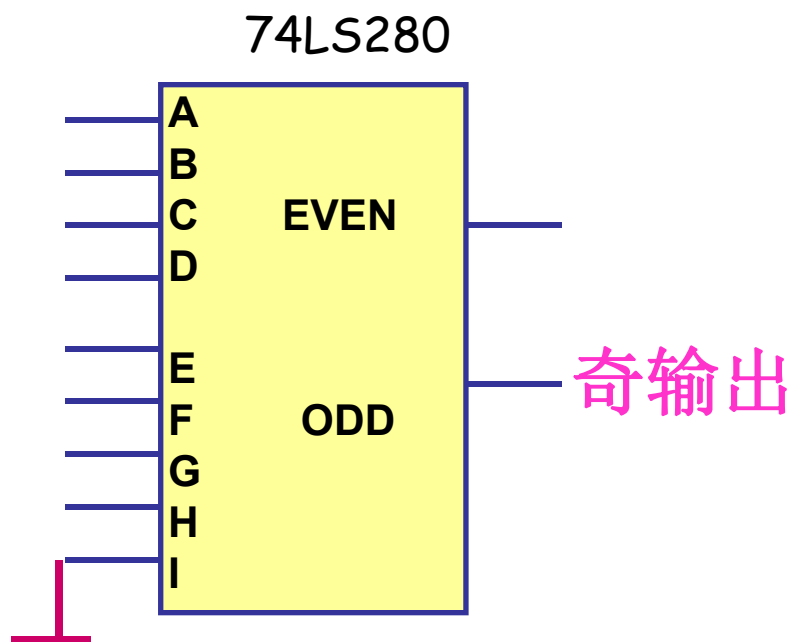
$$EVEN = \overline{ODD}$$

$$= A \oplus B \oplus C \oplus D \oplus E \oplus F \oplus G \oplus H \oplus I \oplus 1$$

## 2. 奇偶校验器的应用:

### 1) 奇偶检验器

用74LS280构成8 位奇偶检验电路和  
17 位奇偶检验电路

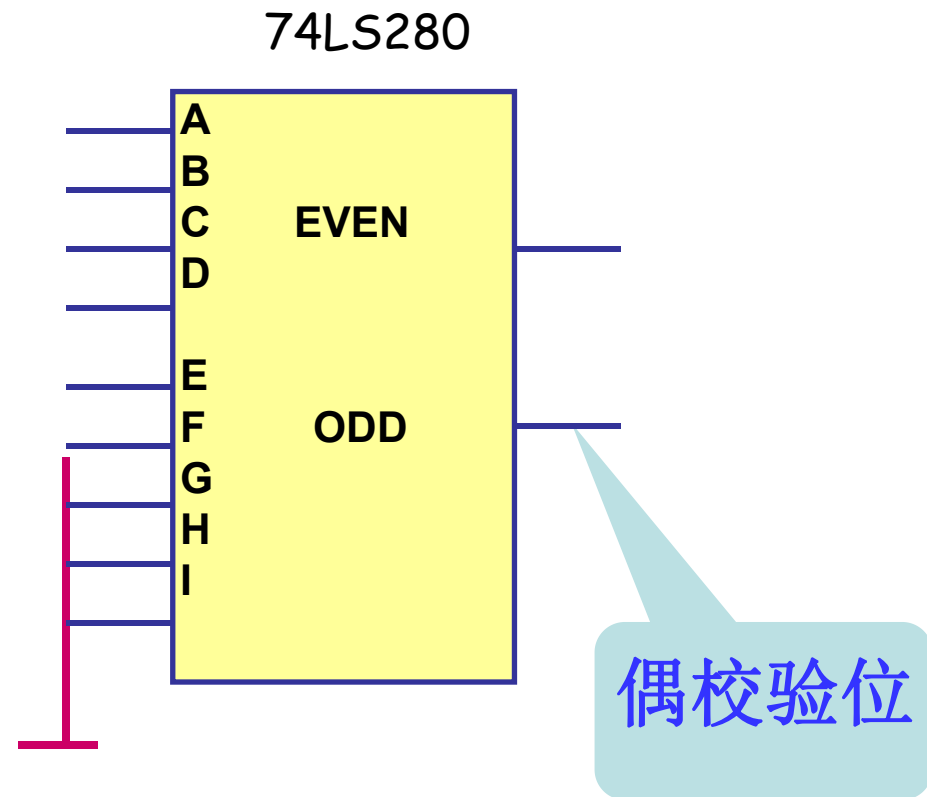


## 2) 奇偶校验位 ( 监督位 ) 发生器

用74LS280设计一个4位二进制码的偶校验位发生器

偶校验位 ( 监督位 ) :

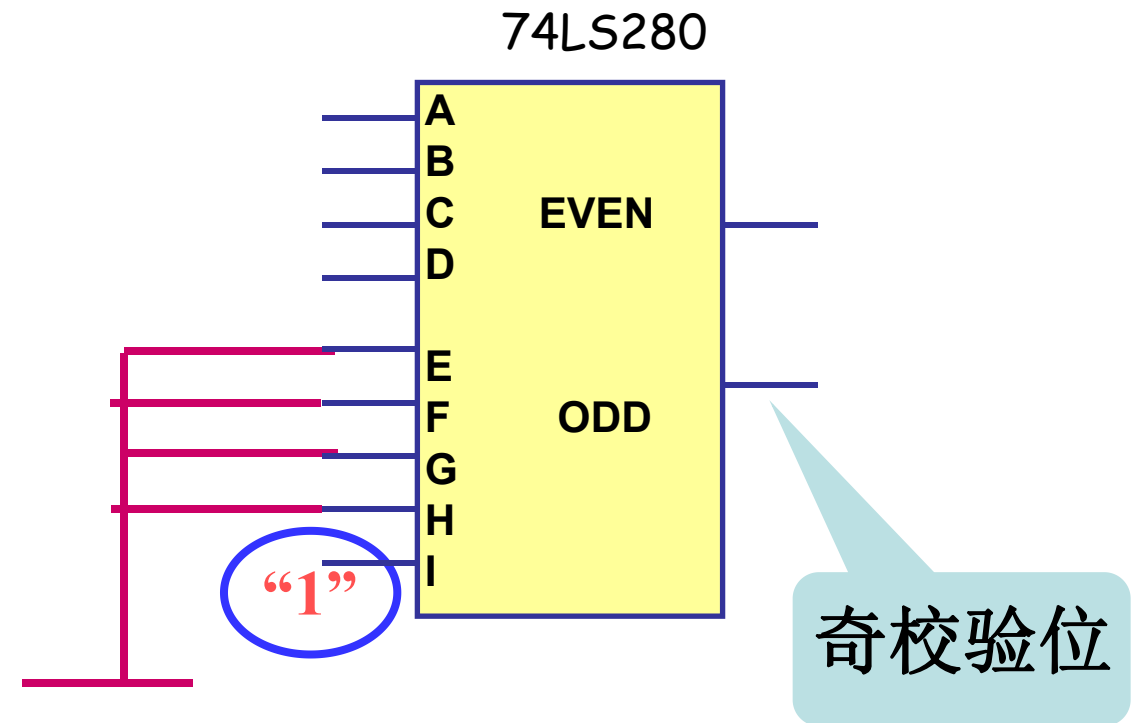
$$P = C_1 \oplus C_2 \oplus C_2 \cdots \oplus C_n$$



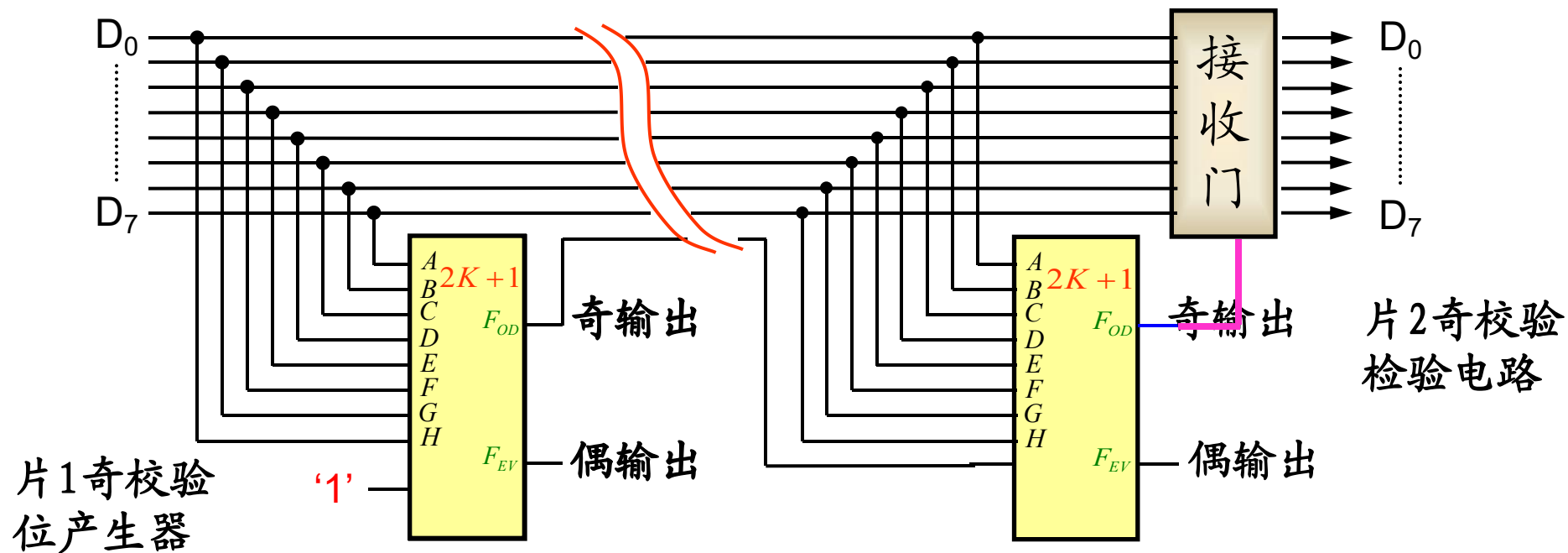
# 用74LS280设计一个4位二进制码的奇校验位发生器

奇校验位（监督位）：

$$P = C_1 \oplus C_2 \oplus C_2 \cdots \oplus C_n \oplus 1$$



### 3) 校验位产生 / 校验检测



接收无错:  $F_{OD2} = 1$

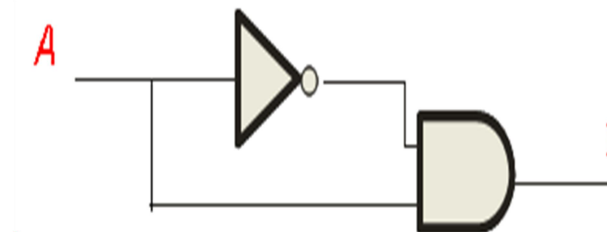
接收门开启, 数据继续传送。

## § 2.1.5 组合逻辑电路的竞争冒险

### 一、险象的产生的原因

**竞争：** 同一信号经不同路径到达输出门有时间差的现象。

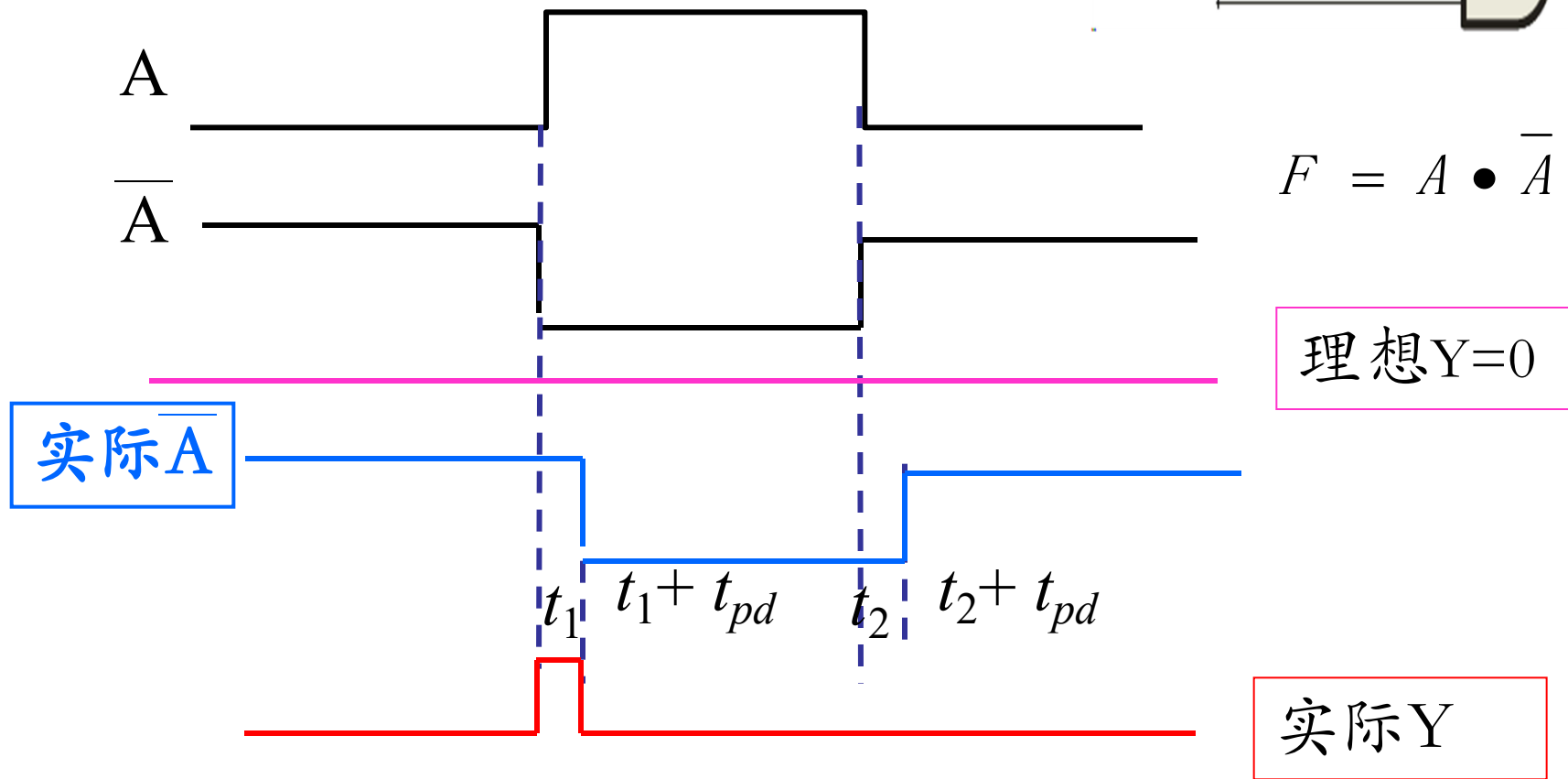
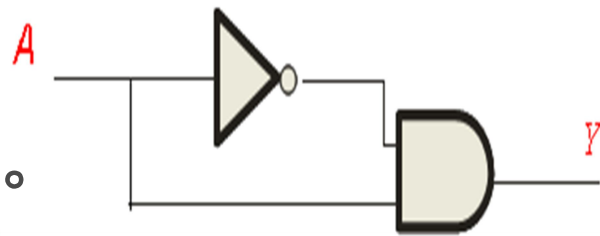
**冒险：** 当有竞争能力的信号发生变化时，可能使电路产生了暂时错误输出。





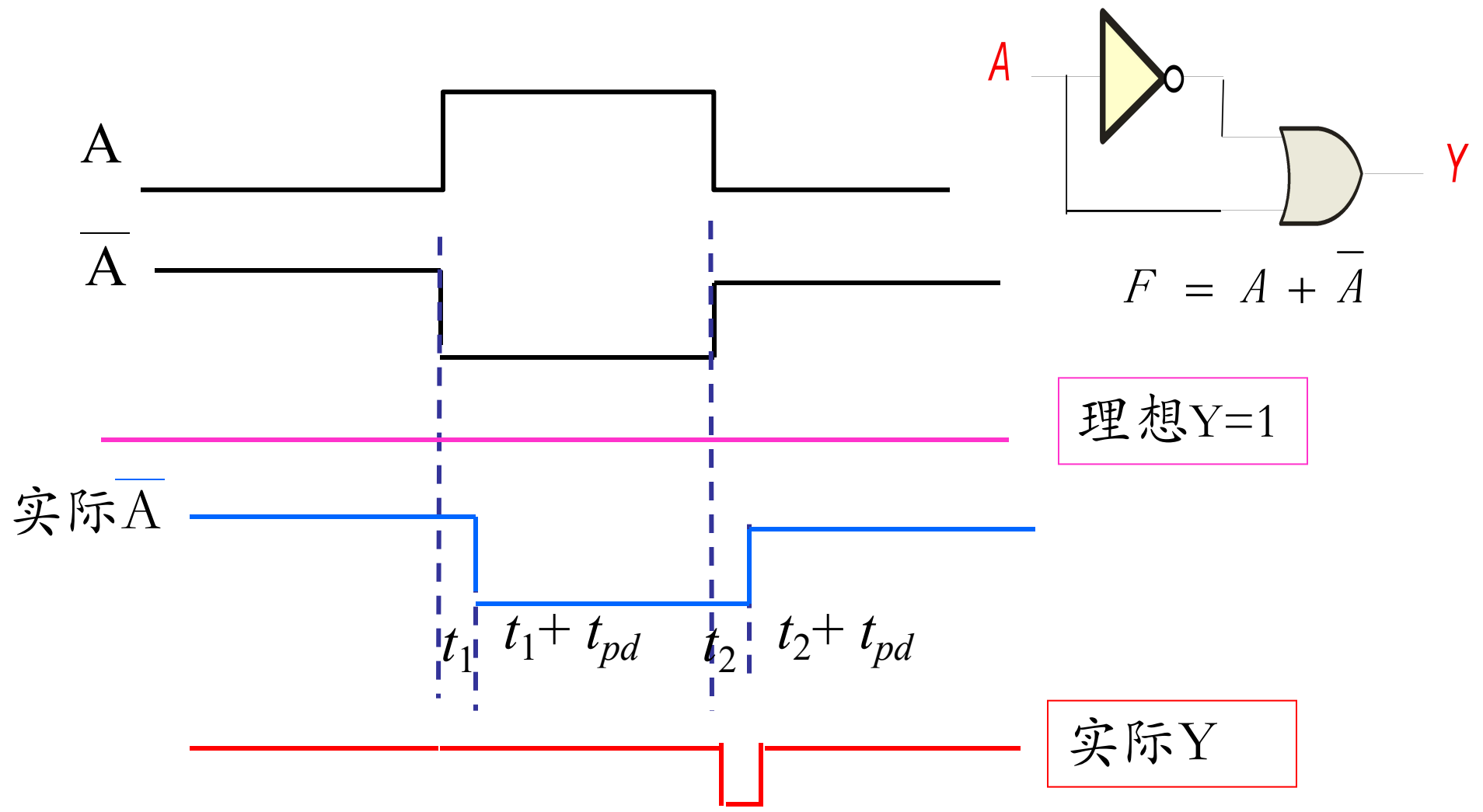
# 1、竞争冒险（逻辑冒险）

只有一个变量产生变化时出现的冒险。



“1” 冒险 出现正尖脉冲。

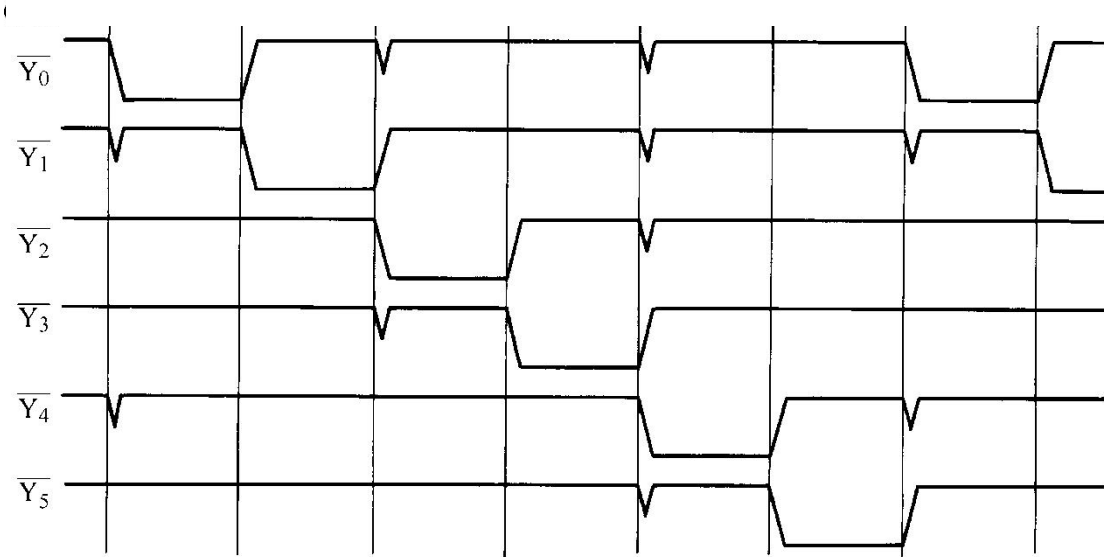
两个互补输入信号同时向相反状态变化的情况下-----竞争冒险



“0”冒险 出现负尖脉冲

## 2. 译码器的竞争冒险（功能冒险）

当有两个或两个以上输入信号同时产生变化时，在输出端产生毛刺。



译码器容易产生毛刺，设计译码逻辑电路时必须十分小心。

利用：

- 使能端在输入稳定后有效，可消除毛刺。
- 格雷码可消除毛刺。

## 二. 冒险现象判别（逻辑冒险）

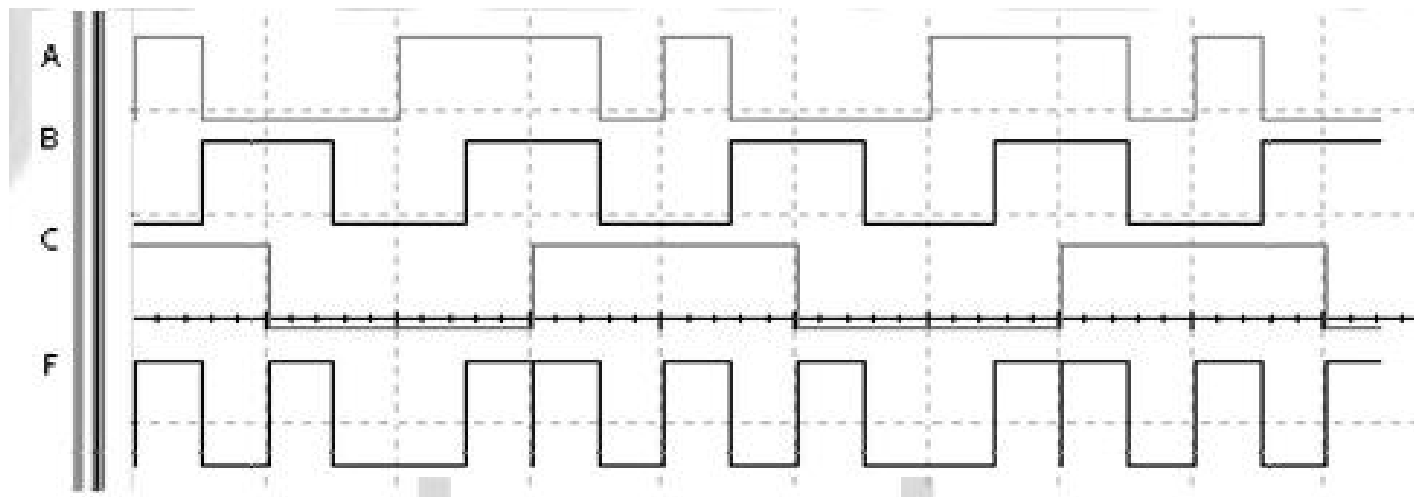
## 1. 代数法

- 1) 检查变量，原、反同时出现；
- 2) 代入其余变量的取值组合，考察是否冒险。

$F = A + \overline{A}$  “0” 冒险

$F = A \bullet \overline{A}$  “1” 冒险

$$F = B\overline{C} + AC$$



例

判断  $F = \overline{A}D + \overline{A}C + ABC\overline{C}$  是否可能出现险象

分析：① 变量A和C均具备竞争条件

② 检查A:

当

$$B = 1$$

$$C = 0$$

$$D = 1$$

时

$$F = A + \overline{A}$$

③ 检查C:

$$F \neq C + \overline{C}$$

$\therefore$  C发生变化时不会产生险象.

$BCD=101$ 时, 出现“0”冒险。

判断  $F = (A + B)(\bar{A} + C)(\bar{B} + C)$  描述的电路是否可能出现险象

分析：① 变量A、B均具备竞争条件

② 考察A变量：

当

$$B = 0$$

$$C = 0$$

时

$$F = A \cdot \bar{A}$$

∴ 当BC=00时，  
电路出现“1”险象

③ 考察B变量：

当

$$A = 0$$

$$C = 0$$

时

$$F = B \cdot \bar{B}$$

∴ 当AC=00时，出现  
“1”险象

### 三、冒险现象的消除

#### 1. 加冗余项法:

$$F = \overline{A}D + \overline{A}C + AB\overline{C}$$

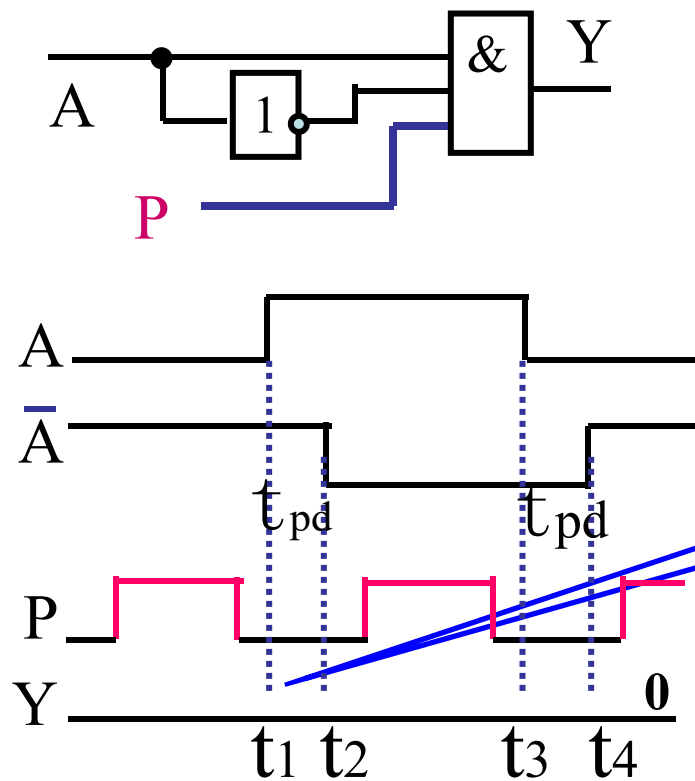
$BCD=101$ 时, 出现“0”冒险。

$$F = \overline{A}D + \overline{A}C + AB\overline{C} + B\overline{C}D$$

$BCD=101$ 时,  $F=1$ , 消除冒险。

## 2. 选通法:

取样脉冲仅在输出门处于稳定值期间到来, 保证输出结果正确, 目的是避开冒险。 有严格的时间要求。



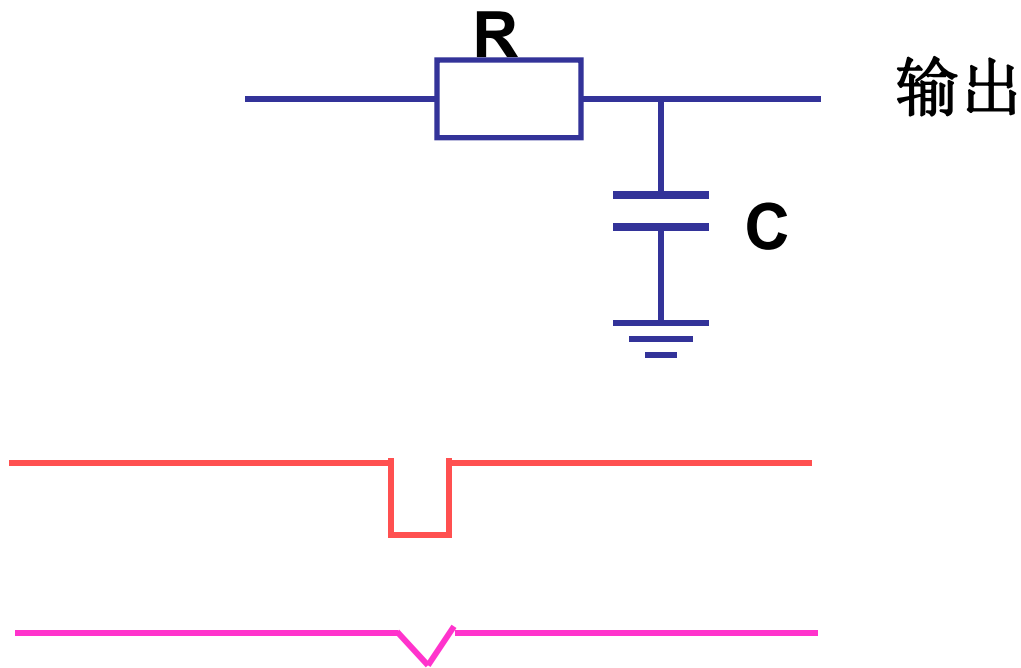
由  $P=0$  封锁与门,  
使Y端不产生险态。



### 3. 输出端加一滤波电容:

电容 ( $4\text{pF} \sim 20\text{pF}$ ) 滤波以减小尖脉冲 (丰富的高频分量) 的幅度。

影响输出波形。



# 本章小结

- 1. 组合逻辑电路的特点是：**任一时刻的输出状态只决定于该时刻各输入状态的组合。电路仅由门电路构成。
- 2. 小规模组合逻辑电路的分析步骤：**写出各输出端的逻辑表达式→化简和变换逻辑表达式→列出真值表→确定功能。
- 3. 小规模组合逻辑电路的设计步骤：**根据设计求列出真值表→写出逻辑表达式(或填写卡诺图)→逻辑化简和变换→画出逻辑图

## 4. 中规模组合逻辑部件

掌握典型集成电路的外部功能、扩展、应用。

- **数据选择器**: 根据地址码的要求, 从多路输入信号中选择其中一路输出。

应用: {  
    选择数据  
    并 → 串  
    实现组合逻辑


- **译码器**：特定意义信息的二进制代码翻译出来，常用的有二进制译码器、二-十进制译码器、数码显示译码器。

应用：{  
片选、地址译码  
实现数据分配  
实现组合逻辑

- **编码器**：将具有特定含义的信息编成、相应二进制代码输出，常用的有二-十进制编码器、优先编码器。。

应用：{  
编码  
实现优先级管理

- **加法器**：多位加法运算（串行进位、并行进位）。

应用： **算术运算**  
**代码转换**

- **比较器**：级联输入端的接入方法。

- **奇偶校验器**：输出表达式。

5.了解组合逻辑电路中**竞争冒险**现象、克服方法。

1. 常用的BCD码有\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_等，常用的可靠性代码有\_\_\_\_\_、\_\_\_\_\_等。

2. 将十进制数45转换成8421码可得\_\_\_\_\_。

3. 当数据选择器的数据输入端的个数为8时，则其地址码选择端应有\_\_\_\_\_位。

4. 对于四位二进制译码器，其相应的输出端共有\_\_\_\_\_。

- A. 4个      B. 16个      C. 8个      D. 10个

5. 设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要\_\_\_\_\_个异或门。

- A. 2      B. 3      C. 4      D. 5

6. 在下列逻辑电路中, 不是组合逻辑电路的有\_\_\_\_\_。  
A. 译码器      B. 编码器      C. 全加器      D. 寄存器

7. 组合逻辑电路不存在输出到输入的\_\_\_\_\_通路, 因此其前一状态不影响后一状态。

8. 四位二进制编码器有\_\_\_\_\_个输入端; \_\_\_\_\_个输出端。

9. 函数  $F = \overline{A} + \overline{\overline{AB}} + A(C + D)$ , 其反函数  $\overline{F} =$  \_\_\_\_\_; 对偶式  $F^* =$  \_\_\_\_\_。

10. 最小项  $ABC\overline{D}$  的逻辑相邻项是\_\_\_\_\_

11. 逻辑函数  $F = A \oplus (A \oplus B)$  的值是\_\_\_\_\_。

12. 下列各函数相等，其中无冒险现象的逻辑函数是-----。

A.

$$F = AC + \overline{B}\overline{C} + CD + BD + AB$$

$$F = AC + \overline{B}\overline{C} + CD + BD + AB$$

B.

$$F = AC + \overline{B}\overline{C} + CD$$

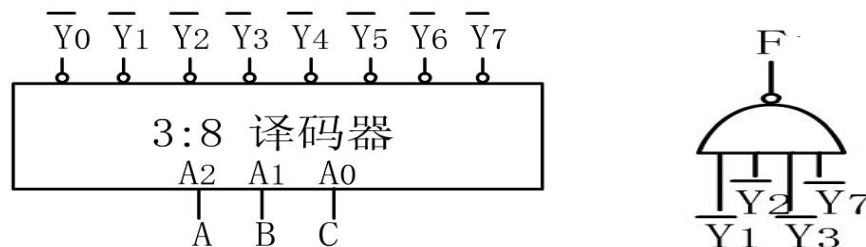
C.

$$F = AC + CD + \overline{B}\overline{C}\overline{D} + BD$$

D.

$$F = CD + \overline{B}\overline{C} + AC\overline{D}$$

13. 一个由3:8译码器构成的逻辑电路如图9所示，函数F的最小项表达式为-----。



14. 一个逻辑函数如果有n个变量，则有-----个最小项。任何一个逻辑函数可以化成一组-----之和表达式。



15.  $A_1$ 、 $A_2$ 、 $A_3$ 、 $A_4$ 是四位二进制码，若电路采用奇校验，则监督码元（校验位） $P$ 的逻辑表达式为 $P = \text{-----}$ 。

设计：

设8421BCD码对应的十进制数为 $X$ ，当  $X \leq 2$ , 或  $\geq 7$ 时电路输出 $F$ 为高电平，否则为低电平。试设计该电路，并用与非门实现之。