

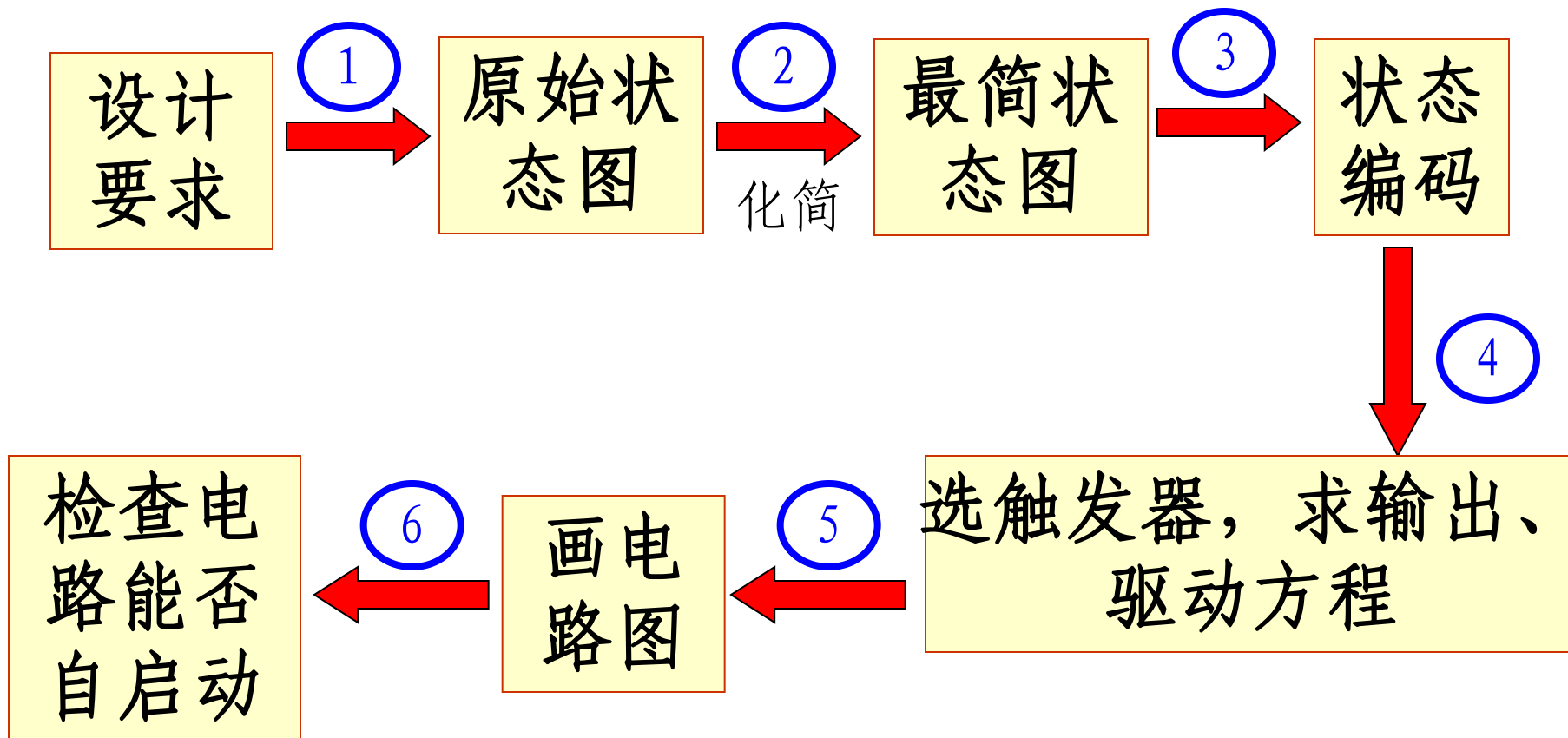
§3.7 同步时序电路的设计

根据逻辑功能要求，用触发器实现逻辑电路。

关键:

- 1) 确定应有的状态转换规律;
- 2) 根据状态转换规律，求得触发器的激励信号表达式。

时序电路的设计步骤:



1) 逻辑抽象，得状态图（表）：

(1) 输入、输出

(2) 系统的状态数

(3) 每一状态在规定条件下的转移方向

2) 状态化简：

等价状态 —— 如果有两个或两个以上状态，在相同的外部输入下，各自的外部输出相同，次态相同，则这几个状态为等价状态。

应把等价状态归并为一个。

3) 状态编码，得真值表：

将化简后的各状态用二进制代码来表示。

(1) 确定触发器个数

(2) 状态分配

(3) 写出编码形式的状态转换真值表

4) 由状态图（表）得驱动方程和输出方程

(1) 填卡诺图：

(2) 化简卡诺图得激励方程、输出方程：

例： 用D触发器设计一个五进制的加法计数器。

1) 原始状态图

无输入信号，有进位输出C，有5个状态分别表示0 — 4。

2) 状态化简

无需化简。

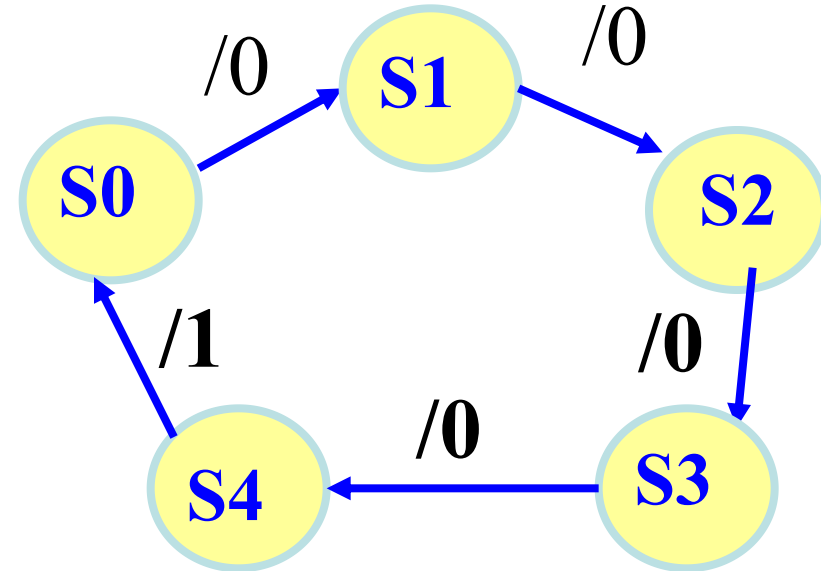
3) 状态编码

触发器个数 n

$$n=3$$

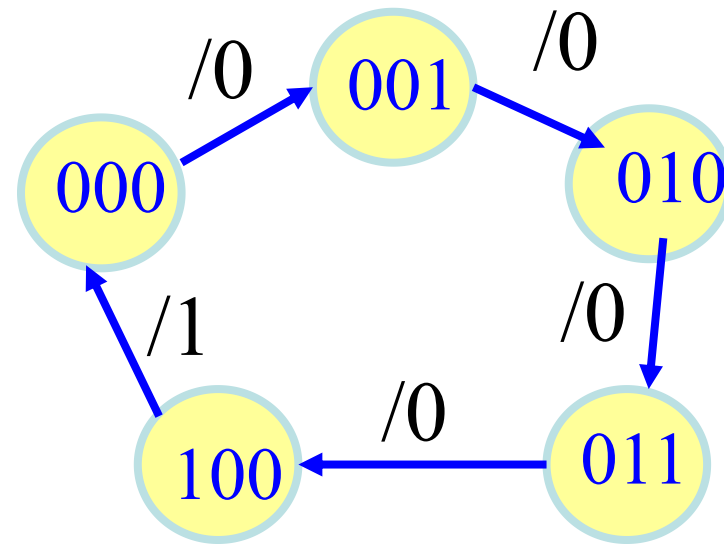
状态分配

按自然态序编码。



写出编码形式的状态图、真值表

现 态	次 态			输 出
$Q_2^n \ Q_1^n \ Q_0^n$	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	c
0 0 0	0	0	1	0
0 0 1	0	1	0	0
0 1 0	0	1	1	0
0 1 1	1	0	0	0
1 0 0	0	0	0	1
1 0 1	x	x	x	x
1 1 0	x	x	x	x
1 1 1	x	x	x	x



4) 写出输出方程和驱动方程

输出方程： $C = Q_2^n$

$Q_2^n \backslash Q_1^n Q_0^n$	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	0	0	0
1	1	x	x	x

驱动方程

对于 D 触发器，要求状态方程最简；

Q_2^n	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	0	1	0
1	0	X	X	X

Q2 的次态卡诺图

Q_2^n	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	1	0	1
1	0	X	X	X

Q1 的次态卡诺图

Q_2^n	$Q_1^n Q_0^n$			
	00	01	11	10
0	1	0	0	1
1	0	X	X	X

Q0 的次态卡诺图

$$Q_2^{n+1} = D_2 = Q_1^n Q_0^n$$
$$Q_1^{n+1} = D_1 = Q_0^n Q_1^n + Q_0^n Q_1^n$$
$$Q_0^{n+1} = D_0 = Q_2^n Q_0^n$$

现 态			次 态			输 出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	x	x	x	x
1	1	0	x	x	x	x
1	1	1	x	x	x	x

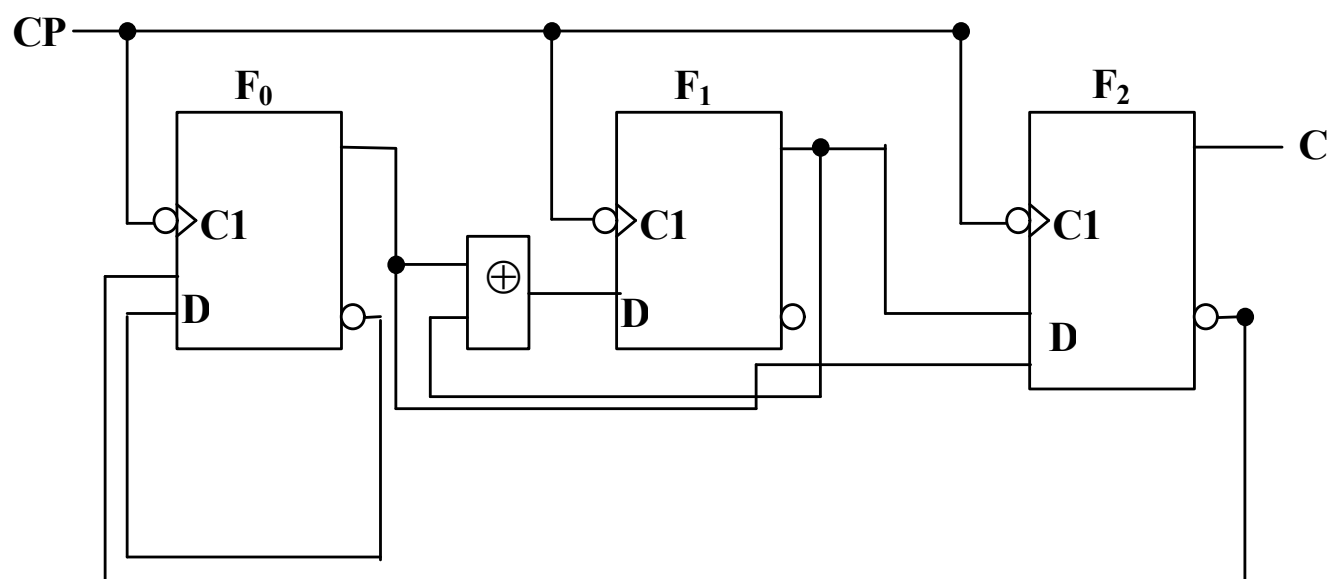
5) 画出逻辑图

$$C = Q_2^n$$

$$Q_2^{n+1} = D_2 = Q_1^n Q_0^n$$

$$Q_1^{n+1} = D_1 = Q_0^n \oplus Q_2^n$$

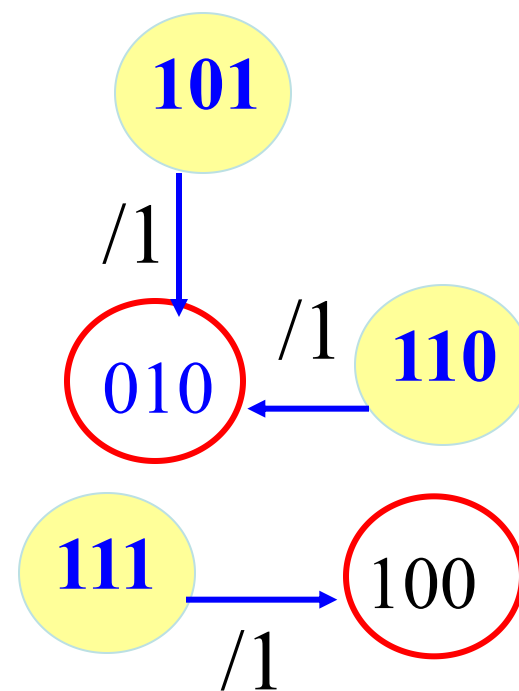
$$Q_0^{n+1} = D_0 = \overline{Q_2^n} \overline{Q_0^n}$$



6) 检查自启动

将无效状态101、110、111代入状态方程计算：

电路能够自启动



例 设计一个串行数据111序列检测器，当连续输入3个或3个以上1时，检测器输出为1，否则输出为0。

1

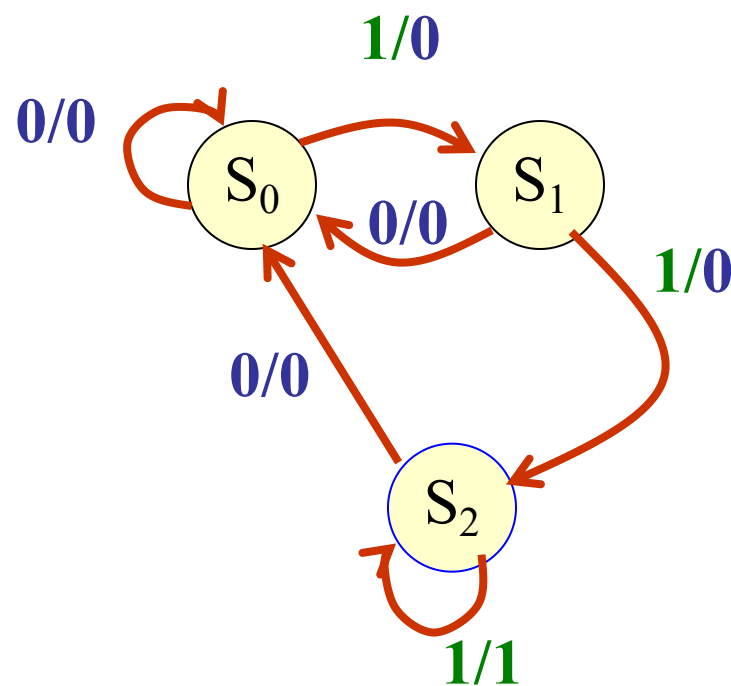
建立原始状态图

输入端X，输出端Y

S0： 初始状态或序列失败的状态；

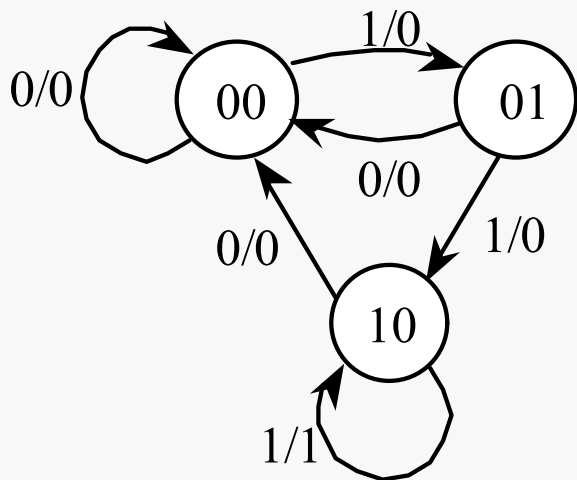
S1： 输入一个1的状态；

S2： 连续输入二个1的状态；



2

状态编码



(c) 二进制状态图

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	x	x	x
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	x	x	x

3

选触发器，求输出、状态、驱动方程

2个D触发器

输出方程

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	0	0	x	0
	1	0	0	x	1

$$Y = XQ_1^n$$

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	x	x	x
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	x	x	x

状态方程

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	0	0	x	0
	1	0	1	x	1

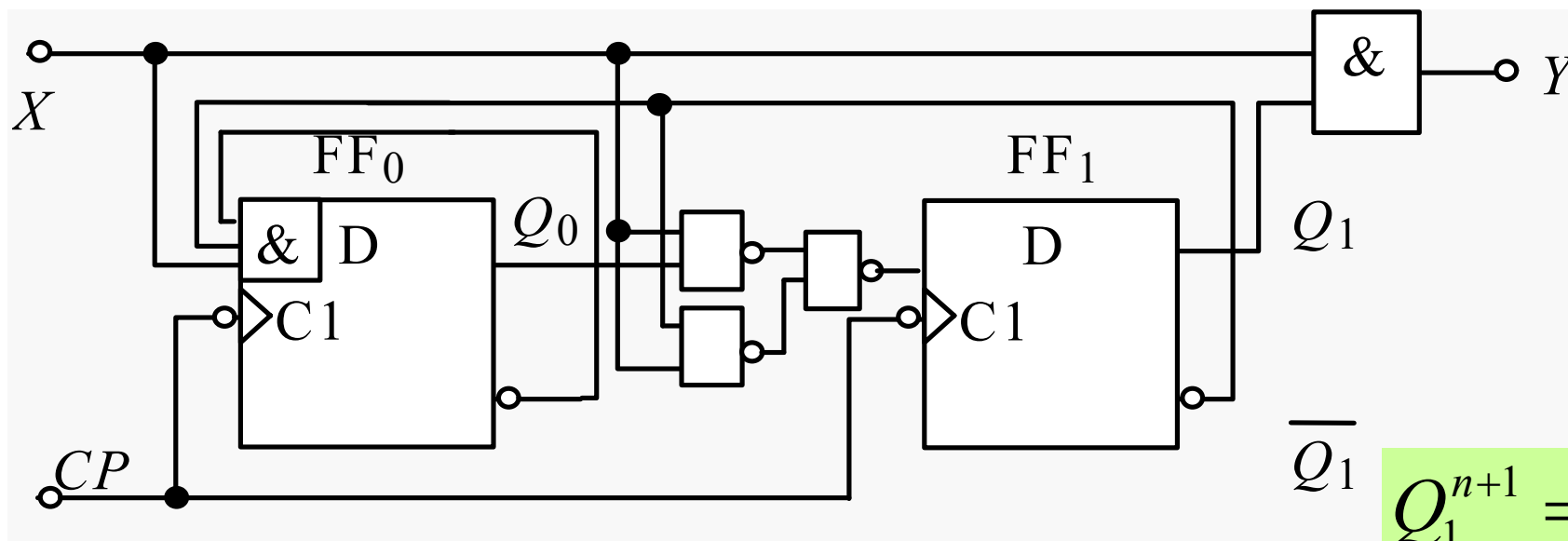
$$Q_1^{n+1} = XQ_0^n + XQ_1^n$$

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	0	0	x	0
	1	1	0	x	0

$$Q_0^{n+1} = X\overline{Q_1^n}\overline{Q_0^n}$$

4

电路图



$$Q_1^{n+1} = XQ_0^n + XQ_1^n$$

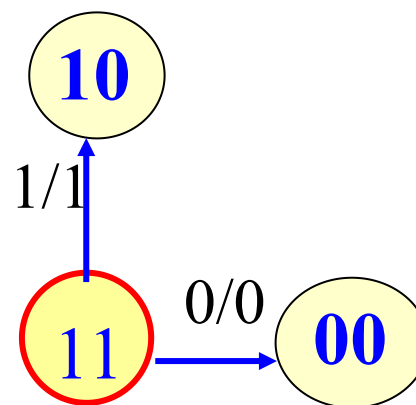
$$Q_0^{n+1} = X\overline{Q_1}^n \overline{Q_0}^n$$

$$Y = XQ_1^n$$

5

检查电路能否自启动

将无效状态11代入状态方程计算：



设计一个串行数据检测器，当输入 001或 011 序列时，检测器输出为 1， 否则输出为0， 且不重叠。

如 x: 10011011, Y: 00010001

① 定状态， 建立原始状态表（图）

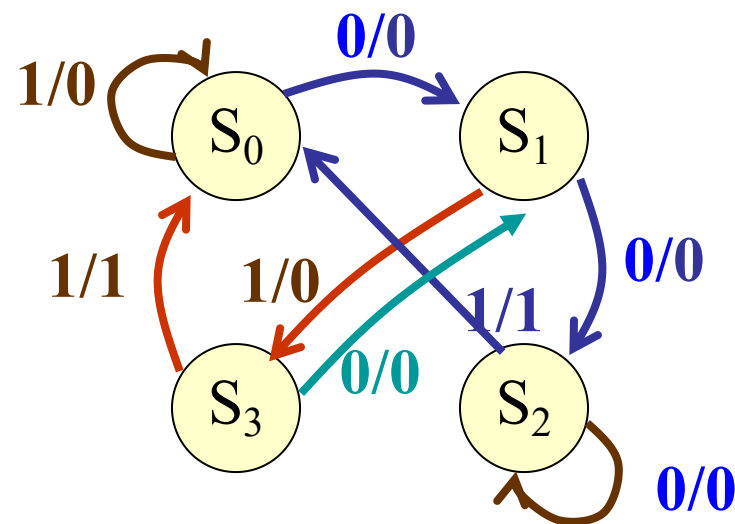
输入端X， 输出端Y

S0 : 初始状态或序列失败的状态;

S1: 输入一个0的状态;

S2: 连续输入二个0的状态;

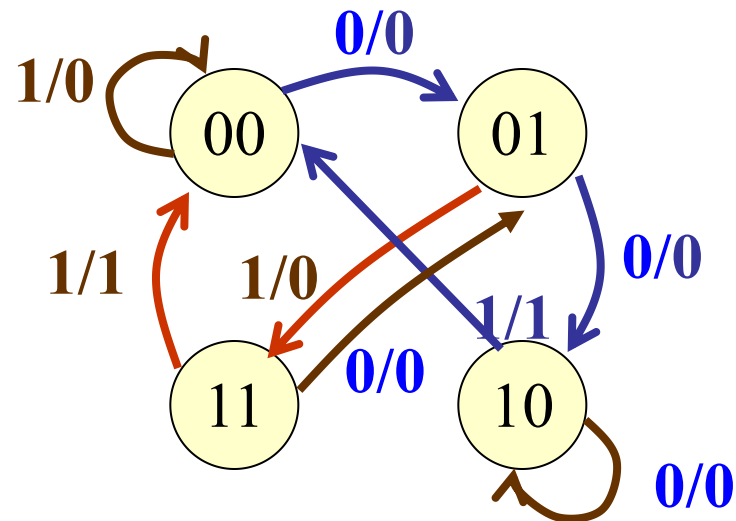
S3: 连续输入01的状态;



2

状态编码

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	0	0	1



3

列输出方程和驱动方程

$$Y = XQ_1^n$$

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	0	0	0	0
	1	0	0	1	1

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	0	0	1

列驱动方程

选用D触发器

$$Q_1^{n+1} = D_1 = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \overline{X}$$

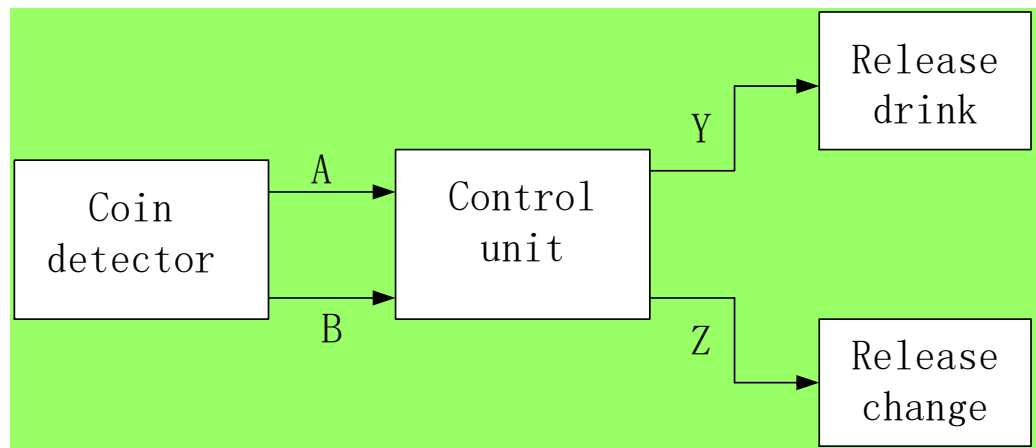
$$Q_0^{n+1} = D_0 = \overline{Q_1^n} \overline{Q_0^n} \overline{X} + \overline{Q_1^n} Q_0^n X + Q_1^n Q_0^n \overline{X}$$

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	0	1	0	1
	1	0	1	0	0

		$Q_1^n Q_0^n$			
		00	01	11	10
X	0	1	0	1	0
	1	0	1	0	0

例：设计一个自动售饮料机的逻辑电路：它的投币口每次只能投入一枚五角或一元的硬币。投入一元五角钱硬币后机器自动给出一杯饮料；投入两元（两枚一元）硬币后，在给出饮料的同时找回一枚五角的硬币。

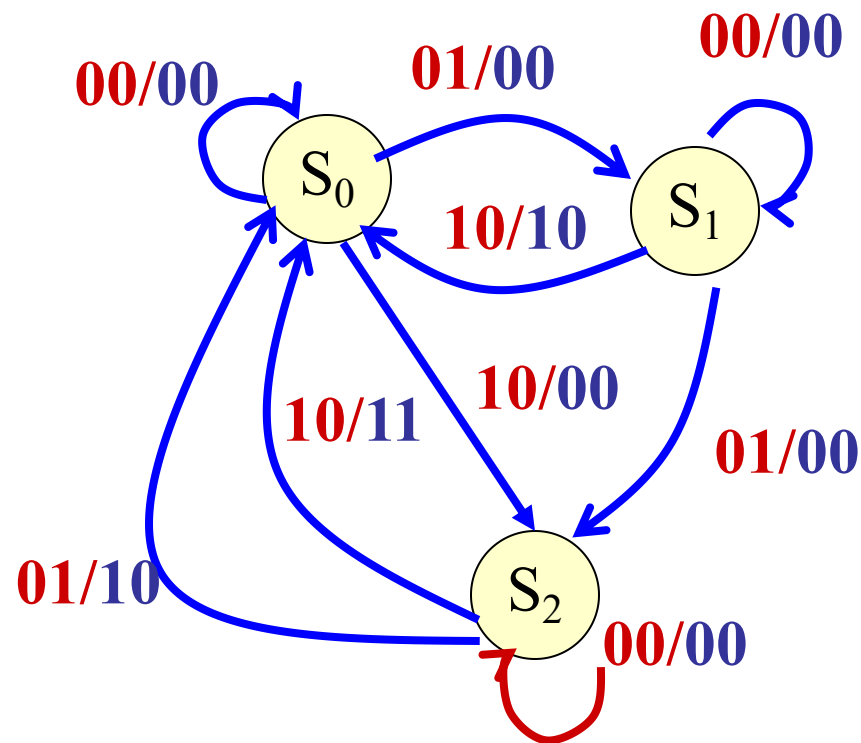
输入端A（1元）、B（5角），
输出端Y（饮）、Z（找）



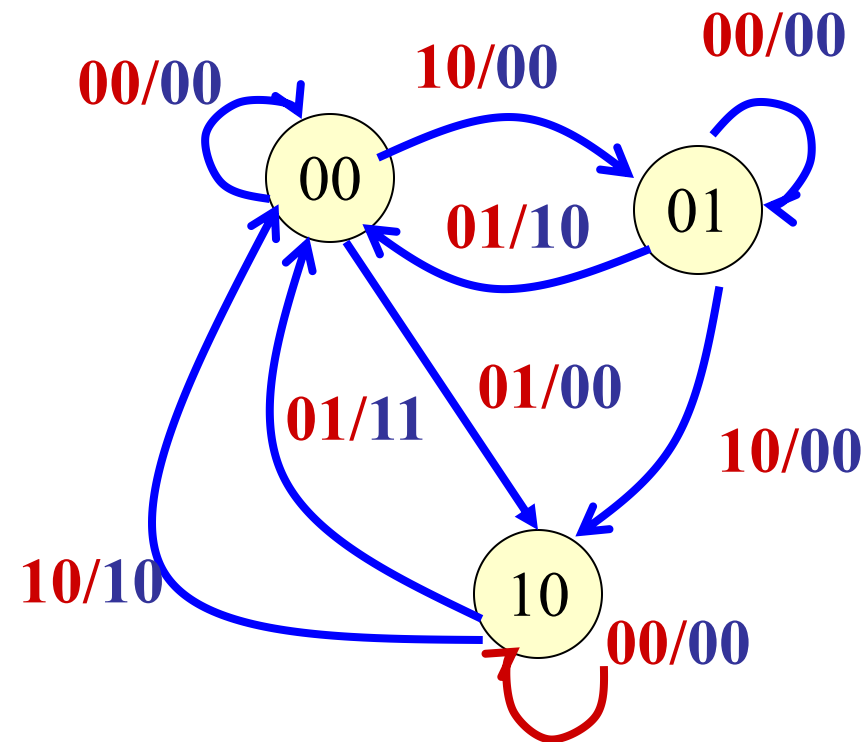
S₀ : 未投币；

S₁: 投5角币；

S₂: 投1元币；



A	B	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y	Z
0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0				
0	0	1	1	X	X	X	X
1	1	1	1				



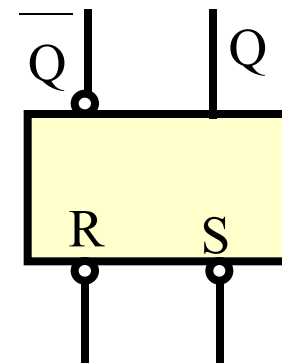
本章小结

一、触发器

- 基本RS触发器

$$Q^{n+1} = \bar{S} + RQ^n$$

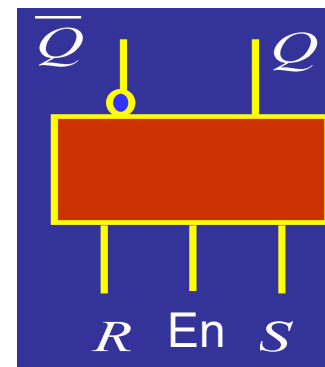
$$S + R = 1 \quad (\text{约束条件})$$



- 同步RS触发器

$$Q^{n+1} = S + \bar{R}Q^n$$

$$S \cdot R = 0 \quad (\text{约束条件})$$



- 边沿 D 触发器

$$Q^{n+1} = D$$

- 边沿 JK 触发器

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

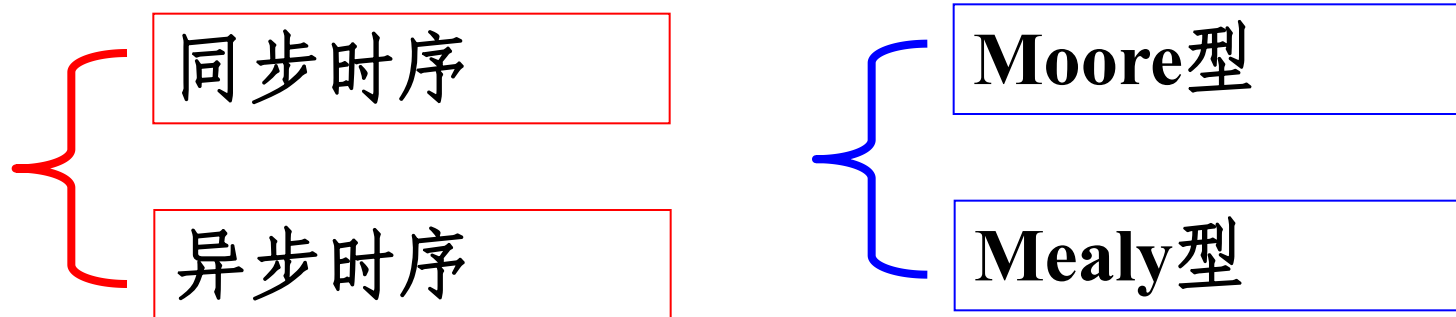
- 边沿 T 触发器

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n$$

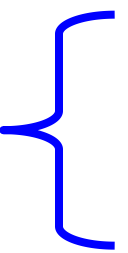
二、小规模时序电路

1. 时序逻辑电路的特点是：输出不仅和输入有关，而且还和电路状态有关。

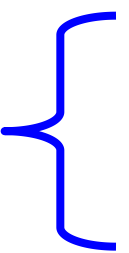
电路结构：组合电路 + 触发器。



2. 时序电路的分析步骤： 写出输出方程、各触发器次态方程→列出真值表→状态图 →确定功能。

 计数器
序列检测器

3. 时序电路的设计步骤： 画出状态图→状态编码→真值表→写出输出方程、激励方程→画出逻辑图→检查自启动。

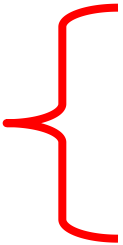
 计数器
序列检测器

三、中规模时序逻辑部件

计数器、寄存器、移位寄存器。

- 读懂功能表
- 利用集成计数器构成 N 进制计数器
 - 清零法
 - 置数法
- 利用移位寄存器构成计数器
 - 环型计数器
 - 扭环型计数器

- 计数器应用

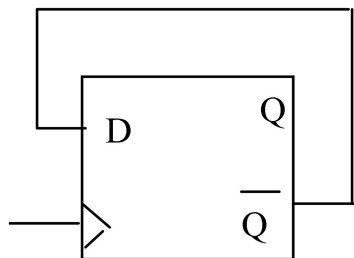


顺序脉冲发生器

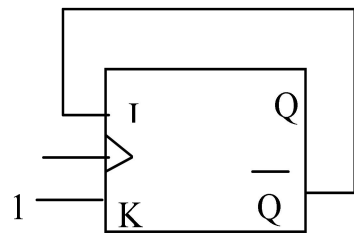
序列信号发生器

1. 所示电路中，不能完成 $Q^{n+1} = \overline{Q}^n$

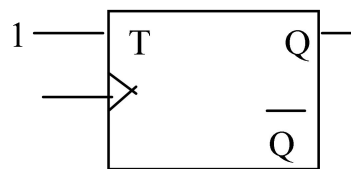
逻辑功能的电路是_____。



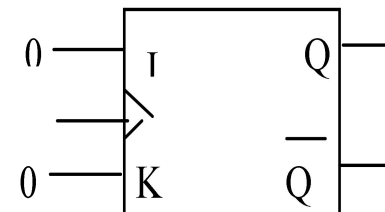
A



B

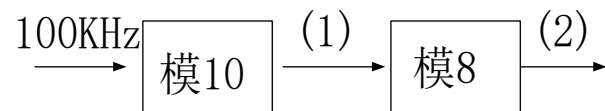


C



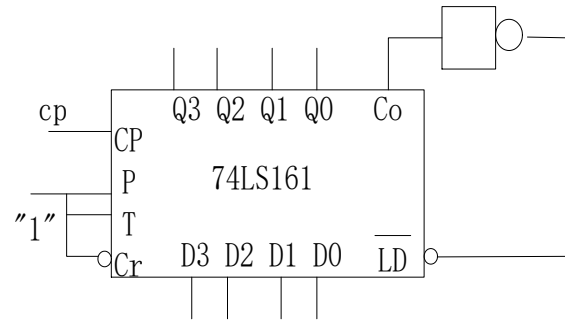
D

2. (1)处的频率是_____, (2)处的频率是_____

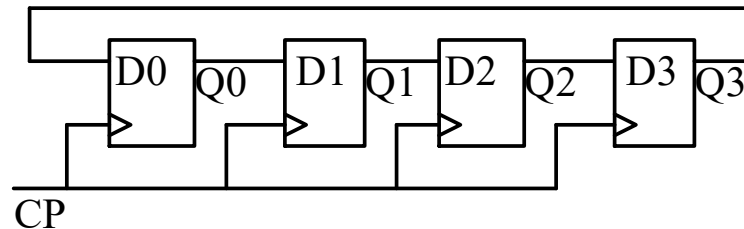


3. 由74LS161构成12进制计数器如图8所示，则 $D_3D_2D_1D_0 = \underline{\hspace{2cm}}$ 。（74LS161为16进制计数器， C_o 为进位输出端，LD端为同步置数端， D_3 为最高位，P, T为计数控制端， C_r 为复位端，）

- A. 0011 B. 0100 C. 0101 D. 1100



4. 图所示计数器的模值为



5. 某移位寄存器的时钟脉冲频率为100KHz，欲将存放在该寄存器中的数左移16位，完成该操作需要_____μS。