

Verilog 期末设计

实验名称	7 路裁判打分电路				
学生姓名	孟启轩	学号	2212452	指导老师	董前琨
实验地点	A306		实验时间	2024. 12. 14	

一、实验项目名称

7 路裁判打分电路（7 个裁判各自在不同时刻打分，满分 15 分，输出平均整数得分，从第三个裁判给出分数开始，计算平均分时要去掉一个最高分和一个最低分）

二、实验内容及步骤

设计思路：使用 Verilog 语言和 Vivado 工具实现一个 7 路裁判打分电路模块，通过时序逻辑管理 7 个裁判在不同时间点输入的分数（每分数范围为 0-15 分）。模块接收分数并在第三个裁判开始打分后，自动计算去除一个最高分和一个最低分后的平均整数得分。设计中采用寄存器数组存储分数，利用计数器跟踪已输入的分数数量，并通过时钟和复位信号同步操作。在每个时钟上升沿，若分数有效则存储并更新计数，随后计算总分、最高分和最低分，依据分数数量决定是否进行去极值处理后计算平均分。仿真通过生成随机分数并监控输出，验证模块在不同输入情况下的正确性和稳定性。整体设计确保了模块在多次打分和复位操作下的可靠性，并通过 Vivado 工具进行综合与仿真，验证其在实际应用中的可行性。

功能代码：

```

module caipan(
    input clk,
    input rst,
    input [3:0] score,
    input score_valid,
    output reg [3:0] averageScore
);
    reg [3:0] scores[6:0];
    reg [2:0] num_scores=0;
    integer i,sum,max,min;

    always @(posedge rst)begin
        if (rst)begin
            num_scores <=0;
            averageScore <=0;
            for (i=0;i<7;i=i+1)begin
                scores[i]<=0;
            end
        end
    end

    always @(posedge clk)begin
        if (score_valid)begin
            scores[num_scores]<=score;
            num_scores <=num_scores+1;
        end

        sum=0;max=0;min=15;

        for (i=0;i<num_scores;i=i+1)begin
            sum=sum+scores[i];
            if (scores[i]>max) max=scores[i];
            if (scores[i]<min) min=scores[i];
        end

        if (num_scores >=3)begin
            averageScore <=(sum-max-min)/(num_scores -2);
        end else if (num_scores >0)begin
            averageScore <=sum/num_scores;
        end
    end
endmodule

module tbcaipan;
    reg clk,rst,score_valid;
    reg [3:0]score;
    wire [3:0] averageScore;
    integer i,j;

    caipan sp(clk,rst,score,score_valid,averageScore);

    initial clk=0;
    always #5 clk =~clk;

    initial begin
        for (j=0;j<5;j=j+1)begin
            rst=1;#10;
            rst=0;#10;
            score_valid=0;

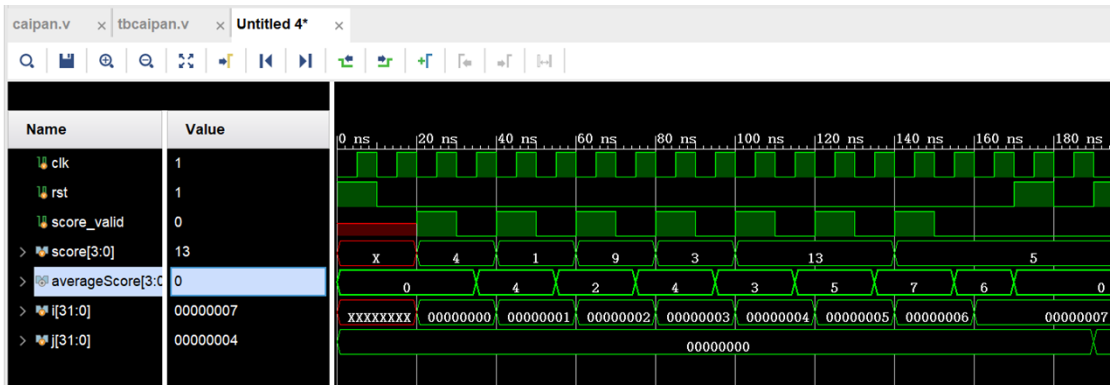
            for (i=0;i<7;i=i+1)begin
                score=$random%16;
                score_valid =1;#10;
                score_valid =0;#10;
            end

            #10;
            rst=1;#10;
            rst=0;#10;
        end
        $finish;
    end

    initial begin
        $monitor("Time =%0t:Score =%d,Average =%d", $time,score,averageScore);
    end
endmodule

```

波形图：



三、仿真结果分析

七位裁判依次打分为 4、1、9、3、13、13 和 5 分。

第一位裁判打分后，仅有一个分数 4，因此平均分为 4。

第二位裁判打分后，总分为 4 和 1，平均分计算为 $(4+1)/2=2$ 。

第三位裁判打分后，分数集合为 4、1 和 9，此时去除最高分 9 和最低分 1，剩下的分数为 4，平均分为 4。

第四位裁判打分后，分数为 4、1、9 和 3，去除最高分 9 和最低分 1，剩下的分数为 4 和 3，平均分为 $(4+3)/2=3$ 。

第五位裁判打分后，分数为 4、1、9、3 和 13，去除最高分 13 和最低分 1，剩下的分数为 4、3 和 9，平均分为 $(4+3+9)/3=5$ 。

第六位裁判打分后，分数为 4、1、9、3、13 和 13，去除最高分 13 和最低分 1，剩下的分数为 4、3、9 和 13，平均分为 $(4+3+9+13)/4=7$ 。

第七位裁判打分后，分数为 4、1、9、3、13、13 和 5，去除最高分 13 和最低分 1，剩下的分数为 4、3、9、13 和 5，平均分为 $(4+3+9+13+5)/4=6$ 。

经过上述步骤的验证，设计的电路模块能够正确地处理各个阶段的分数输入，并准确计算出符合要求的平均得分。

四、总结

在本次实验中，我成功运用 Verilog 语言和 Vivado 工具设计并实现了一个 7 路裁判打分电路模块，能够有效处理 7 位裁判在不同时间输入的分数，并在满足条件时准确计算去除最高分和最低分后的平均得分。通过这一过程，我深入理解了时序逻辑的设计方法、寄存器数组的管理以及分数处理的算法实现。同时，编写和运行仿真进行了全面的功能验证，确保了电路在各种输入情况下的正确性和稳定性。实验过程中，我克服了在分数排序和去极值计算中的技术挑战，提升了问题分析和解决能力。这次实验不仅巩固了我对 Verilog 编程和 Vivado 工具使用的掌握，还增强了我在实际项目中进行系统设计、调试和验证的实践经验，使我对数字电路设计有了更深刻的认识。