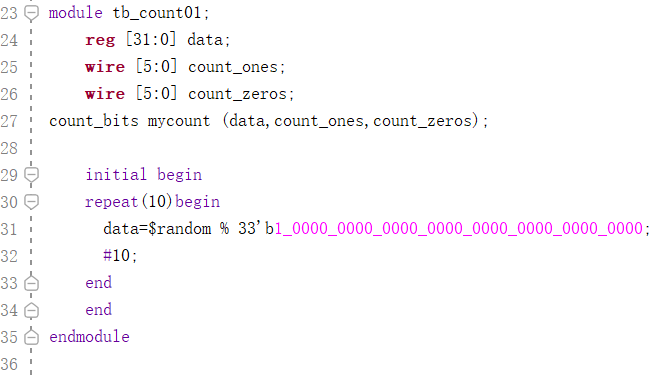
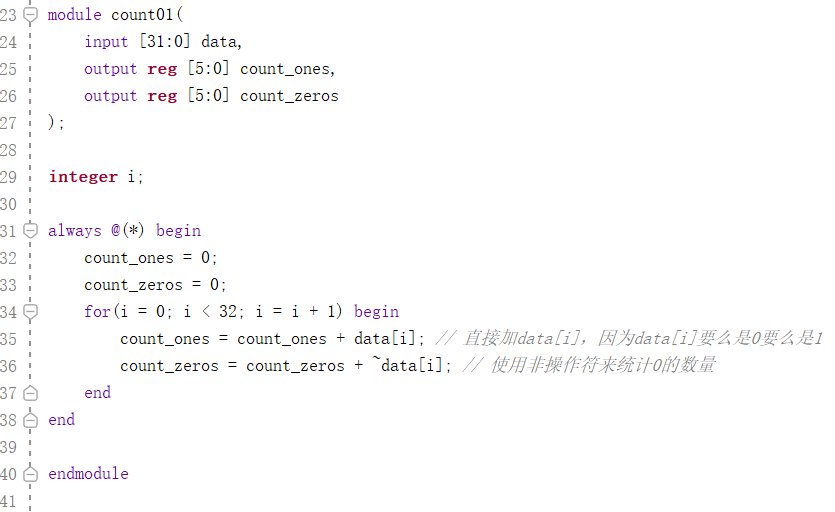
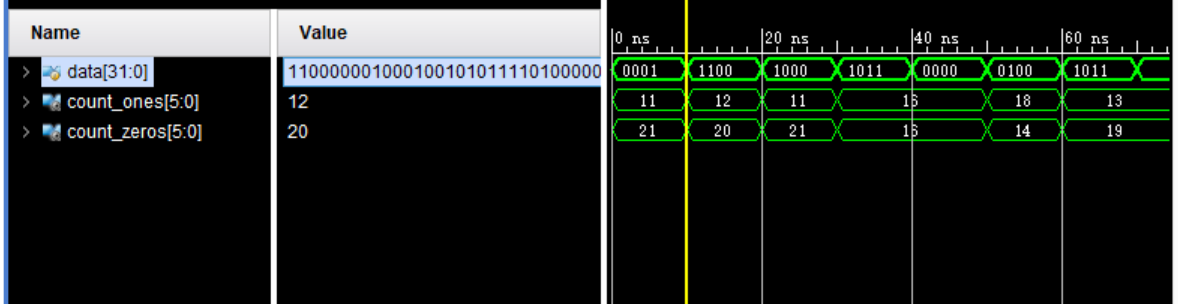
**1.请自行设计一个模块，完成统计32位2进制数0和1出现的次数。**





#### 输入数据 (data): data 的值为 110000001000100100101011110100000。

#### 手动计算1和0的数量:

1的数量: 110000001000100100101011110100000 中有 12 个 1。

0的数量: 110000001000100100101011110100000 中有 20 个 0。

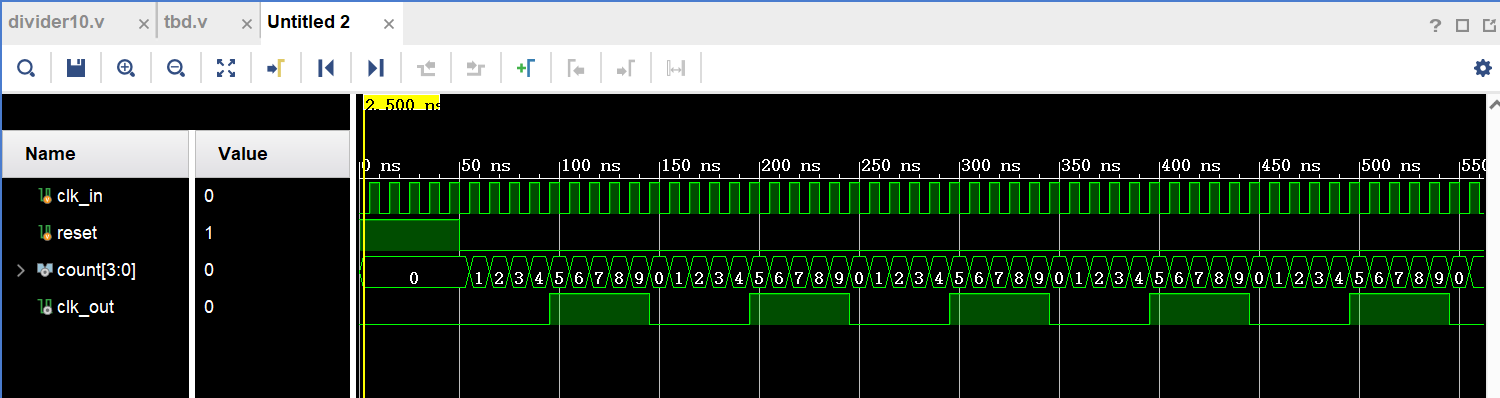
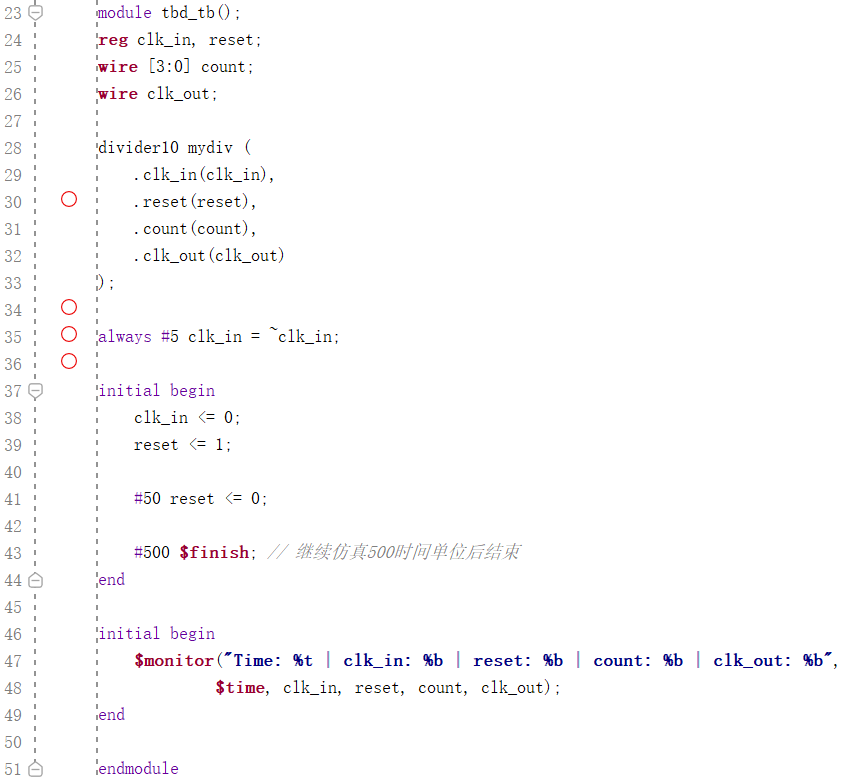
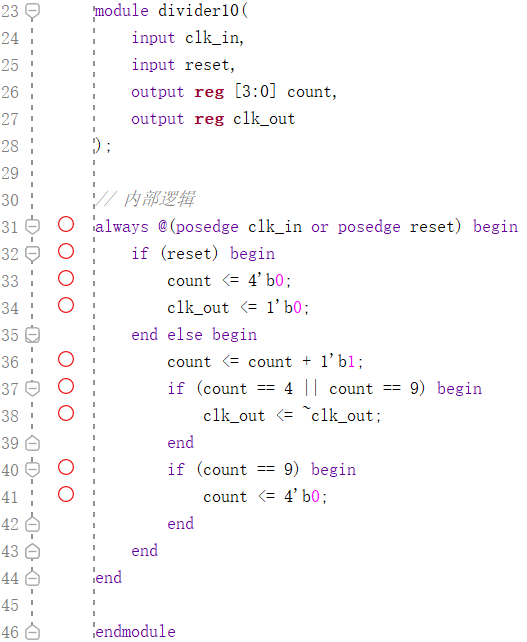
#### 波形图中的值:

count\_ones 的值为 12。

count\_zeros 的值为 20。

从波形图中可以看出，count\_ones 和 count\_zeros 的值与手动计算的结果一致，这表明模块正确地统计了32位二进制数中1和0的数量。

**2.请使用always块语句，实现一个十分频器，divider10(input clk\_in,input reset,output count,output clk\_out)。其功能可以理解为将时钟降频为原来的10分之一（思路：对clk\_in进行count计数，count取值0~9,count数到5时，clk\_out由1变0,count数到10时自动归零同时clk out由0变1)。**



仿真结果显示，当reset信号为高电平时，计数器count和输出信号clk\_out均保持为0不变，表明模块正确响应复位。复位解除后，随着输入时钟clk\_in的上升沿，计数器递增至9时重置，并在计数值为4和9时翻转clk\_out，实现clk\_out周期为clk\_in十倍的效果，即成功将输入时钟频率降低了十分之一，验证了该十分频电路设计的有效性和准确性。

**总结：**

通过这两次实验，我不仅掌握了如何根据需求选择合适的逻辑结构（组合逻辑与同步时序逻辑），还学会了构建有效的测试平台以自动化验证设计的正确性和可靠性。同时，也提升了我对波形图及仿真结果的解读能力，能够从中提取有价值的信息指导设计优化，并积累了应对和解决设计过程中遇到问题的经验。这些技能对于深入理解数字系统设计的基础知识至关重要，同时也为未来处理更复杂的项目打下了坚实的基础。