Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Лабораторная работа №2

«Описание и моделирование нерегулярных логических схем»

Вариант 46

Выполнила студент Проверил:

группы 450701 Бибило П.Н.

Никитин Г.Ю.

Минск, 2016

1. Задание:

1. Составить VHDL-модель каждого из типов элементов, входящих в схему. Если в схеме есть элементы одинакового типа, то составляется одна модель для всех элементов данного типа. Модель элемента должна соответствовать задержке, указанной в табл. 5.1. При графическом изображении логического элемента на схеме будет указываться его тип (библиотечное имя) и имена входных и выходных полюсов.

2. Составить VHDL-модель схемы в целом.

3. Составить тестирующую программу для всех наборов значений входных переменных.

4. Провести моделирование и получить временную диаграмму.

5. По временной диаграмме записать систему логических функций, реализуемых схемой.

6. Для каждого тестирующего набора определить задержку схемы.

7. Найти критический путь на схеме – путь с наибольшей суммарной задержкой элементов.

1. Логическая схема (рис. 1).

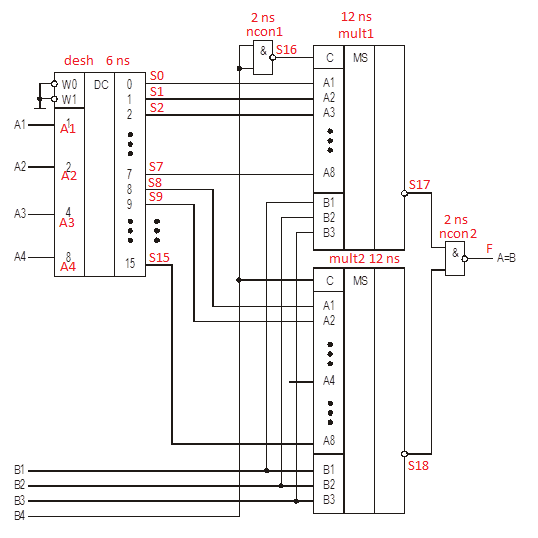


Рис. 1 – Логическая схема (Вариант 46)

1. VHDL-модель логической схемы:

Файл conunctor

entity conunctor is

port (A, B: in bit;

Y : out bit);

end conunctor;

architecture beh of conunctor is

begin

Y<= not (A and B) after 2 ns;

end beh;

Файл mult

entity mult is

port (C, A1, A2, A3, A4, A5, A6, A7, A8, B1, B2, B3: in bit;

Y : out bit);

end mult;

architecture beh of mult is

begin

Y<=not (C and (

((not B1) and (not B2) and (not B3) and A1) or

((not B1) and (not B2) and B3 and A2) or

((not B1) and B2 and (not B3) and A3) or

((not B1) and B2 and B3 and A4) or

( B1 and (not B2) and (not B3) and A5) or

( B1 and (not B2) and B3 and A6) or

( B1 and B2 and (not B3) and A7) or

( B1 and B2 and B3 and A8) )) after 12 ns;

end beh;

Файл desh

entity desh is

port (A1, A2, A3, A4, W0, W1: in bit;

D0, D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15: out bit);

end desh;

architecture beh of desh is

begin

D0<= (not W0) and (not W1) and (not A4) and (not A3) and (not A2) and (not A1) after 6 ns;

D1<= (not W0) and (not W1) and (not A4) and (not A3) and (not A2) and A1 after 6 ns;

D2<= (not W0) and (not W1) and (not A4) and (not A3) and A2 and (not A1) after 6 ns;

D3<= (not W0) and (not W1) and (not A4) and (not A3) and A2 and A1 after 6 ns;

D4<= (not W0) and (not W1) and (not A4) and A3 and (not A2) and (not A1) after 6 ns;

D5<= (not W0) and (not W1) and (not A4) and A3 and (not A2) and A1 after 6 ns;

D6<= (not W0) and (not W1) and (not A4) and A3 and A2 and (not A1) after 6 ns;

D7<= (not W0) and (not W1) and (not A4) and A3 and A2 and A1 after 6 ns;

D8<= (not W0) and (not W1) and A4 and (not A3) and (not A2) and (not A1) after 6 ns;

D9<= (not W0) and (not W1) and A4 and (not A3) and (not A2) and A1 after 6 ns;

D10<= (not W0) and (not W1) and A4 and (not A3) and A2 and (not A1) after 6 ns;

D11<= (not W0) and (not W1) and A4 and (not A3) and A2 and A1 after 6 ns;

D12<= (not W0) and (not W1) and A4 and A3 and (not A2) and (not A1) after 6 ns;

D13<= (not W0) and (not W1) and A4 and A3 and (not A2) and A1 after 6 ns;

D14<= (not W0) and (not W1) and A4 and A3 and A2 and (not A1) after 6 ns;

D15<= (not W0) and (not W1) and A4 and A3 and A2 and A1 after 6 ns;

end beh;

Файл sxema

entity sxema is

port(A1, A2, A3, A4, W0, W1, B1, B2, B3, B4: in bit;

F: out bit);

end sxema;

architecture str of sxema is

component desh

port (A1, A2, A3, A4, W0, W1: in bit;

D0, D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15: out bit);

end component;

component mult

port (C, A1, A2, A3, A4, A5, A6, A7, A8, B1, B2, B3: in bit;

Y: out bit);

end component;

component conunctor

port (A, B:in bit;

Y: out bit);

end component;

signal s0, s1, s2, s3, s4, s5, s6, s7, s8, s9, s10, s11, s12, s13, s14, s15, s16, s17, s18: bit;

begin

desh1: desh port map

(A1=>A1,

A2=>A2,

A3=>A3,

A4=>A4,

W0=>W0,

W1=>W1,

D0=>s0,

D2=>s2,

D3=>s3,

D4=>s4,

D5=>s5,

D6=>s6,

D7=>s7,

D8=>s8,

D9=>s9,

D10=>s10,

D11=>s11,

D12=>s12,

D13=>s13,

D14=>s14,

D15=>s15);

mult1: mult port map

(C=>s16,

A1=>s0,

A2=>s1,

A3=>s2,

A4=>s3,

A5=>s4,

A6=>s5,

A7=>s6,

A8=>s7,

B1=>B1,

B2=>B2,

B3=>B3,

y=>s17);

mult2: mult port map

(C=>B4,

A1=>s8,

A2=>s9,

A3=>s10,

A4=>s11,

A5=>s12,

A6=>s13,

A7=>s14,

A8=>s15,

B1=>B1,

B2=>B2,

B3=>B3,

y=>s18);

ncon1: conunctor port map

(A=>B4,

B=>B4,

Y=>s16);

ncon2: conunctor port map

(A=>s17,

B=>s18,

Y=>F);

end str;

Файл test1

entity test1 is

end test1;

architecture atest of test1 is

component sxema

port(A1, A2, A3, A4, W0, W1, B1, B2, B3, B4: in bit;

F: out bit);

end component;

signal A1, A2, A3, A4, W0, W1, B1, B2, B3, B4, F:bit;

begin

p1: sxema port map

(A1=>A1,

A2=>A2,

A3=>A3,

A4=>A4,

W0=>W0,

W1=>W1,

B1=>B3,

B2=>B2,

B3=>B1,

B4=>B4,

F=>F);

W0<='0';

W1<='0';

A1<='0',

'1' after 800 ns;

A2<='0',

'1' after 400 ns,

'0' after 800 ns,

'1' after 1200 ns;

A3<='0',

'1' after 200 ns,

'0' after 400 ns,

'1' after 600 ns,

'0' after 800 ns,

'1' after 1000 ns,

'0' after 1200 ns,

'1' after 1400 ns;

A4<='0',

'1' after 100 ns,

'0' after 200 ns,

'1' after 300 ns,

'0' after 400 ns,

'1' after 500 ns,

'0' after 600 ns,

'1' after 700 ns,

'0' after 800 ns,

'1' after 900 ns,

'0' after 1000 ns,

'1' after 1100 ns,

'0' after 1200 ns,

'1' after 1300 ns,

'0' after 1400 ns,

'1' after 1500 ns;

B1<='0';

B2<='1';

B3<='1';

B4<='1';

end atest;

В итоге у нас получилась следующая временная диаграмма (Рис. 2).

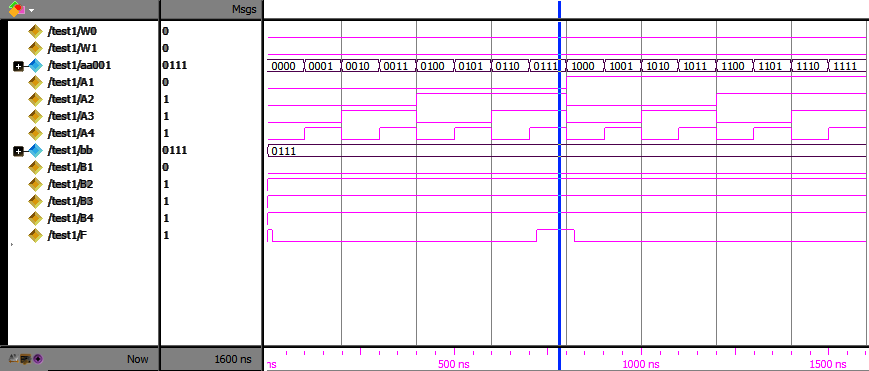


Рис. 2 – Временная диаграмма

3.Анализ результатов и выводы.

Мы провели моделирование заданной логической функции в среде Modelsim SE и успешно выполнили выданное задание. В результате была получена верная временная диаграмма работы устройства на 16 наборах входных слов А при фиксированном слове В.