Министерство образования Республики Беларусь

Учреждение образования «Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных средств

Лабораторная работа №5

«Функции и процедуры»

Вариант 46

Выполнила студент Проверил:

группы 450701 Бибило П.Н.

Никитин Г.Ю.

Минск, 2016

1. Задание:
2. Написать функцию (и процедуру), выполняющую следующие действия: в массиве, элементами которого являются целые числа, упорядочить положительные элементы по возрастанию, отрицательные элементы оставить на местах.
3. В матрице целых чисел определить максимальный элемент на главной диагонали и установить, если такой элемент среди элементов ниже главной диагонали. Написать соответствующую функцию, которая должна возвращать слова “Yes”, “Not”.
4. VHDL-модель логической схемы:
5. Файл pack.vhd

package pack is

constant n:natural:=10;

type ai is array (1 to n) of integer;

end;

Файл Model.vhd

library work;

use work.pack.all;

entity model is

port(a:in ai;

b, c:out ai);

end;

architecture beh of model is

function sortirovka(in\_a: ai) return ai is

variable out\_a:ai:=in\_a;

variable r: integer;

begin

for i in 1 to n loop

if (out\_a(i)>=0) then

for j in 1 to n loop

if (out\_a(j)>=0 and out\_a(i)<out\_a(j)) then

r:=out\_a(i);

out\_a(i):=out\_a(j);

out\_a(j):=r;

end if;

end loop;

end if;

end loop;

return out\_a;

end sortirovka;

procedure sortirovka2

(signal in\_a: in ai;

signal outa: out ai) is

variable out\_a:ai:=in\_a;

variable r: integer;

begin

for i in 1 to n loop

if (out\_a(i)>=0) then

for j in 1 to n loop

if (out\_a(j)>=0 and out\_a(i)<out\_a(j)) then

r:=out\_a(i);

out\_a(i):=out\_a(j);

out\_a(j):=r;

end if;

end loop;

end if;

end loop;

outa<=out\_a;

end procedure;

begin

b<=sortirovka(a);

sortirovka2(a, c);

end;

Файл Test.vhd

library work;

use work.pack.all;

entity test is

end;

architecture atest of test is

component model

port(a:in ai;

b, c:out ai);

end component;

signal a, b, c: ai;

signal clk:bit:='0';

begin

m1: model port map(a, b, c);

process(clk)

begin

a(1)<=-5;

a(2)<=2;

a(3)<=-2;

a(4)<=3;

a(5)<=5;

a(6)<=7;

a(7)<=2;

a(8)<=-6;

a(9)<=4;

a(10)<=1;

end process;

clk<='1' after 100 ns;

--a<=c;

end;

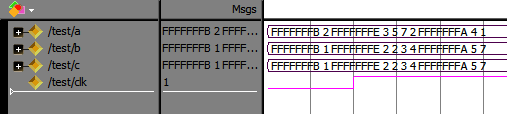


Рис. 1 – Временная диаграмма для задачи №1

1. Файл pack.vhd

package pack is

constant n:natural:=4;

type matrix is array(1 to n, 1 to n) of integer;

end;

Файл Model.vhd

library work;

use work.pack.all;

entity model is

port(a: in matrix;

f:out bit);

end;

architecture beh of model is

function poisk (in\_a:matrix) return bit is

--variable out\_a:matrix:=in\_a;

variable k:integer;

--variable f:bit:='0';

begin

k:=in\_a(1, 1);

for i in 1 to n loop

if (in\_a(i,i)>k) then

k:=in\_a(i,i);

end if;

end loop;

for i in 2 to n loop

for j in 1 to i-1 loop

if in\_a(i,j)=k then return '1';

end if;

end loop;

end loop;

return '0';

end function;

begin

f<=poisk(a);

end;

Файл Test.vhd

library work;

use work.pack.all;

entity test is

end;

architecture atest of test is

component model

port(a:in matrix;

f:out bit);

end component;

signal a: matrix;

signal clk:bit:='0';

signal f: bit;

begin

m1: model port map(a, f);

process(clk)

begin

a(1,1)<=5; a(1,2)<=2; a(1,3)<=2; a(1,4)<=3;

a(2,1)<=5; a(2,2)<=7; a(2,3)<=2; a(2,4)<=6;

a(3,1)<=4; a(3,2)<=1; a(3,3)<=1; a(3,4)<=1;

a(4,1)<=7; a(4,2)<=4; a(4,3)<=4; a(4,4)<=4;

end process;

clk<='1' after 100 ns;

--a<=c;

end;

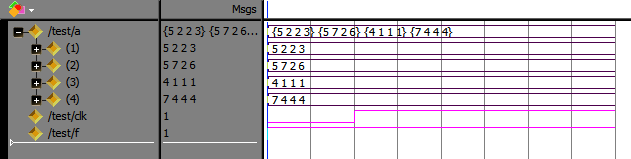


Рис. 2 – Временная диаграмма для задачи №2

3.Анализ результатов и выводы.

Мы разработали функции и процедуры для приведённых задач в среде провели моделирование в среде Modelsim SE и успешно выполнили выданное задание. В результате была получены верные временные диаграммы работы устройств.