

lab6 logisim综合实验

姓名: 宋玮 学号: PB20151793 实验日期: 2022.5.26

实验题目

lab6 logisim综合实验

实验平台

Rars, logisim

实验结果

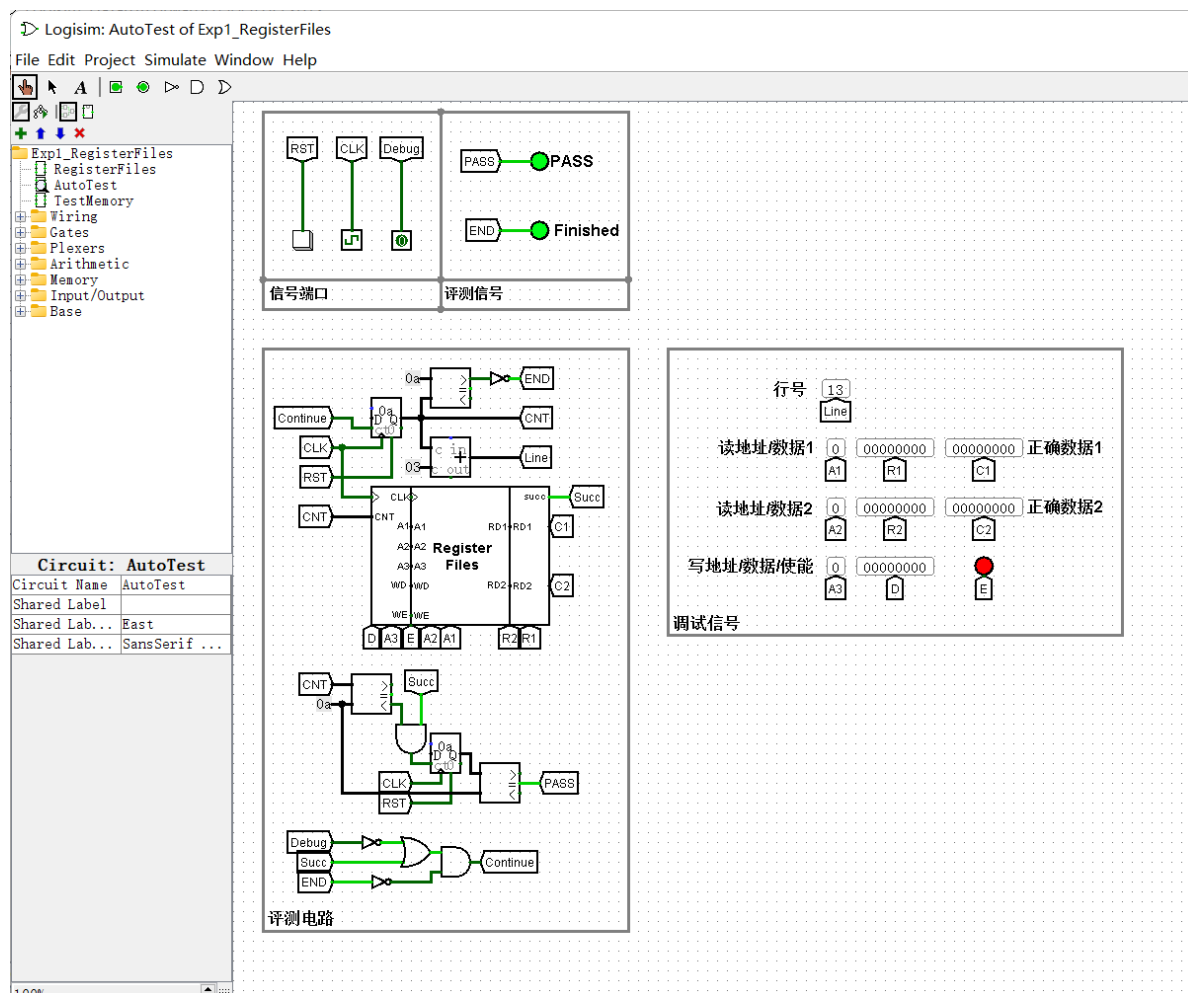
在logisim平台上实现了以下内容:

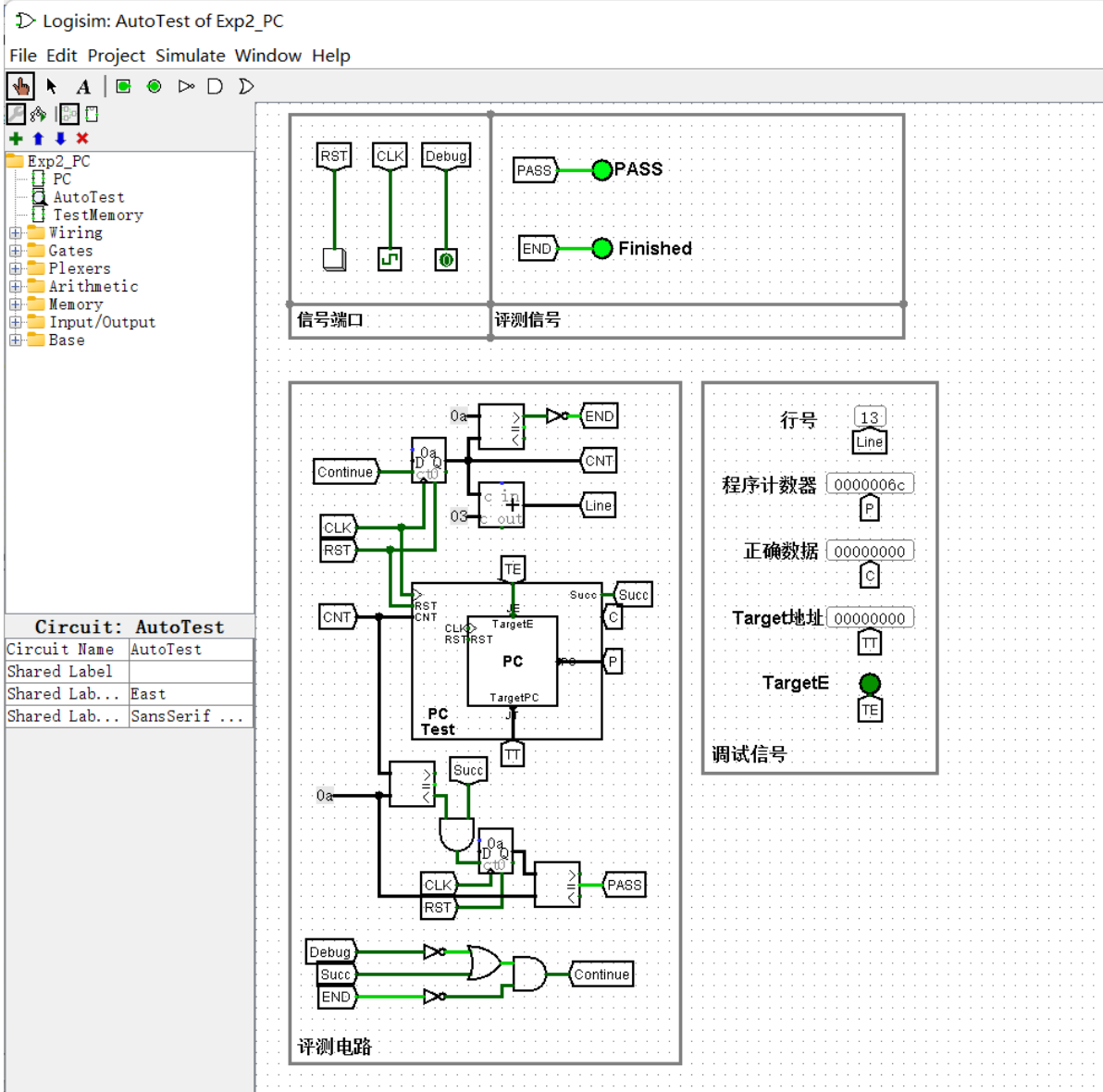
1. 单周期CPU
2. 流水线CPU
3. 能实现ecall指令以及外设输入的流水线CPU

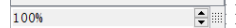
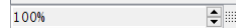
实验过程

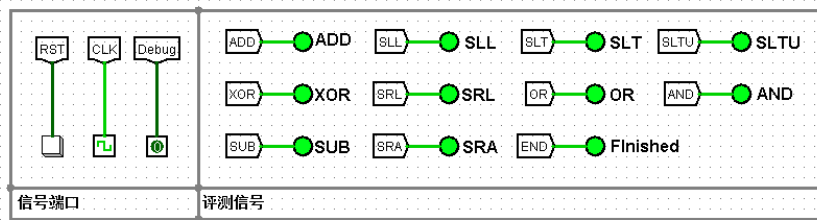
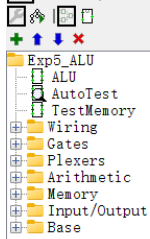
一.基础模块

基础模块包括从Exp1~Exp7的Registerfiles, PC, Immediate, Branch, ALU, Memory, Controller模块. 全部测试如下:







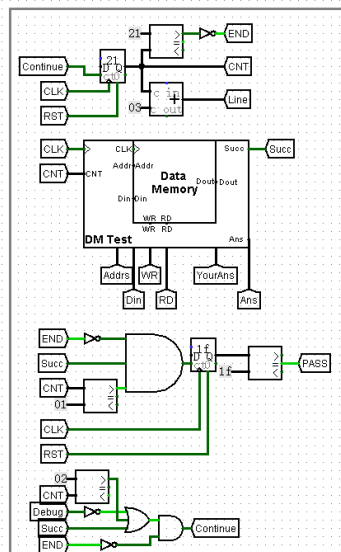
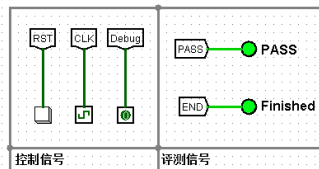
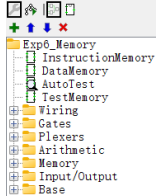
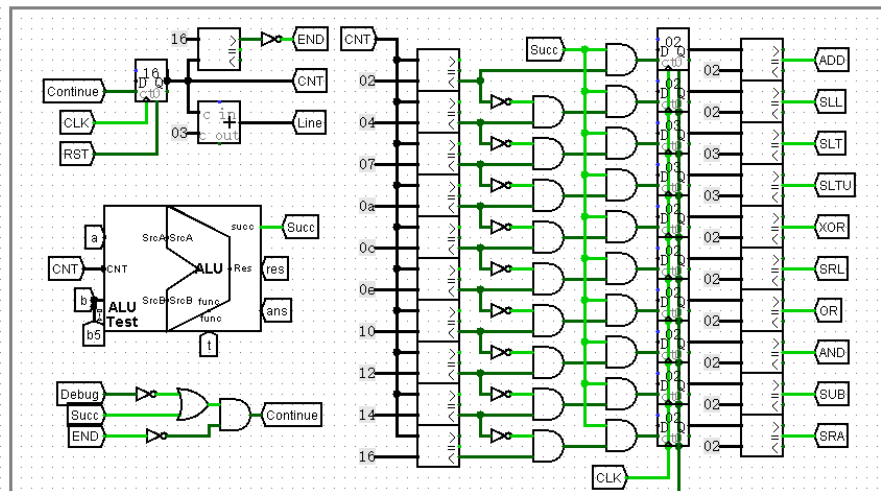


| 行号 | 操作数A | 操作数B | 运算结果 | 参考答案 | 类型 |
|------|----------|----------|----------|----------|------|
| 25 | fbdacdee | 12344321 | 12344321 | 12344321 | 1110 |
| Line | a | b | res | ans | t |
| 移位位数 | | | | | |
| | 1 | b5 | | | |

调试信号

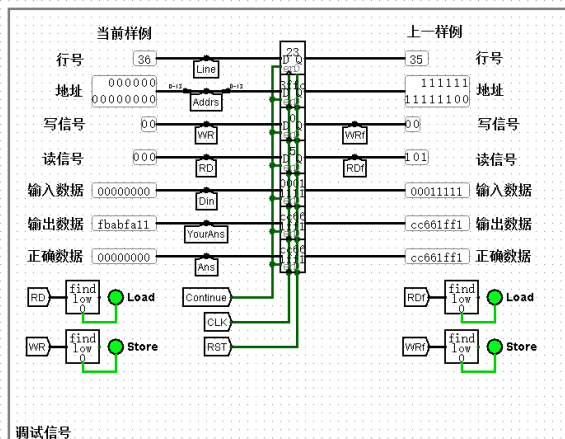
Circuit: AutoTest

| | |
|---------------|---------------|
| Circuit Name | AutoTest |
| Shared Label | |
| Shared Lab... | East |
| Shared Lab... | SansSerif ... |



Circuit: AutoTest

| | |
|---------------|---------------|
| Circuit Name | AutoTest |
| Shared Label | |
| Shared Lab... | East |
| Shared Lab... | SansSerif ... |

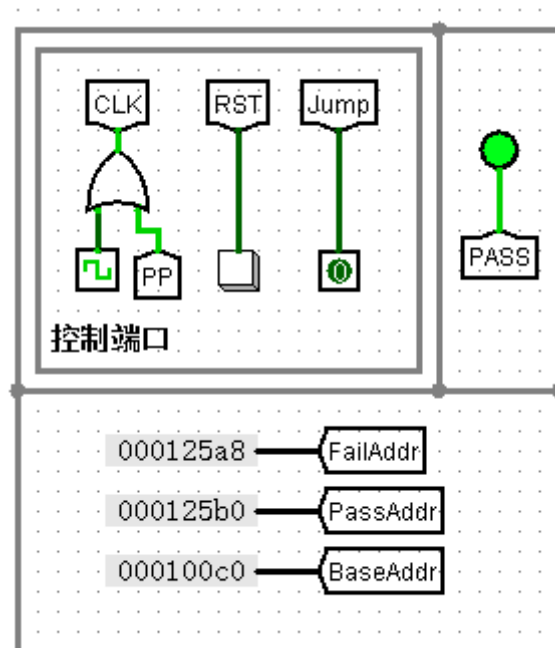


- ALU的输入信号
- 分支判断器的输入信号

- 寄存器文件的写回数据 `WD` 的选择
- 数据存储器的输入信号

向指令存储器和数据存储器导入相应文件

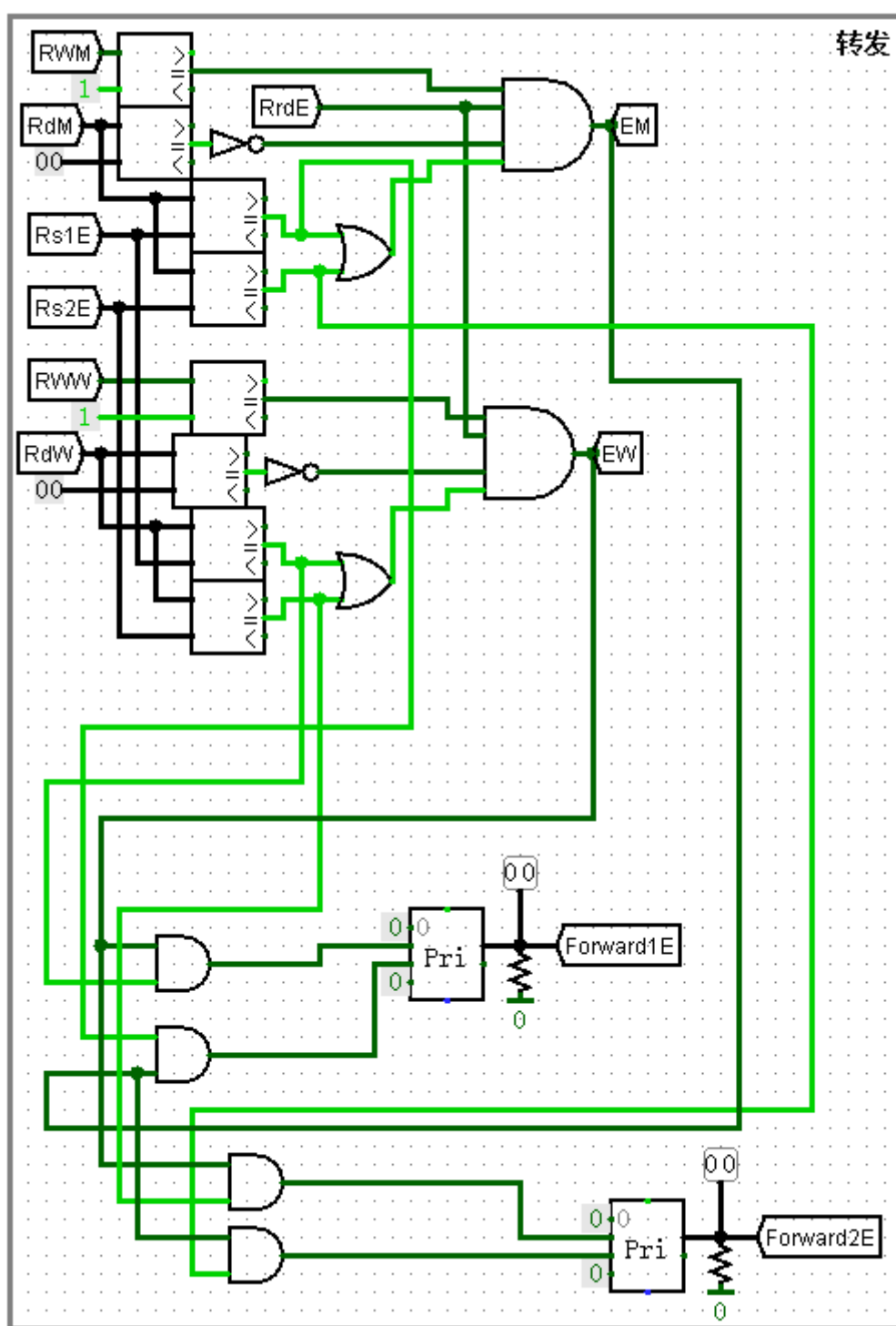
最终测试结果如下：



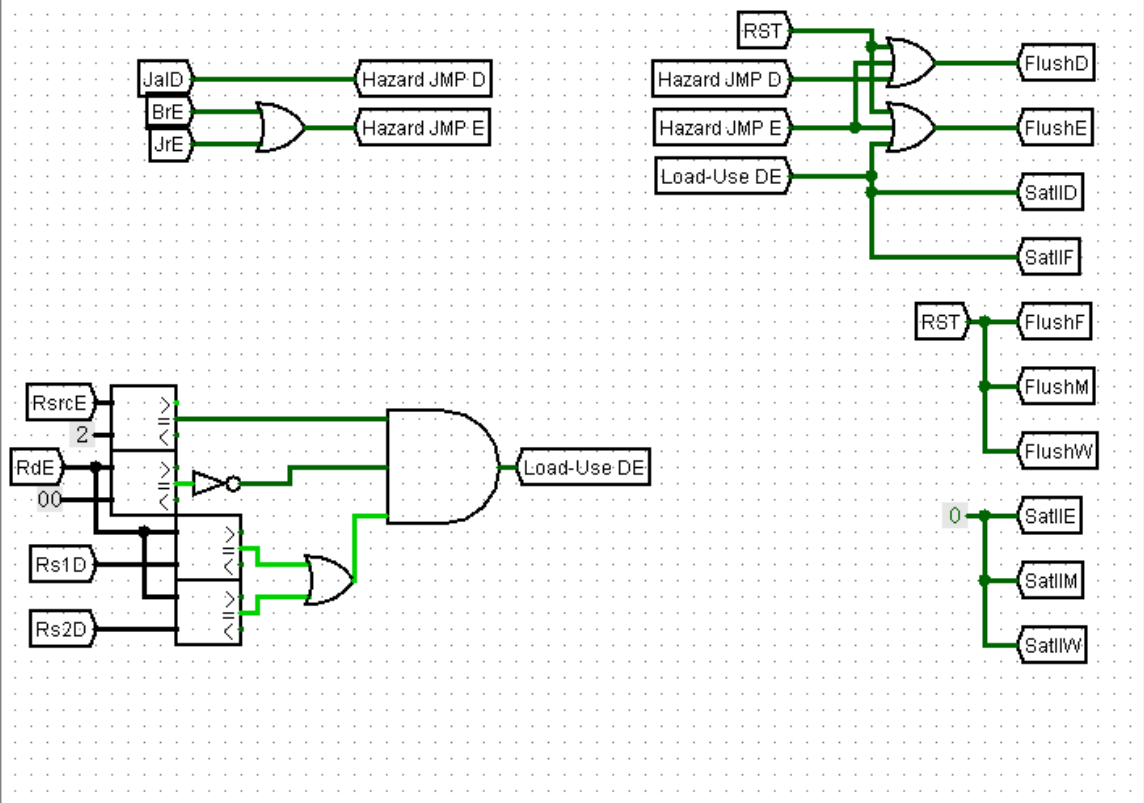
三.流水线CPU

主要完成的模块：

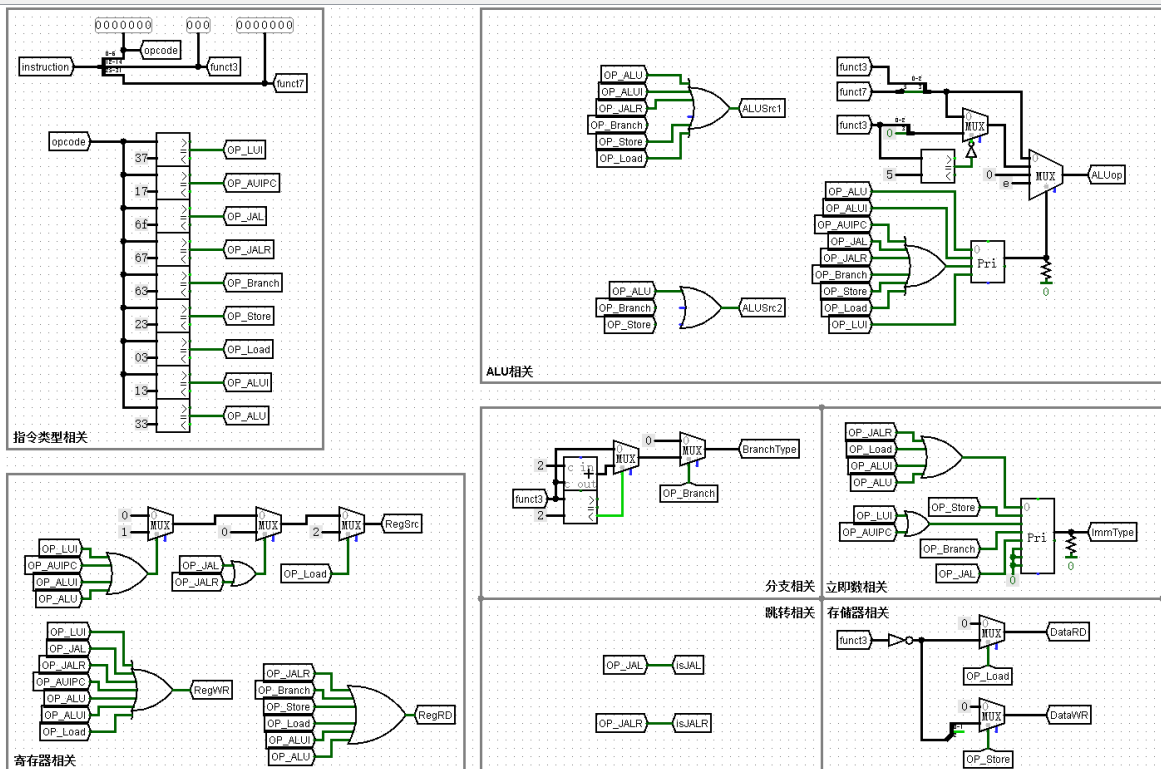
1. 前递模块



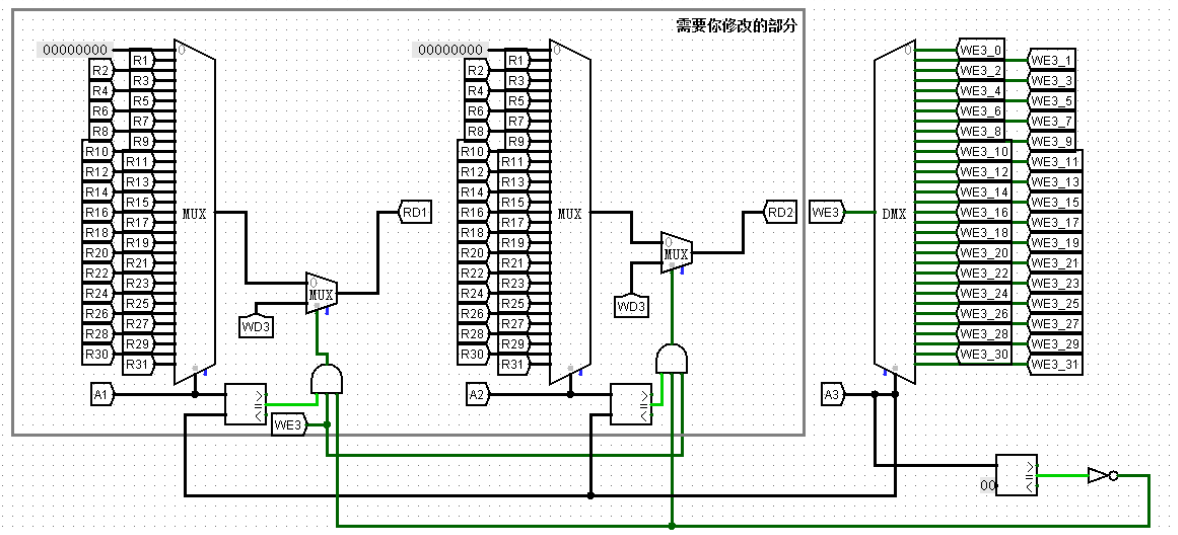
2. load-use和冒险模块



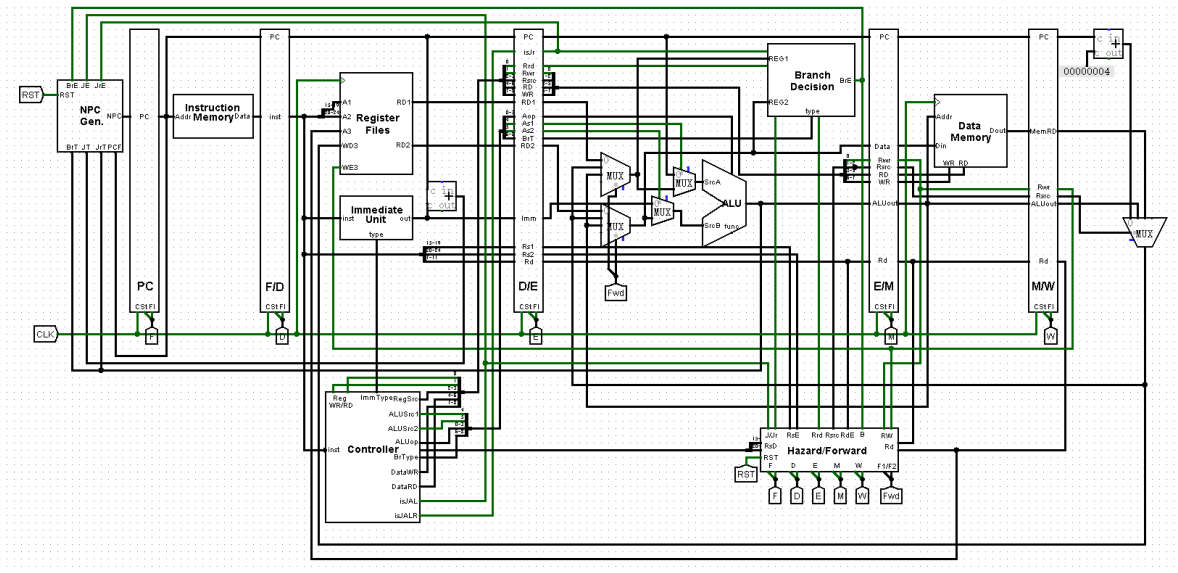
3. 控制模块



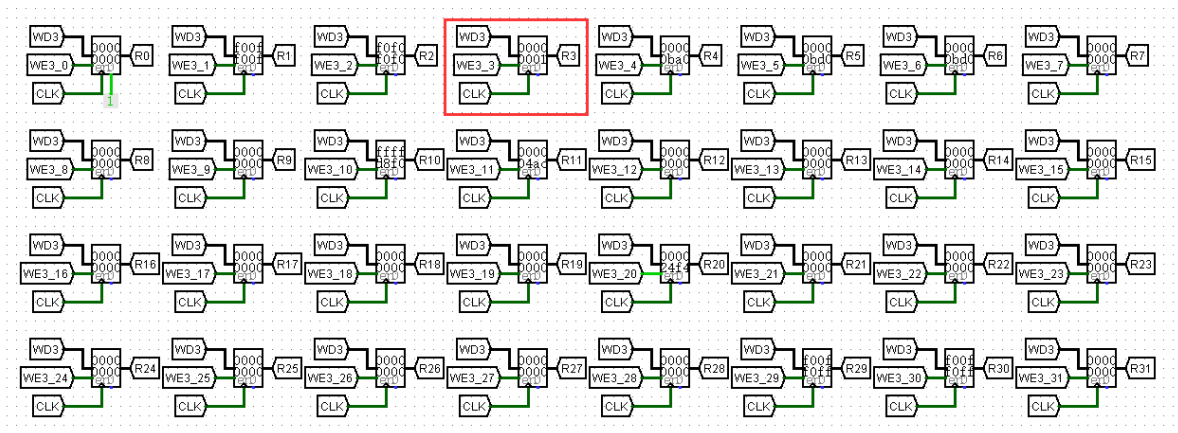
4. 寄存器模块



CPU连线



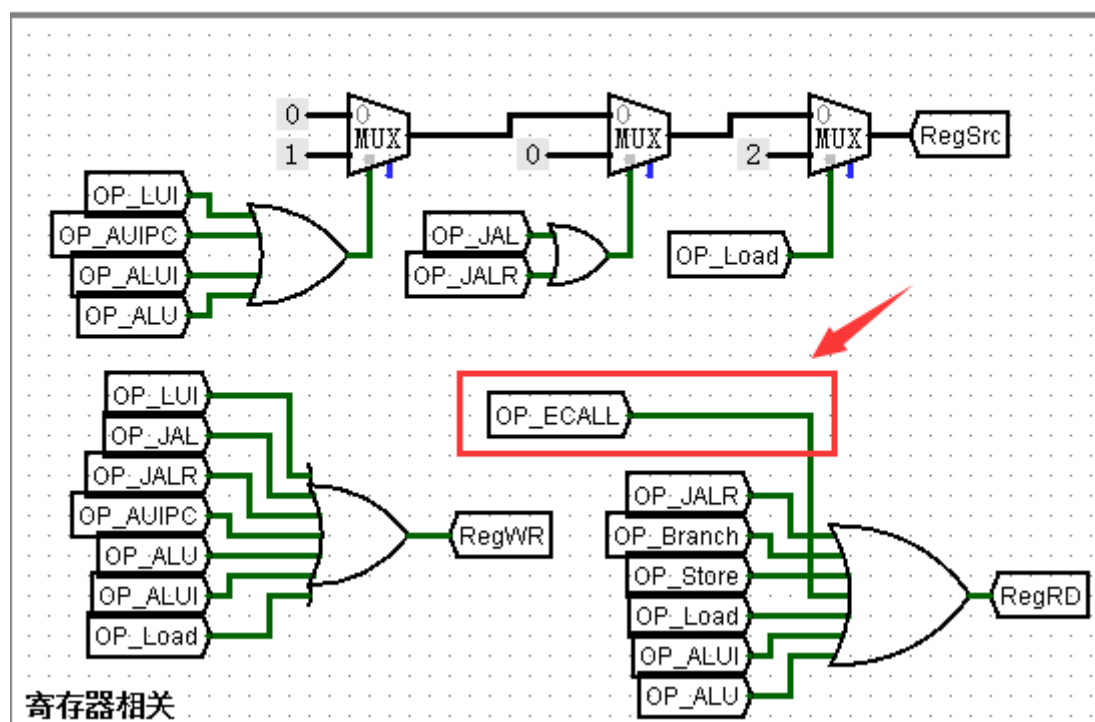
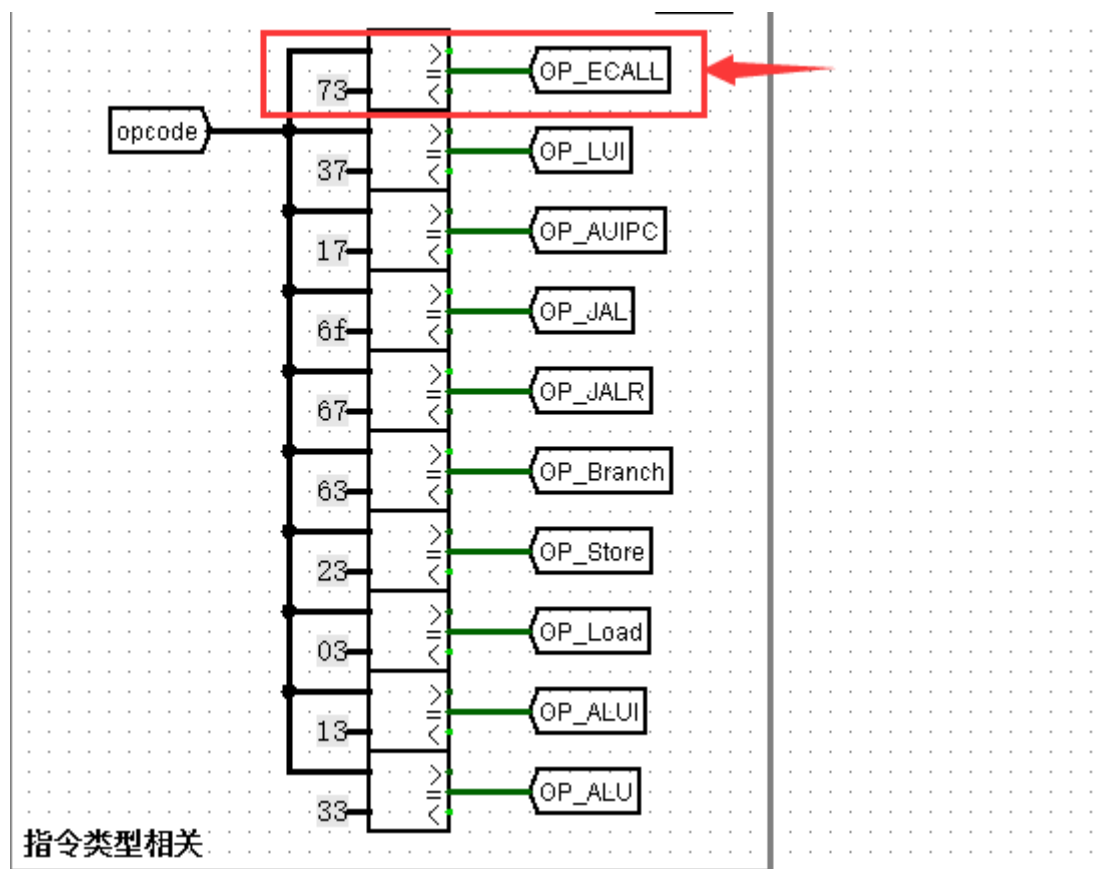
最终运行结果:

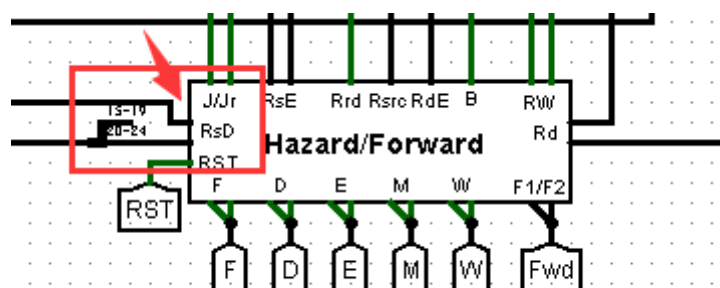
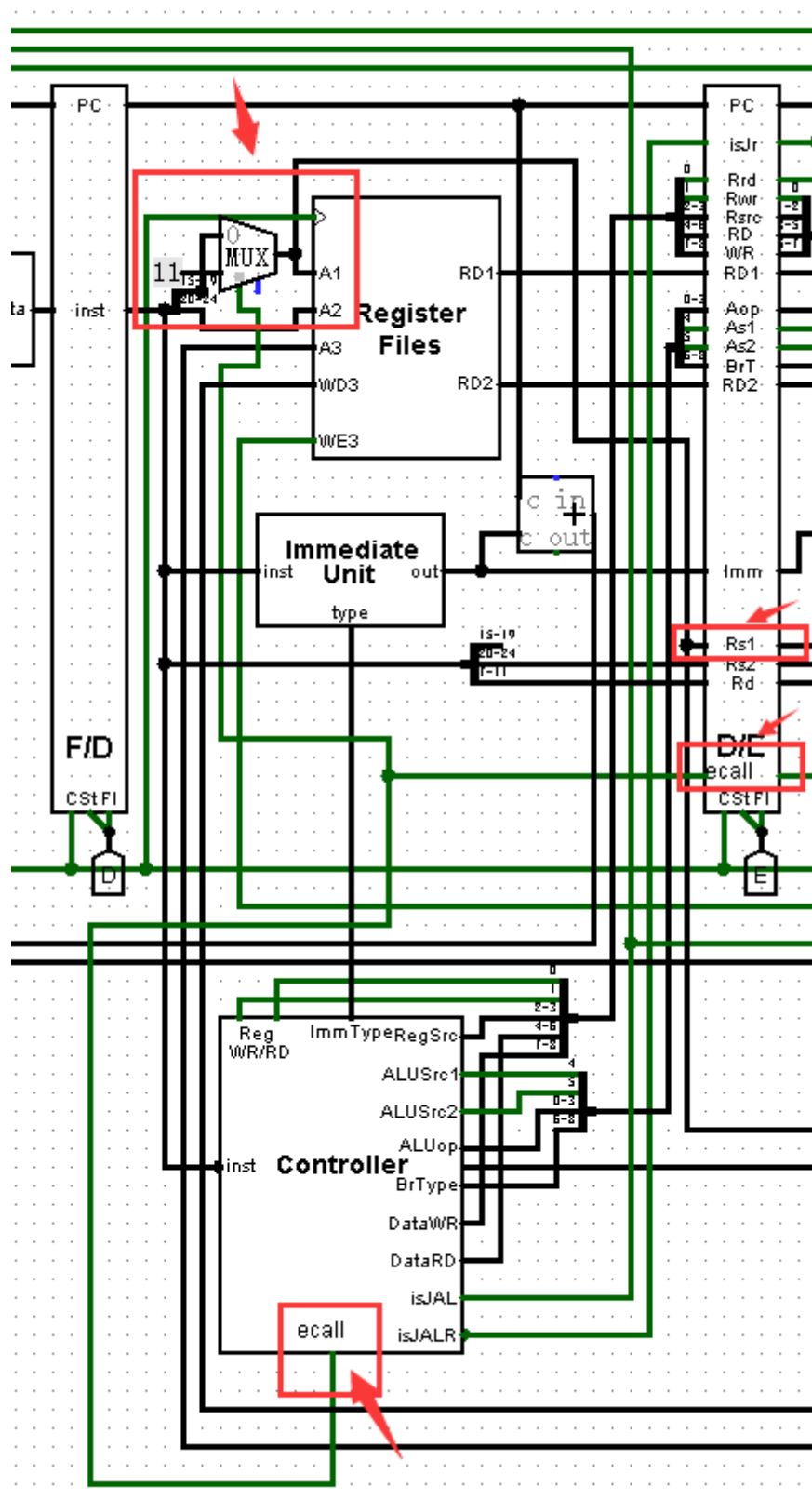


四. 能实现ecall指令以及外设输入的流水线CPU

在（三）流水线CPU的基础上，通过修改controller模块，前递冒险模块，向D/E寄存器添加ecall信号，修改A1，RS1的输入值，以及增加输入外设来完成一个能实现ecall指令以及外设输入的流水线CPU。

修改如下：



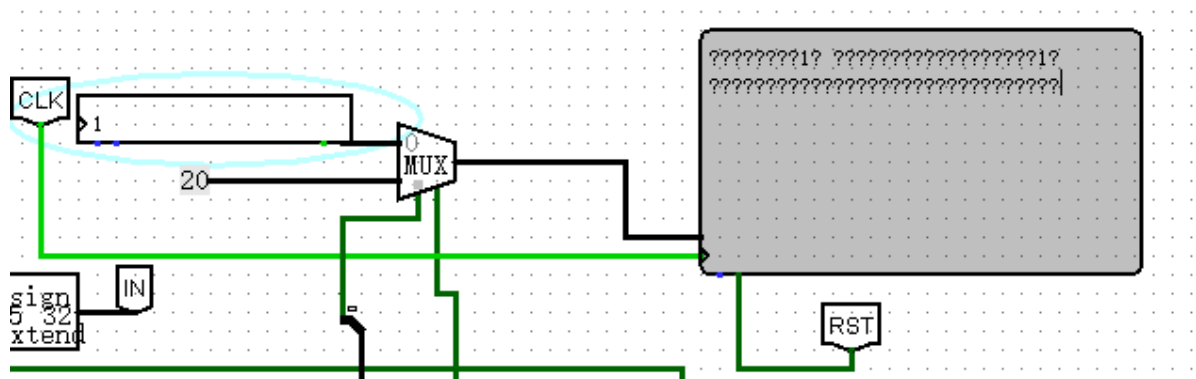



```

14  add x6, x6, x4  #x6=10
15  add x6, x6, x5  #x6=15
16
17  #test load-use hazard
18  lui x14, 8
19  lw x7, 0x4(x14) #x7=in
20  addi x8, x7, 1  #x8=in+1
21  addi x9, x8, -1 #x9=in
22
23  #test control hazard
24  beq x9, x0, start #if (in==0) start
25  add x10, x9, x5
26  add x10, x10, x6
27  stop: jal x0, stop
28
29  #do not execute
30  add x11, x9, x10
31  add x12, x10, x11
32  add x13, x11, x12
33

```

测试结果:



输入1

