**计算机组成原理 实验报告**

**姓名：宋玮 学号：PB20151793 实验日期：2022.4.3**

**一、实验题目：**

Lab03 汇编程序设计

**二、实验目的：**

* 熟悉RISC-V汇编指令的格式
* 熟悉CPU仿真软件Ripes，理解汇编指令执行的基本原理（数据通路和控制器的协调工作过程）
* 熟悉汇编程序的基本结构，掌握简单汇编程序的设计
* 掌握汇编仿真软件RARS(RISC-V Assembler & Runtime Simulator)的使用方法，会用该软件进行汇编程序的仿真、调试以及生成CPU测试需要的指令和数据文件（COE）

**三、实验平台：**

Ripes,Rars

**四、实验过程及结果：**

如下所示：

* **理解并仿真RIPES示例汇编程序**

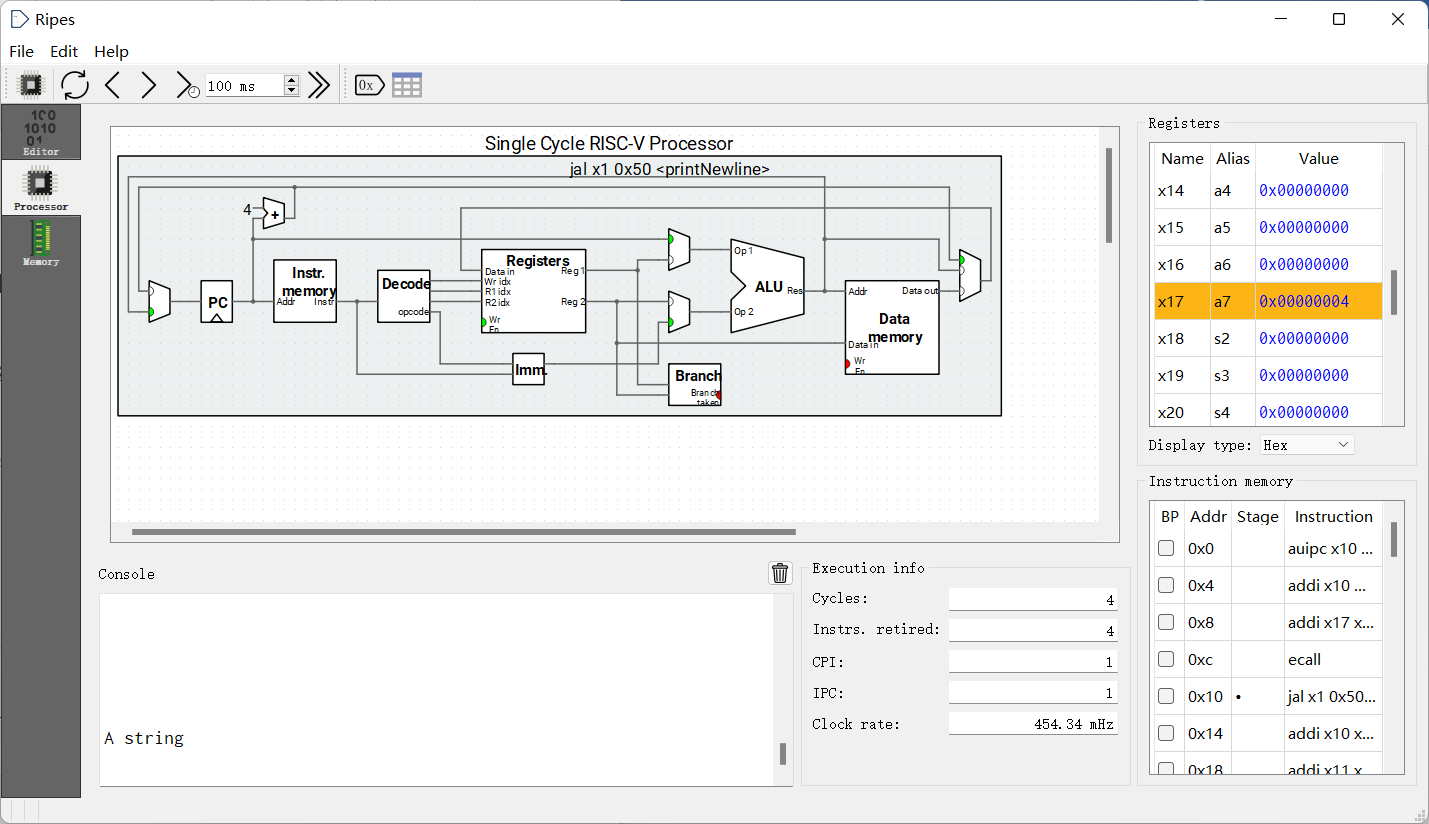
加载Ripes示例汇编程序 (Console Printing)；

选择单周期CPU数据通路；

单步执行程序；

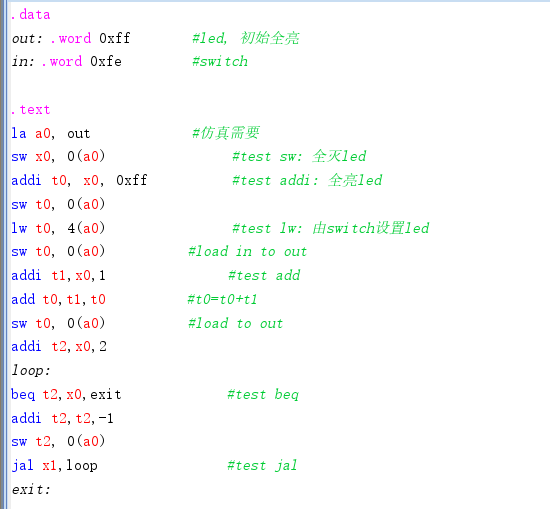
观察数据通路控制信号和寄存器内容的变化；

如下图：左边是数据通路控制信号，右边是寄存器内容；按“>”号即可单步执行。

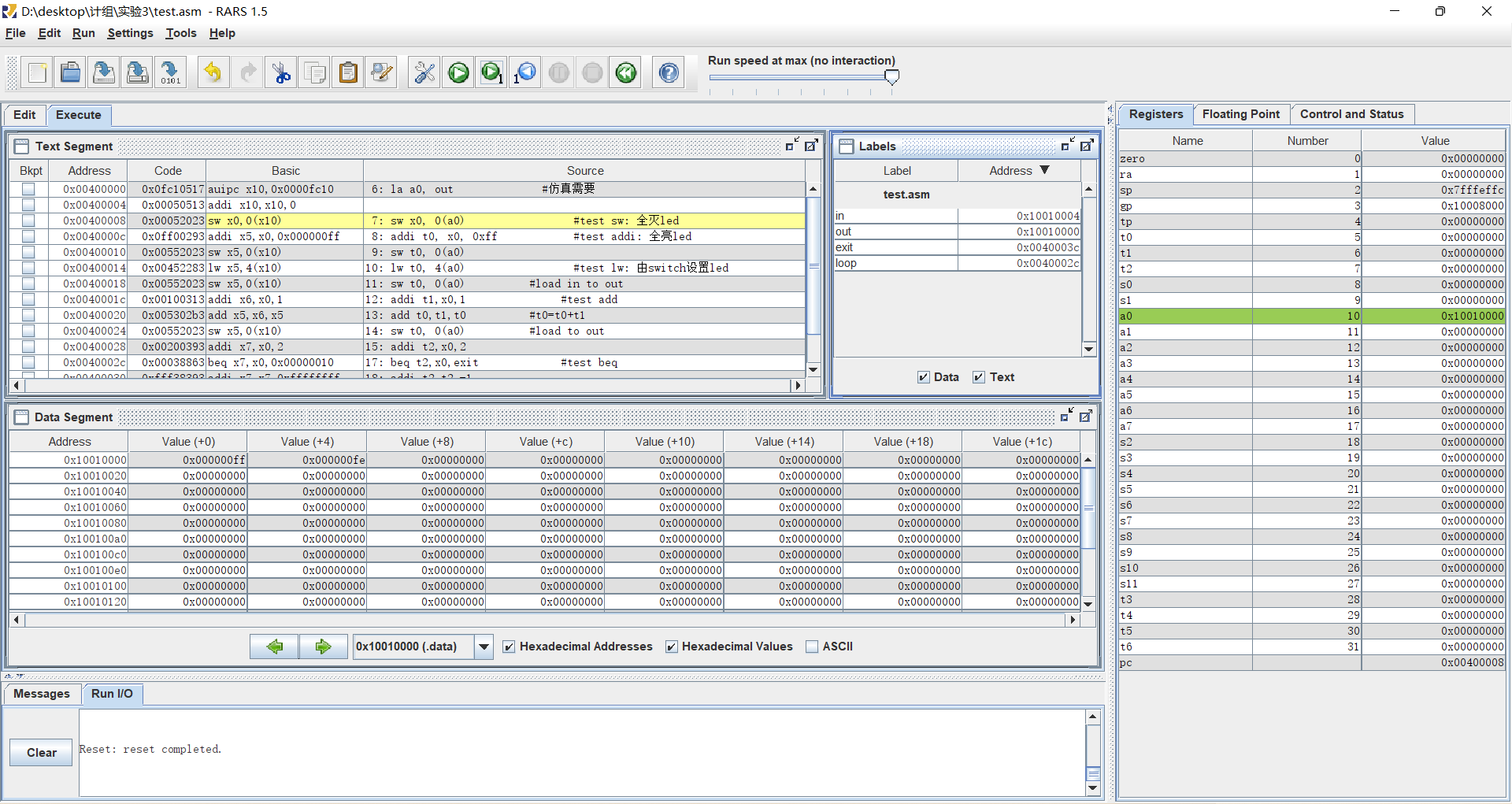


* **用rars测试六条指令**

**1.汇编程序（test.asm）如下:**

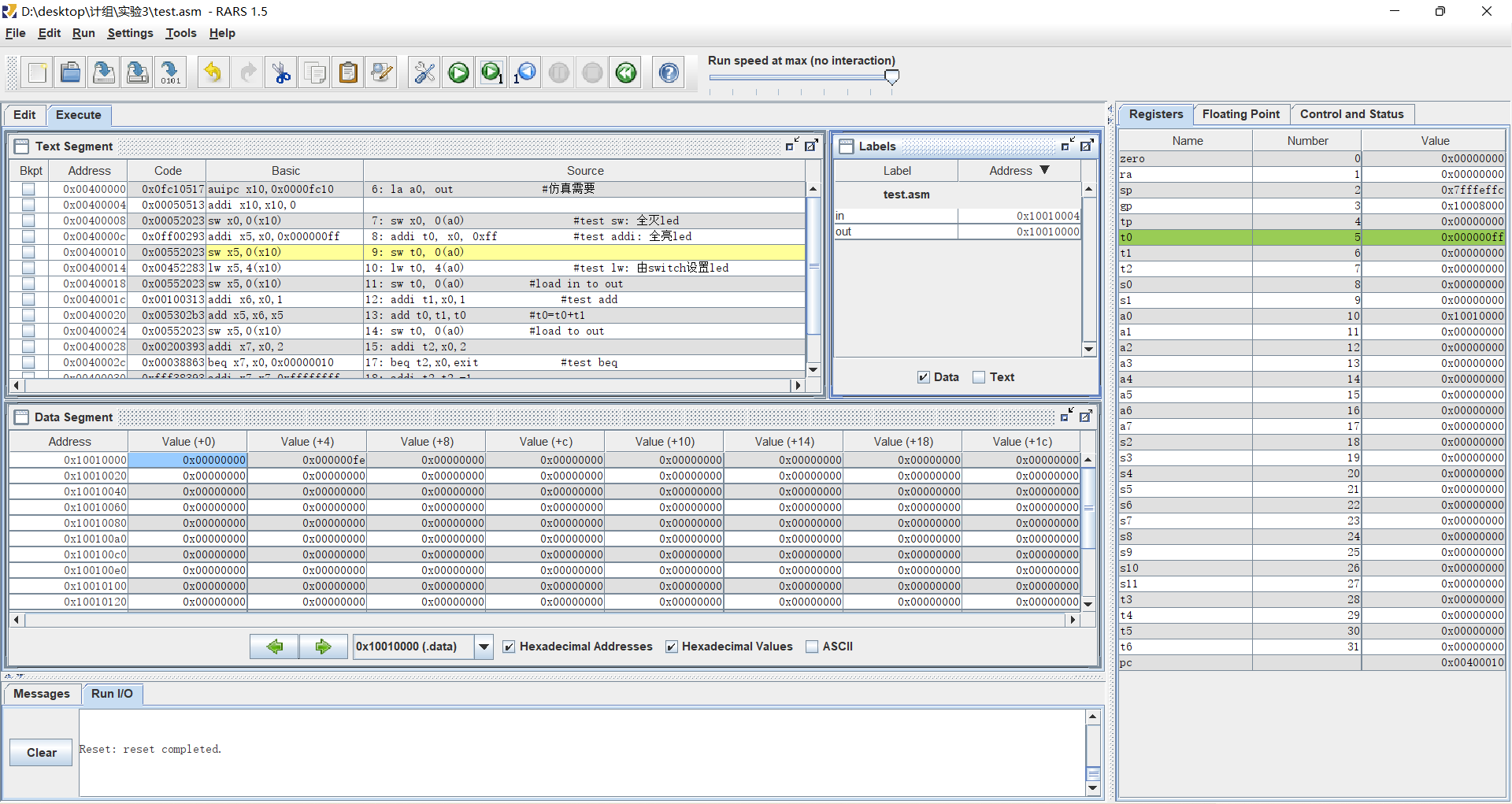


（1）test sw



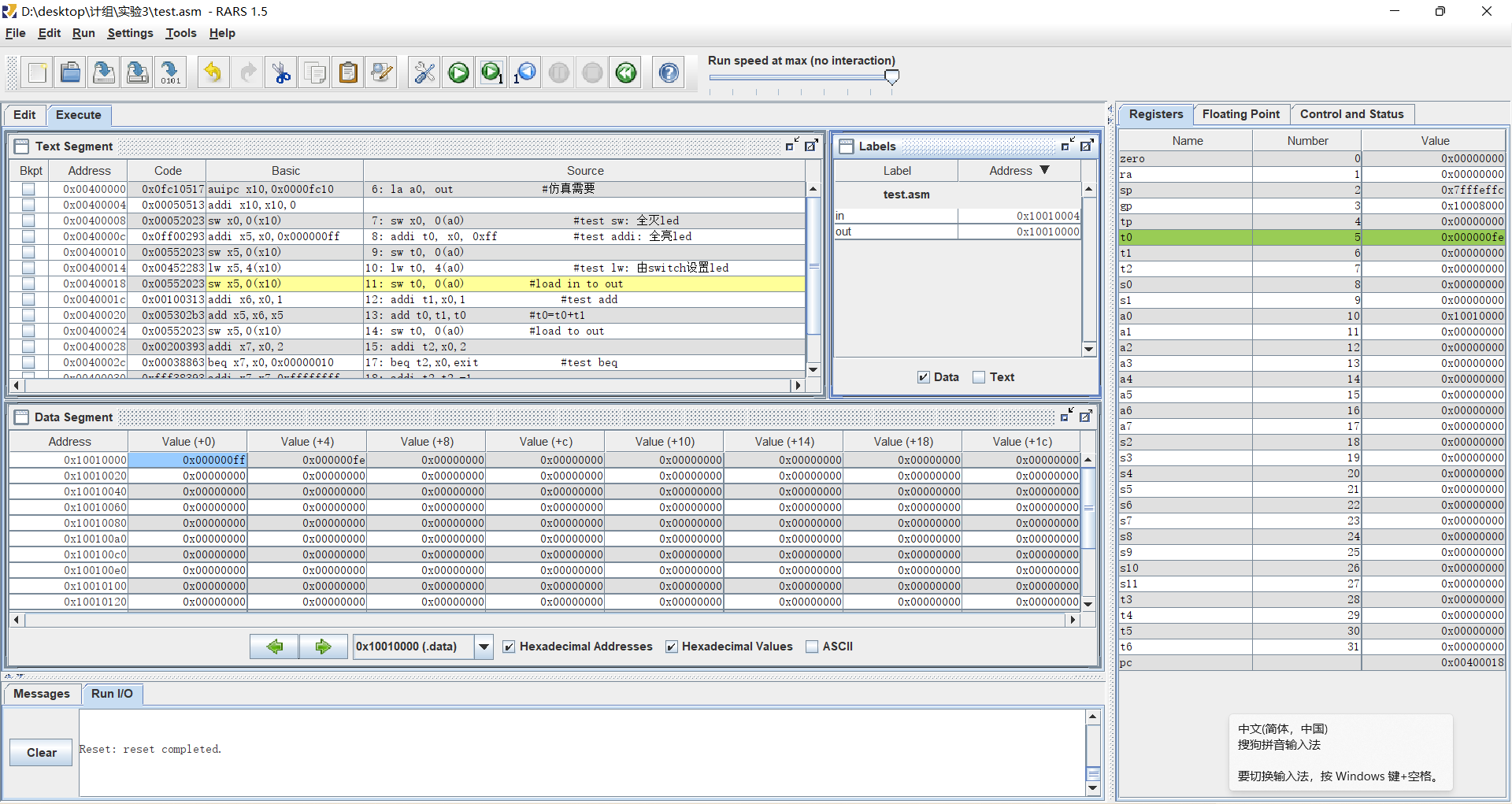
m[out]变为0

（2）test addi



m[out]从0变为0xff

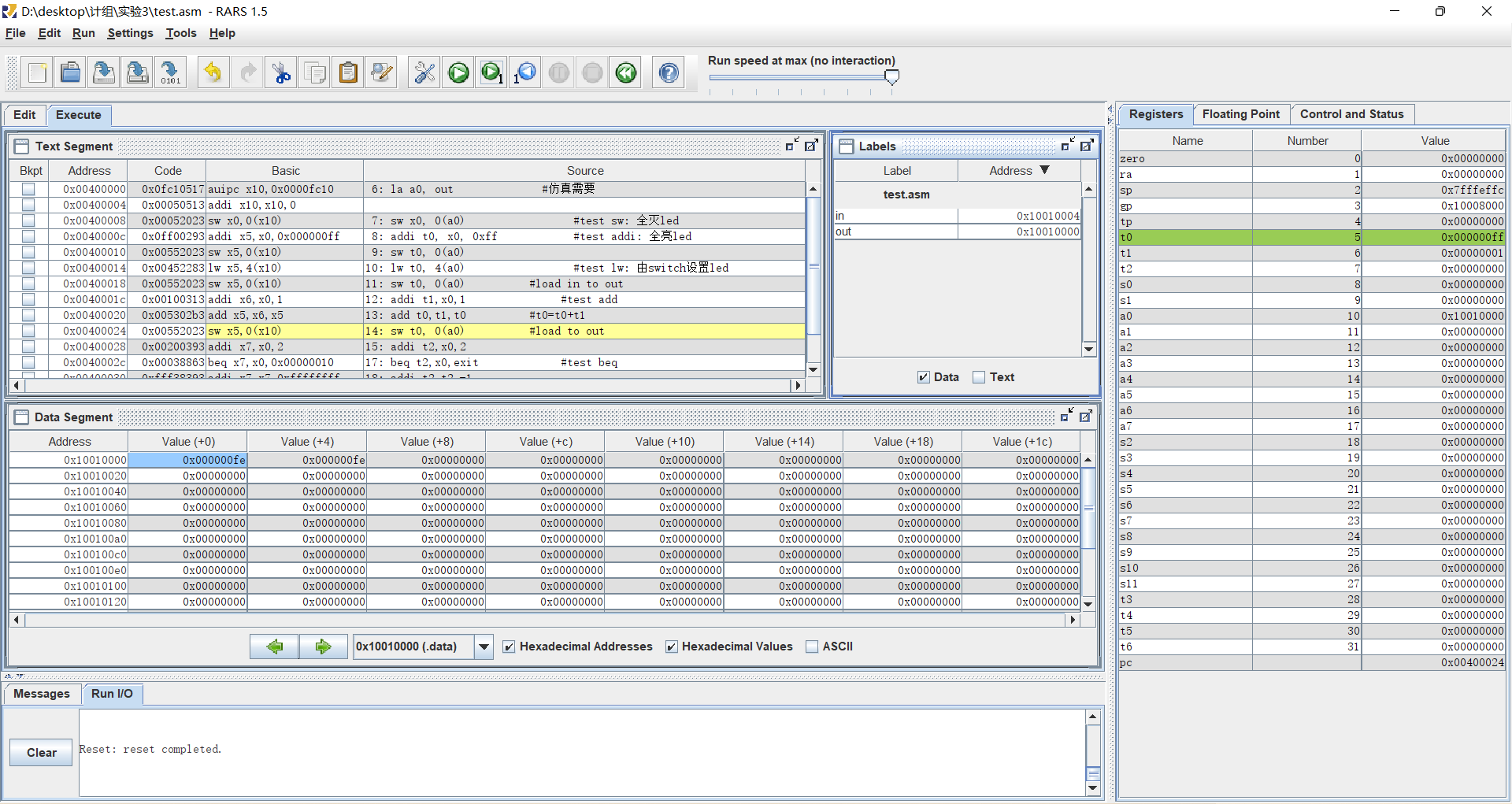
（3）test lw



t0=m[in]=0xfe

随后将t0存入m[out]

（4）test add



t0=0xfe

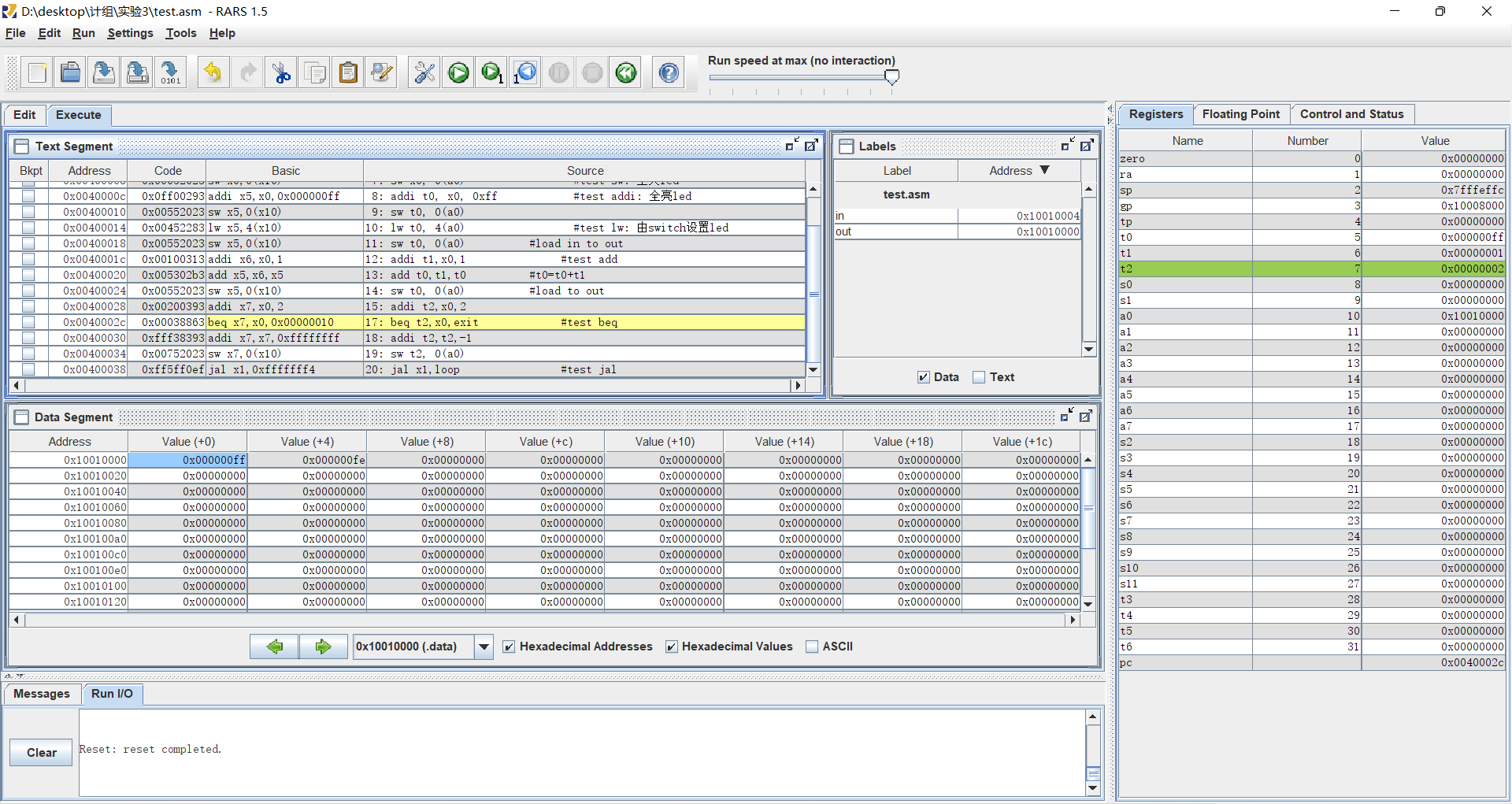
t1=1

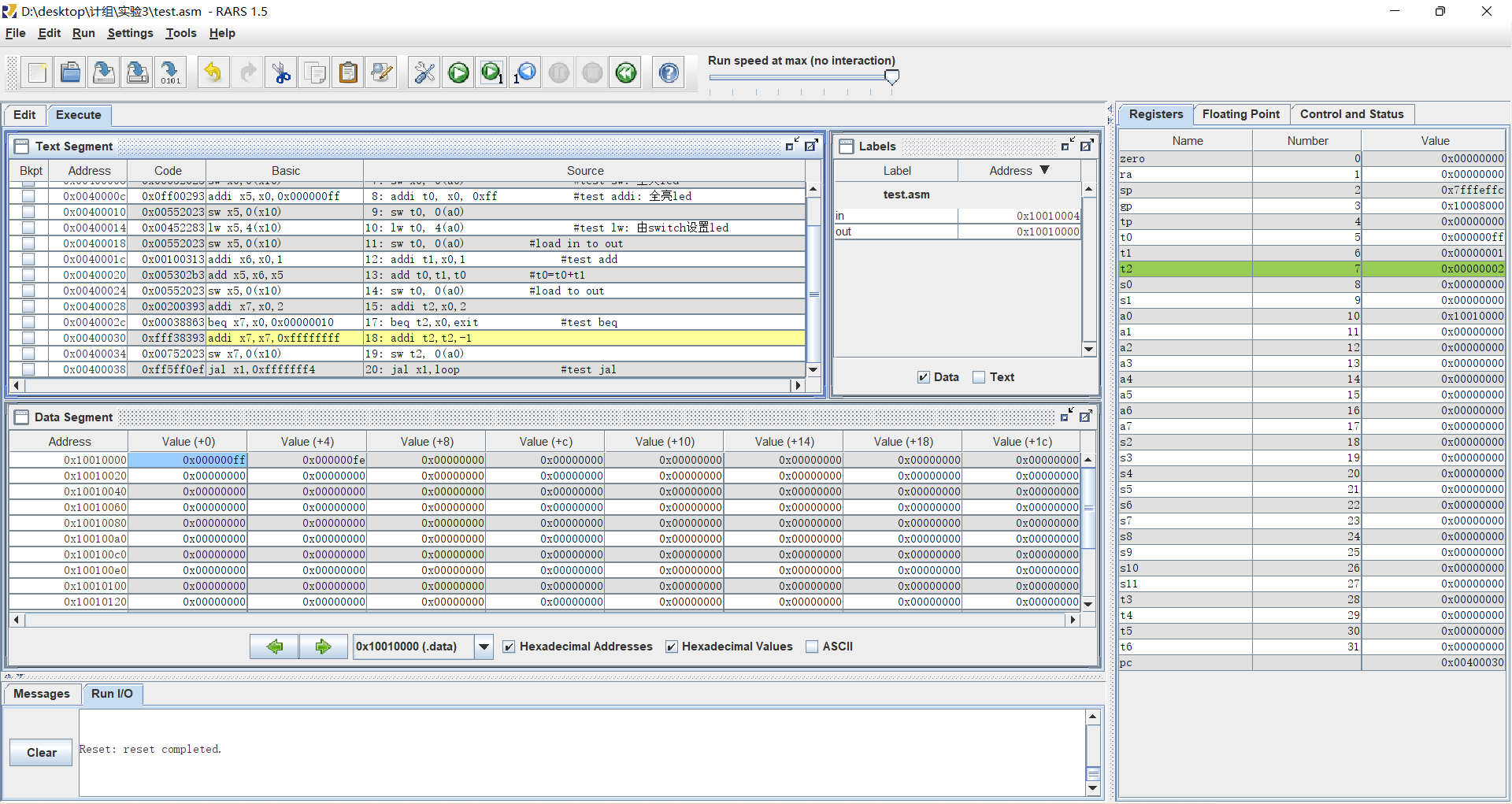
t0=t0+t1=0xff

随后将t0存入m[out]

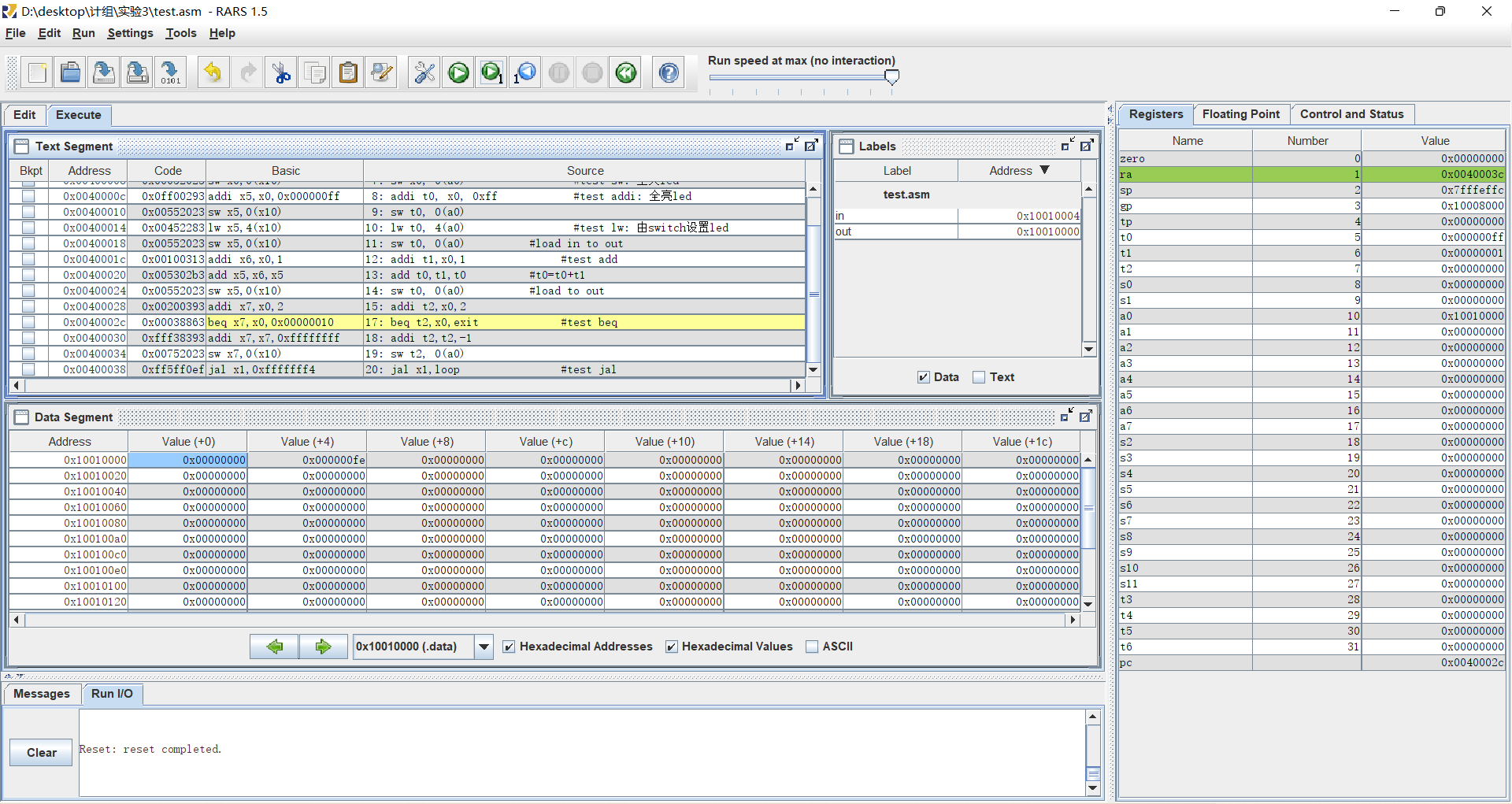
（5）test beq

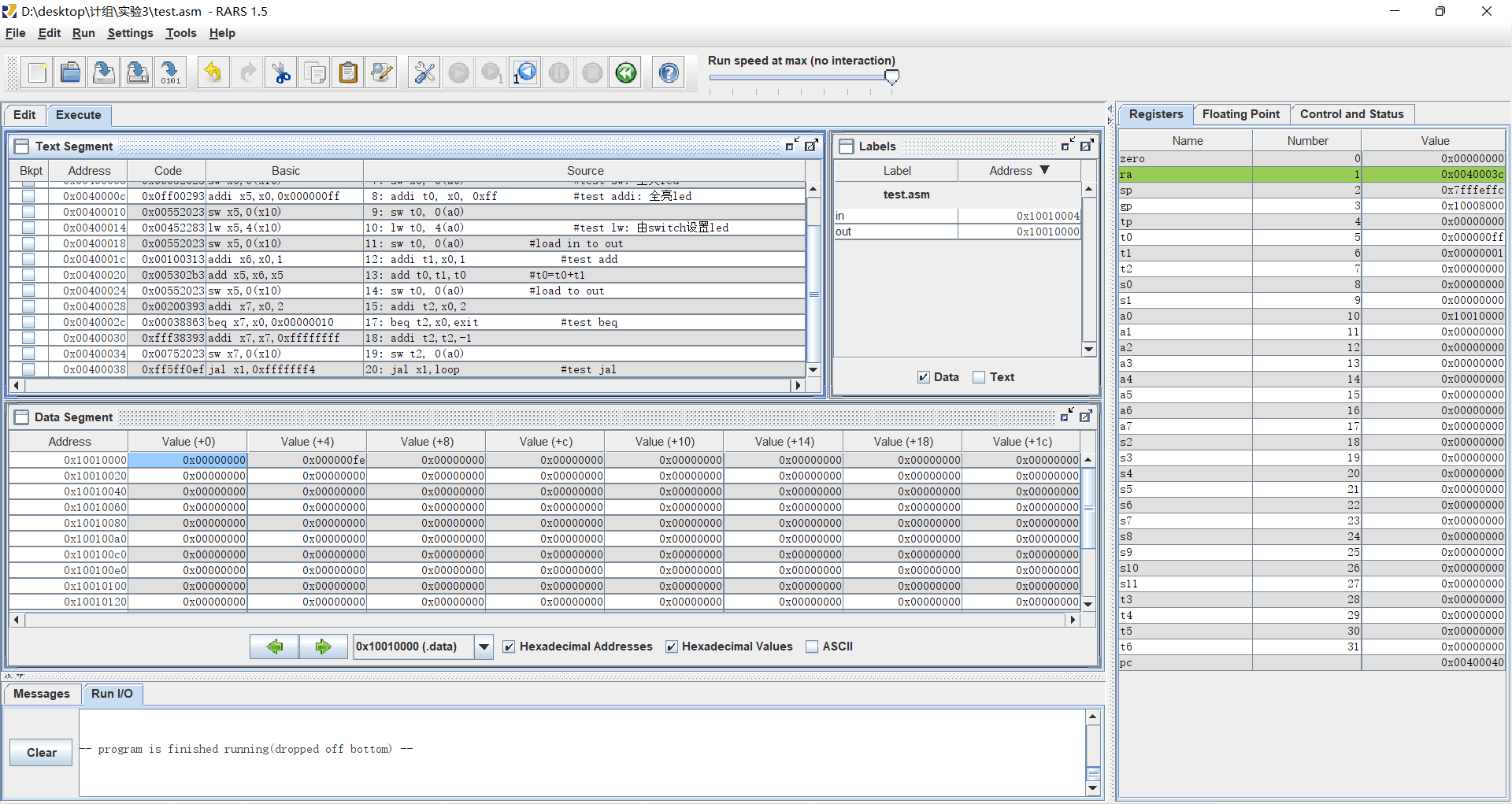
初始t2=2，不满足t2=0，故不跳转，而执行下一条指令





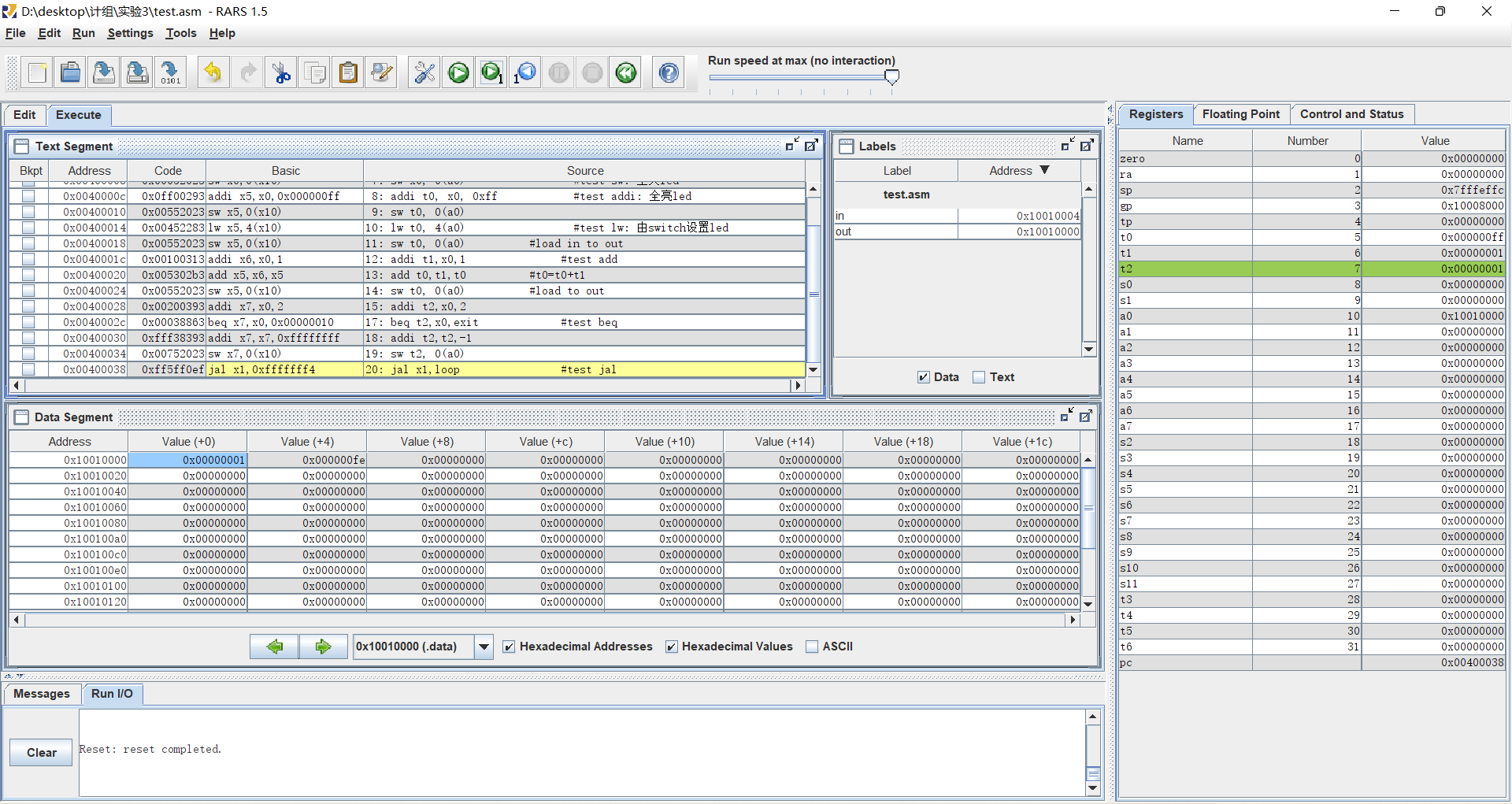
当t2=0时，跳转至exit处，退出程序

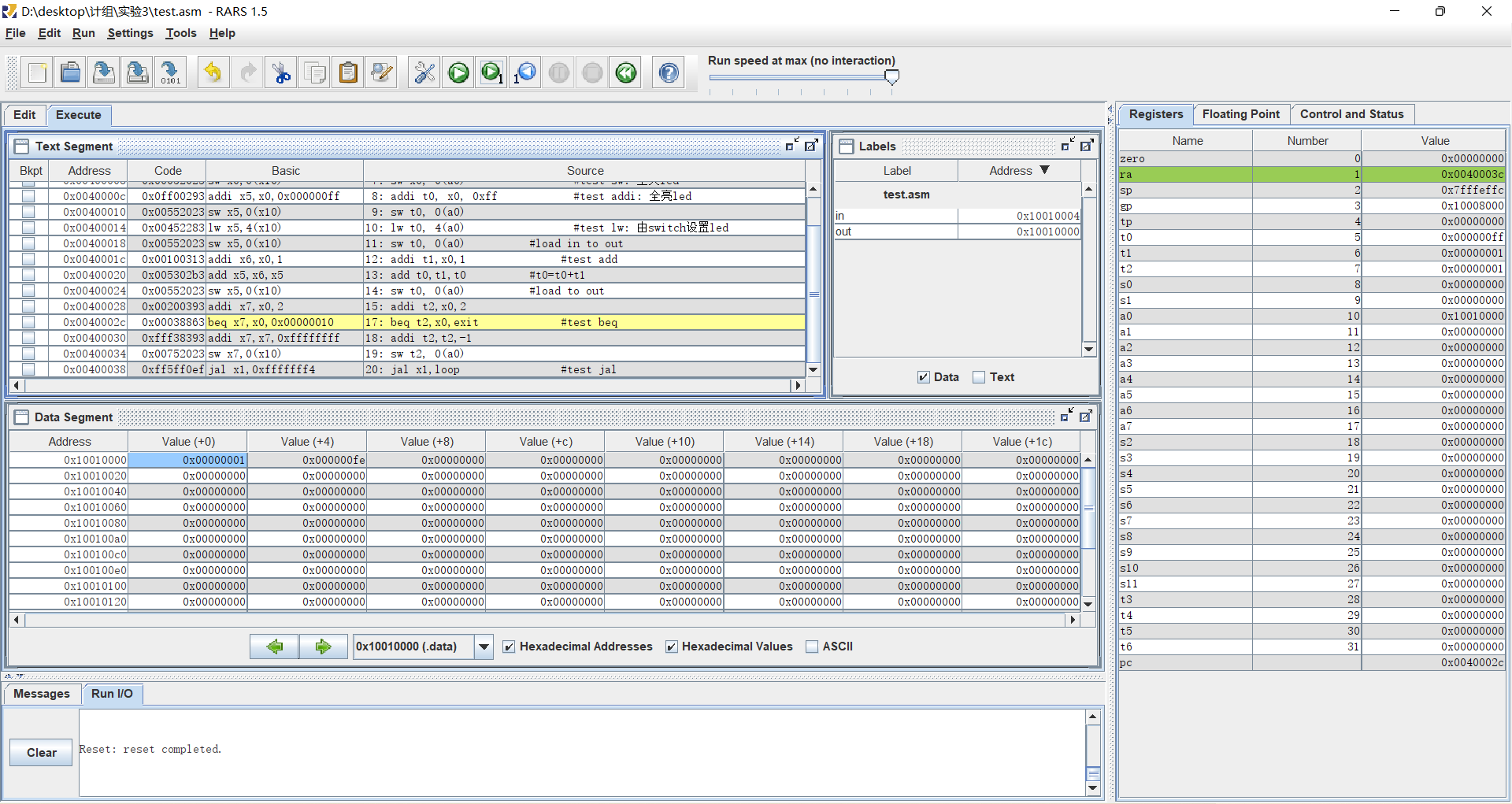




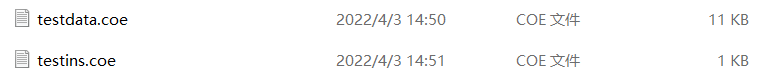
（6）test jal

将下一条指令地址保存在x1中，并跳转至循环loop处（beq t2,x0,exit）





**2.导出coe文件**



* **编写斐波那契的汇编程序**

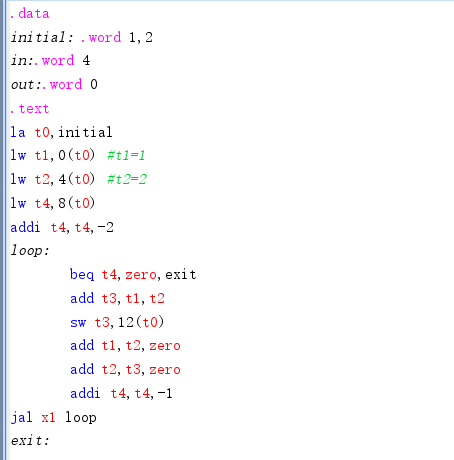
**1.fibonacci汇编程序如下：**

注：

initial是数列前两项f1，f2；

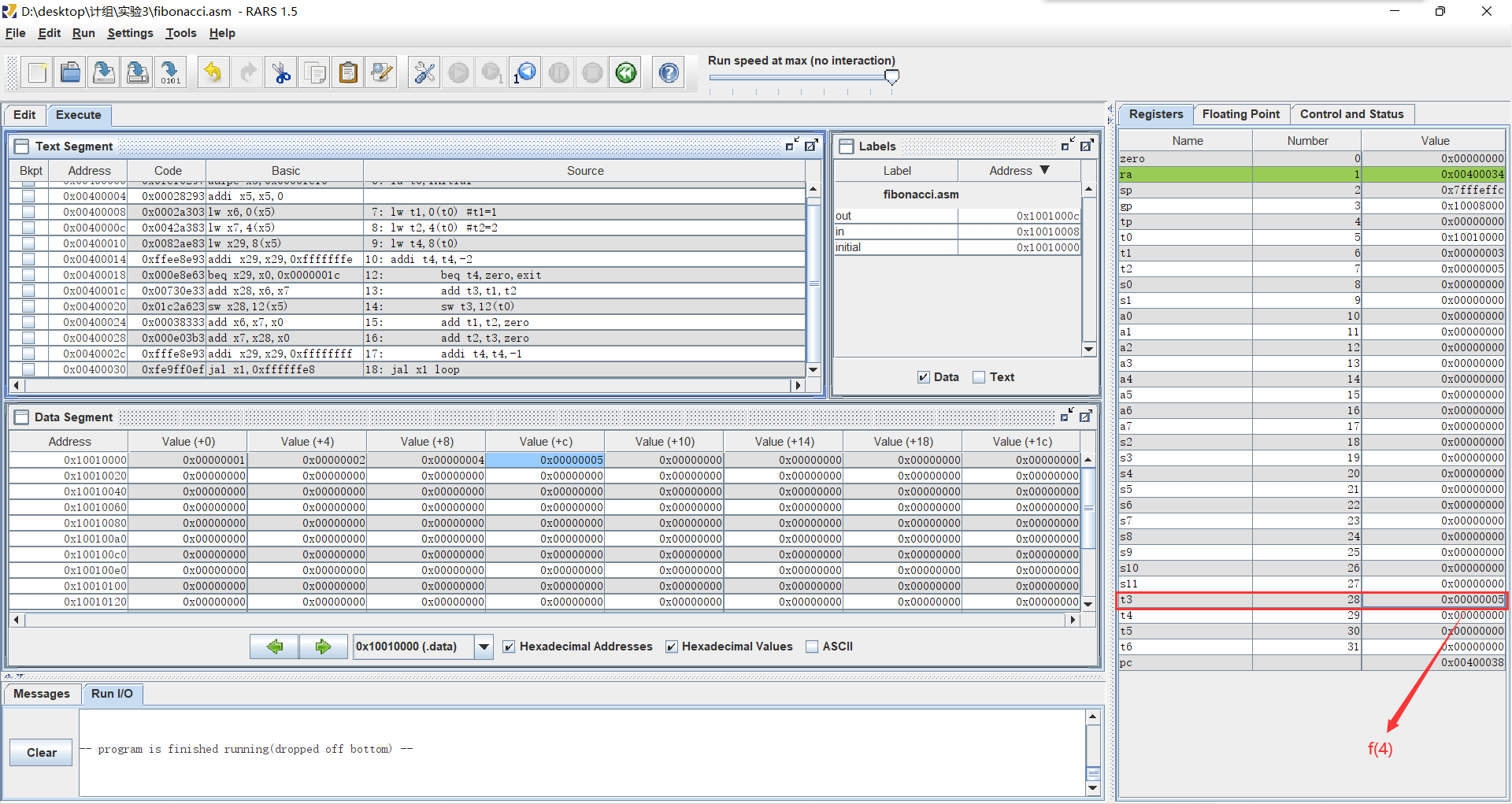
in是n值；

out是输出f（n）；



如上图，当in=4，也即n=4时，f(4)=5

（最后的值可在t3处看出，红色方框已框出）



**2.导出coe文件**



**3.在ripes上运行**

