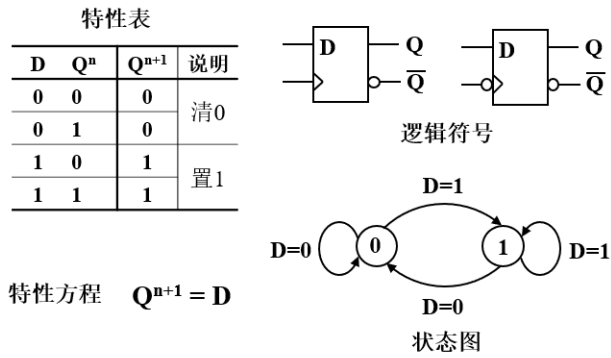


D触发器

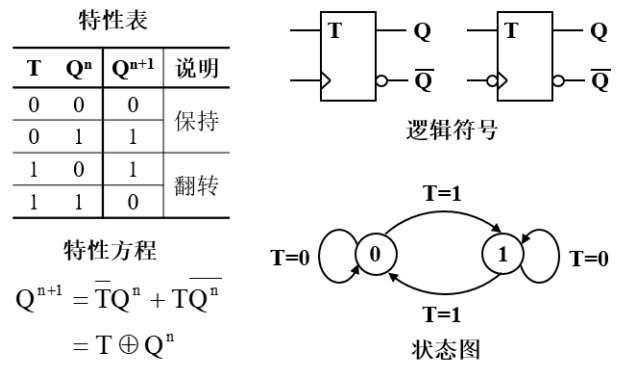


2020/11/14

模拟与数字电路 — 锁存器与触发器

26

T触发器

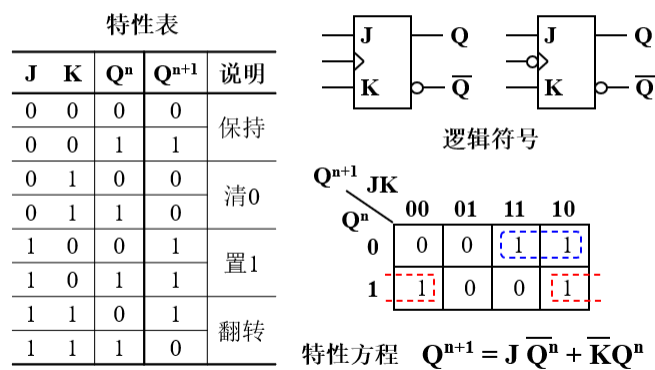


2020/11/14

模拟与数字电路 — 锁存器与触发器

27

JK触发器

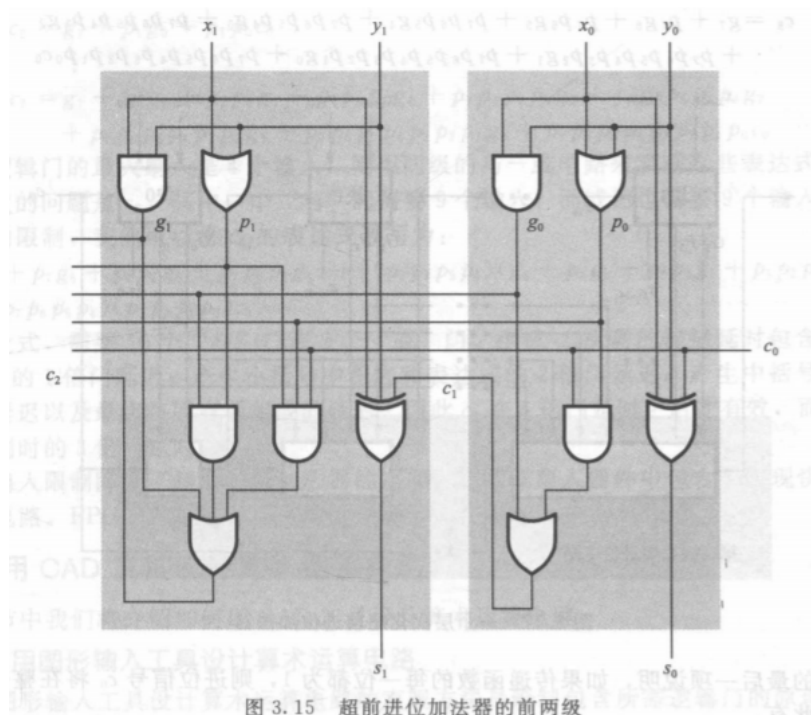


2020/11/14

模拟与数字电路 — 锁存器与触发器

28

数字逻辑基础与Verilog设计



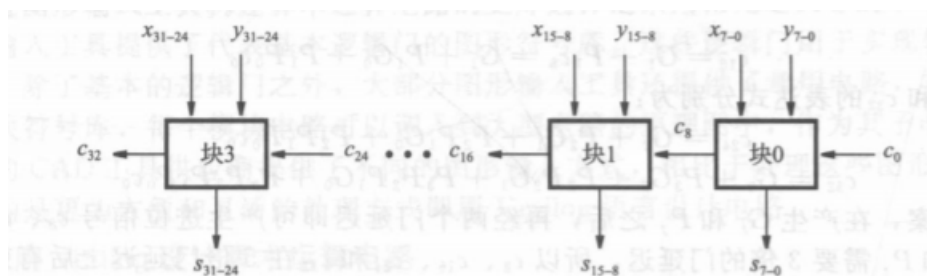


图 3.16 块之间用行波进位方式的层次化超前进位加法器

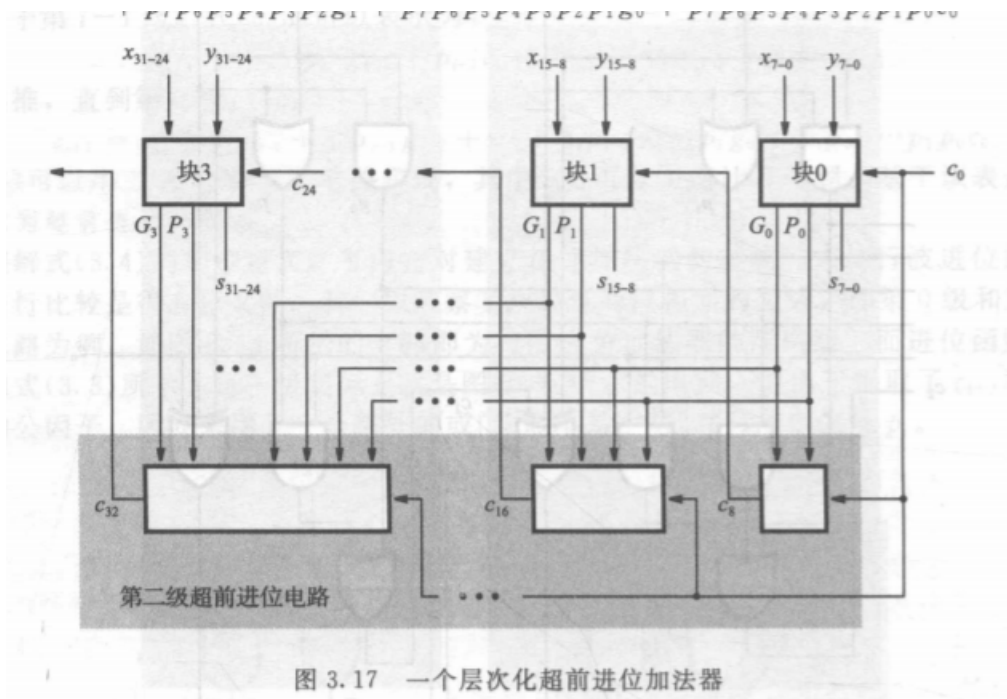


图 3.17 一个层次化超前进位加法器

实现上述运算的电路可以排列成如图 3.35 所示的一个阵列。与图 3.34c 中用浅灰色表示的行一样，图 3.35 中产生部分积的与门和全加器也用浅灰色显示，这些全加器连接成行波进位加法器。也可以使用其他类型的加法器以获得更快的乘法器。^[1]

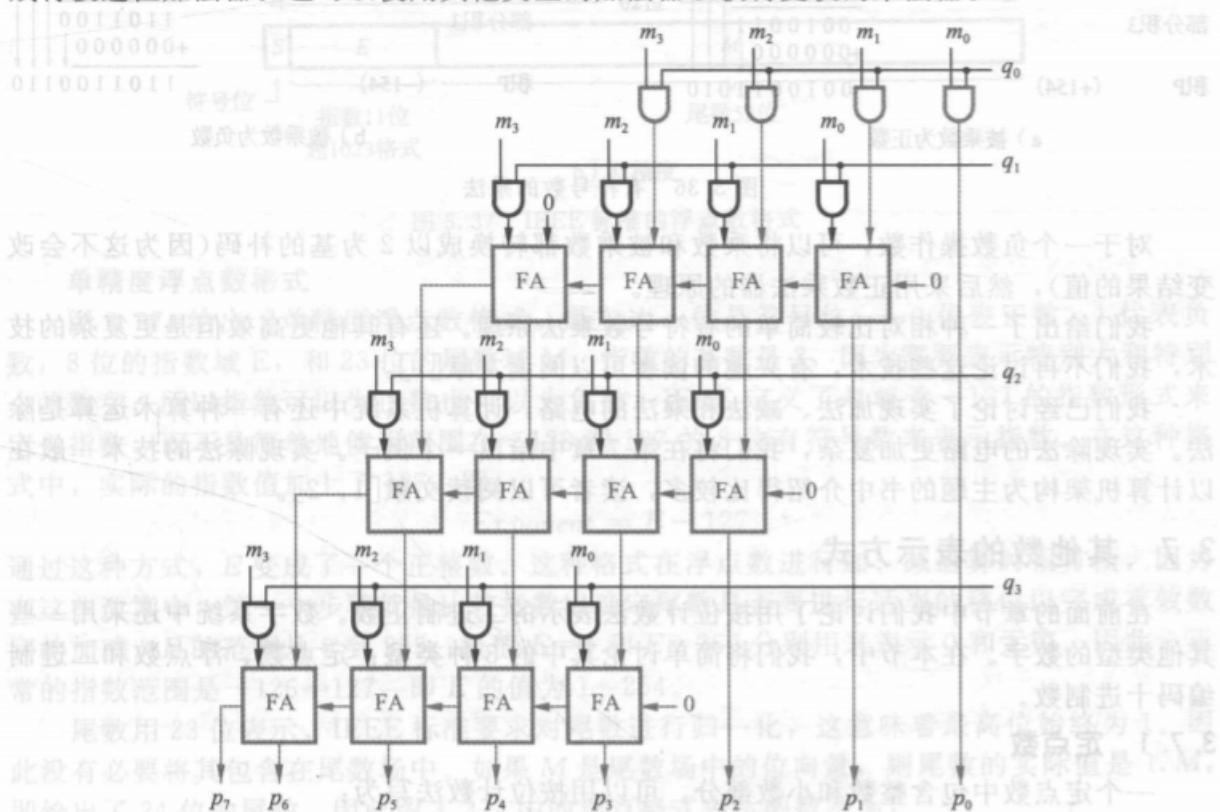


图 3.35 4×4 的乘法器电路

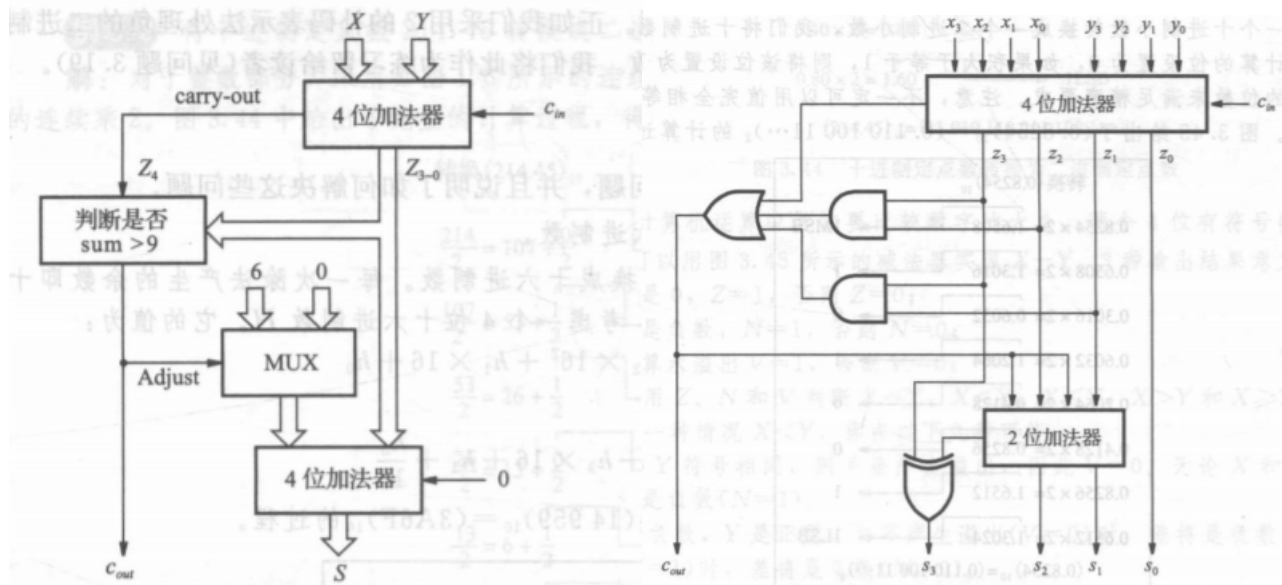


图 3.39 1 位 BCD 加法器原理框图

图 3.41 1 位 BCD 加法器电路

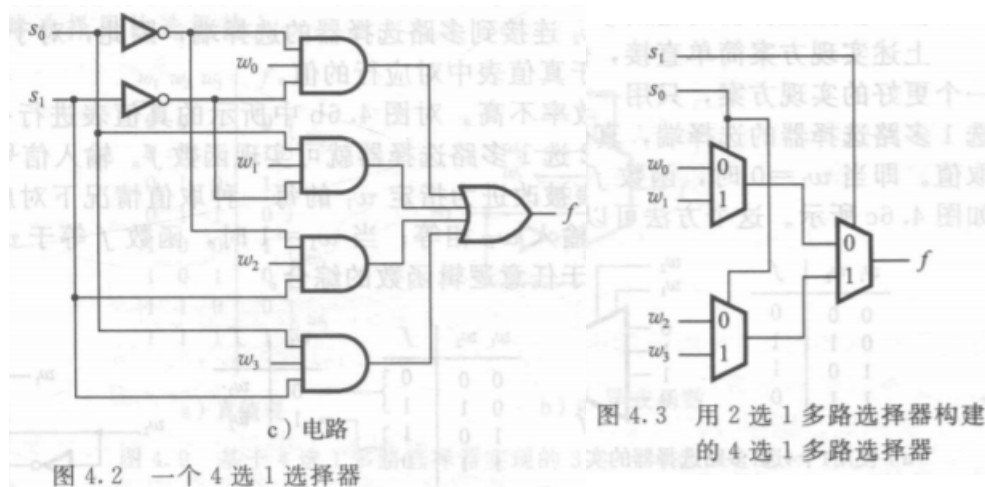


图 4.2 一个 4 选 1 选择器

图 4.3 用 2 选 1 多路选择器构建的 4 选 1 多路选择器

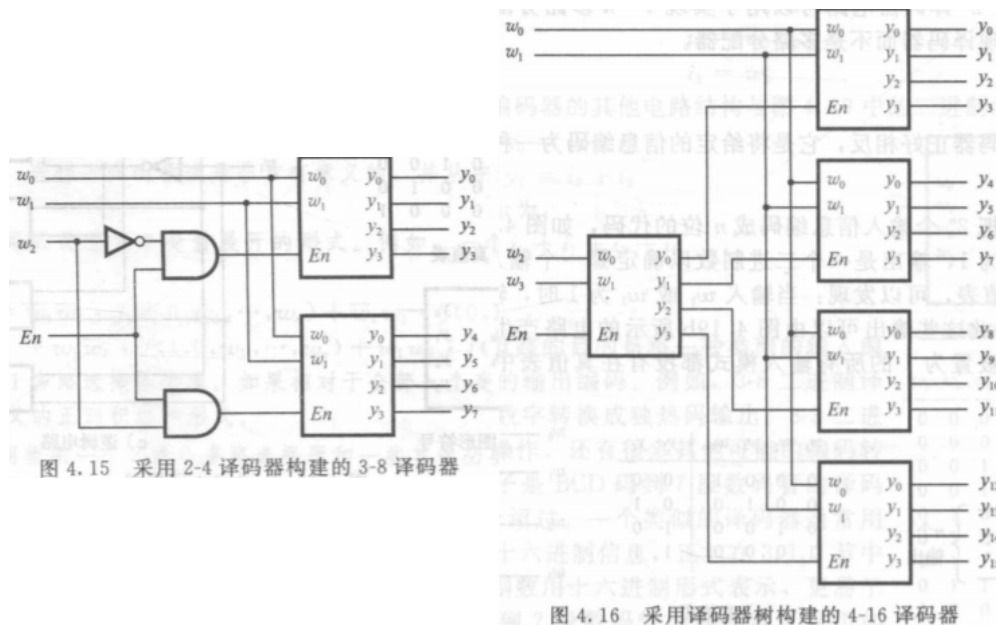
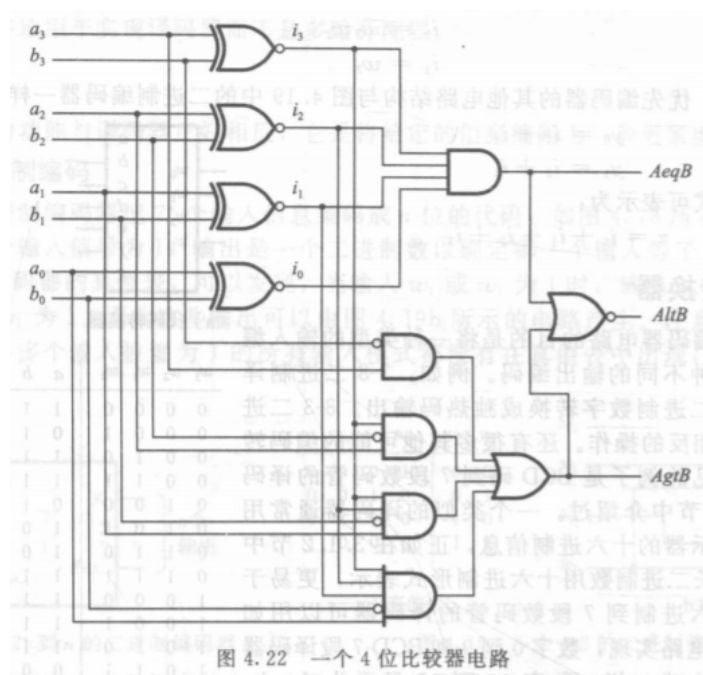
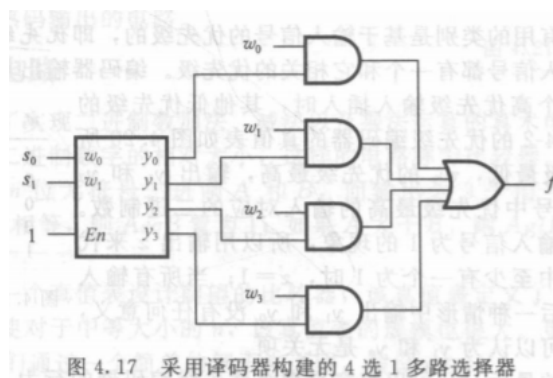


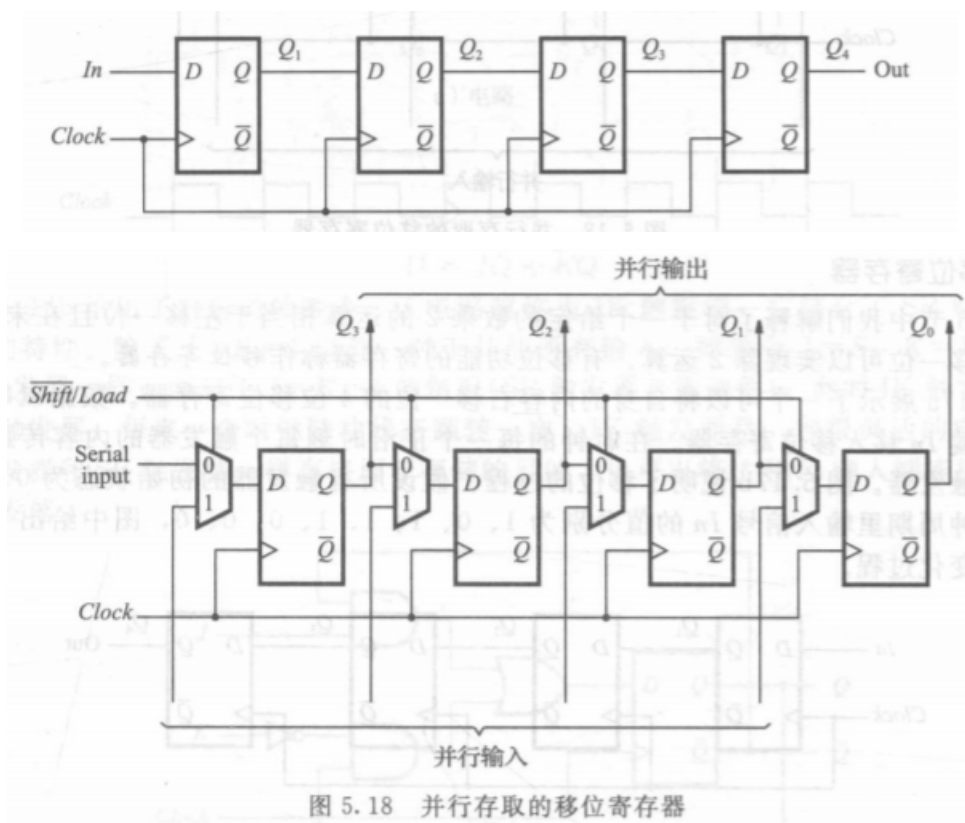
图 4.15 采用 2-4 译码器构建的 3-8 译码器

图 4.16 采用译码器树构建的 4-16 译码器

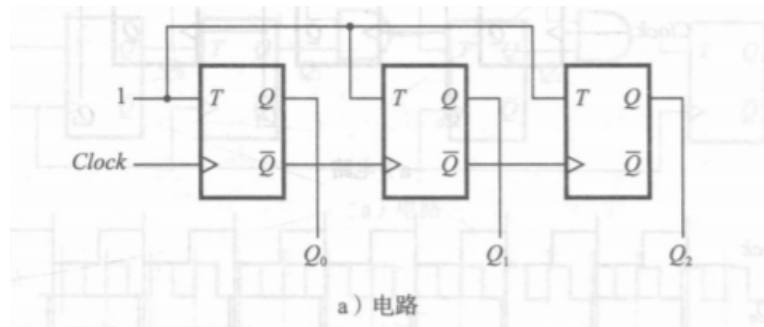


AeqB: A=B; AgtB: A>B; AltB: A<B;

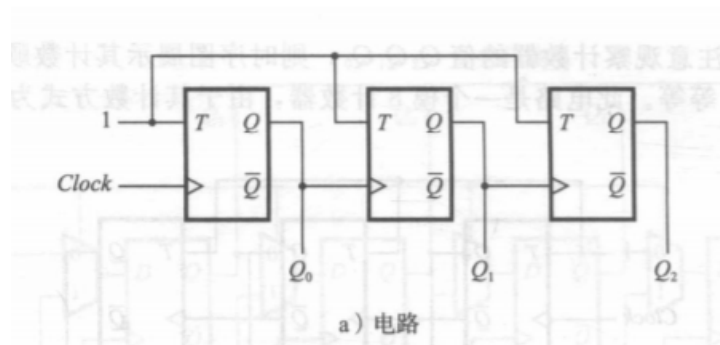
- 一个简单的移位寄存器



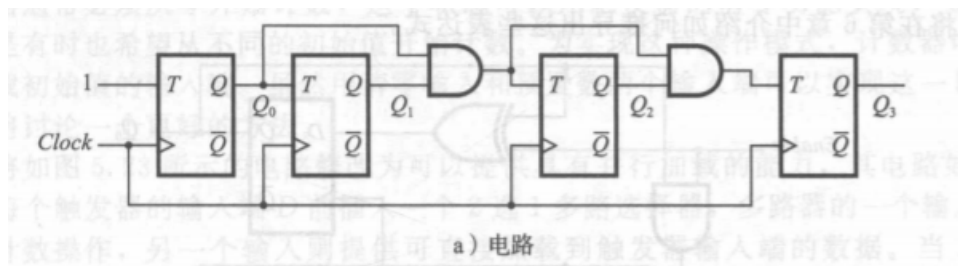
- 三位递增计数器



- 三位递减计数器



- T_{ff} 四位同步递增计数器



↑图5.21

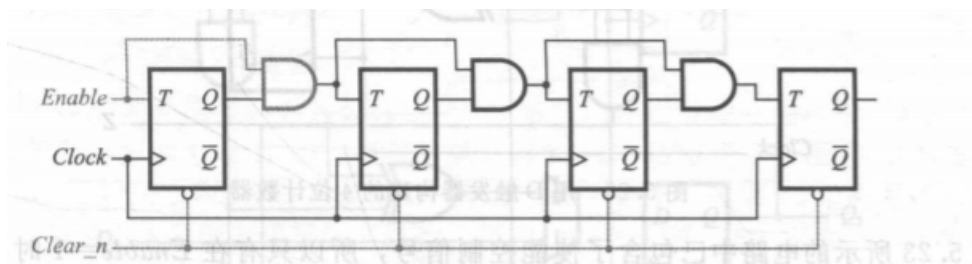


图 5.22 包含使能和清零功能的递增计数器

如图 5.22 所示。该电路是在图 5.21 的计数器的基础上增加了 1 个与门，使能信号直接输入第 1 个触发器的 T 输入端。使能端也连接到各级的与门链路中，这意味着如果 $Enable=0$ ，则所有触发器的输入 T 都等于 0；若 $Enable=1$ ，则该电路为如前所述的计数器。

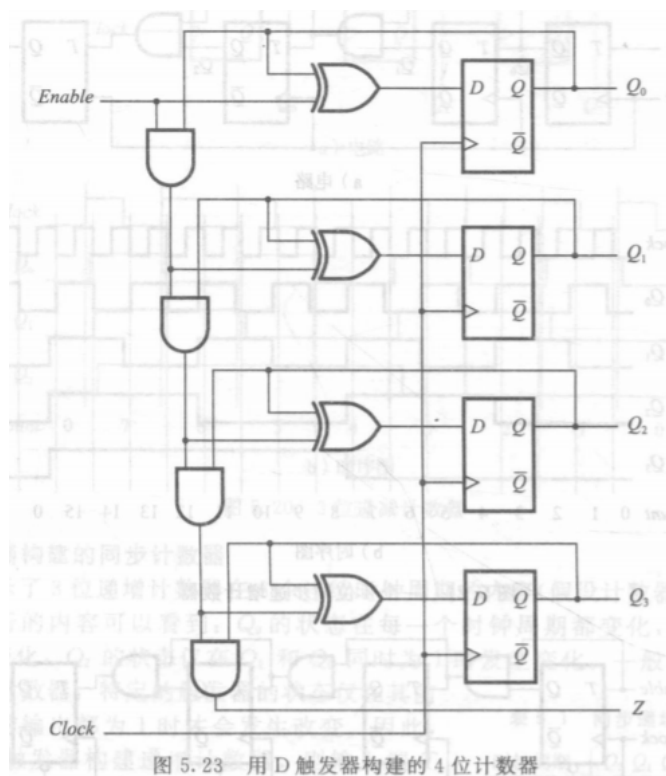


图 5.23 用 D 触发器构建的 4 位计数器

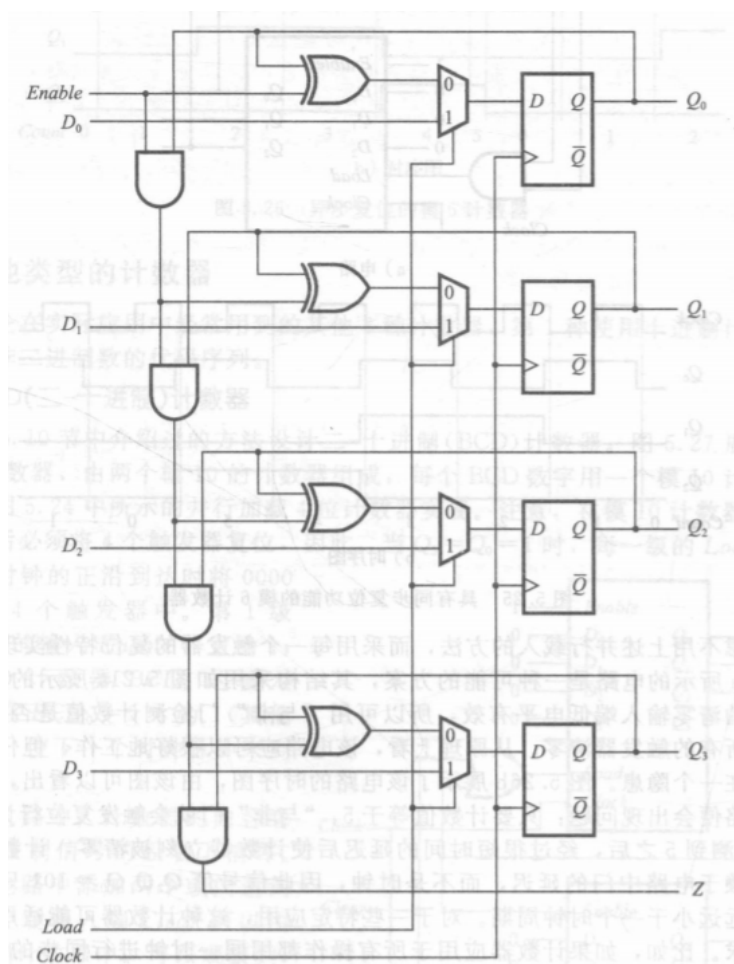


图 5.24 具有并行加载能力的计数器

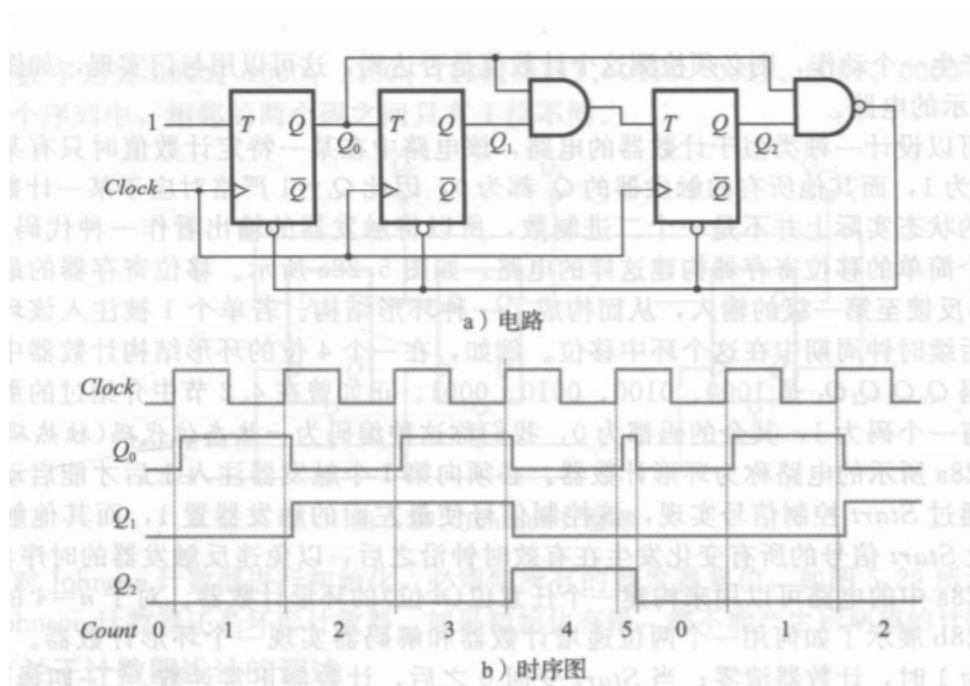


图 5.26 异步复位的模 6 计数器

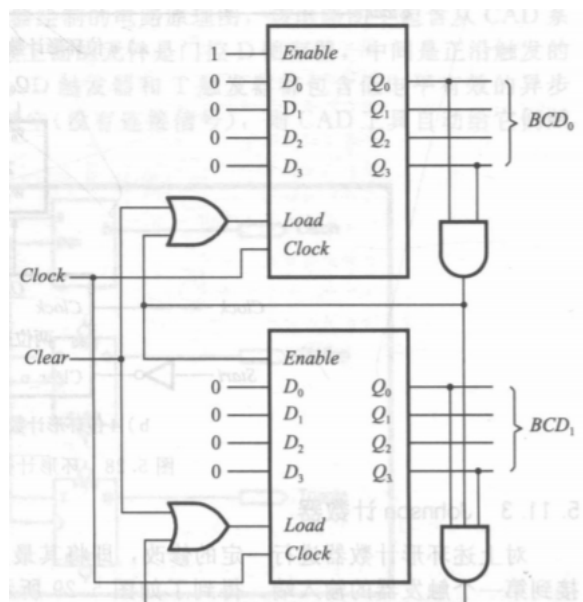
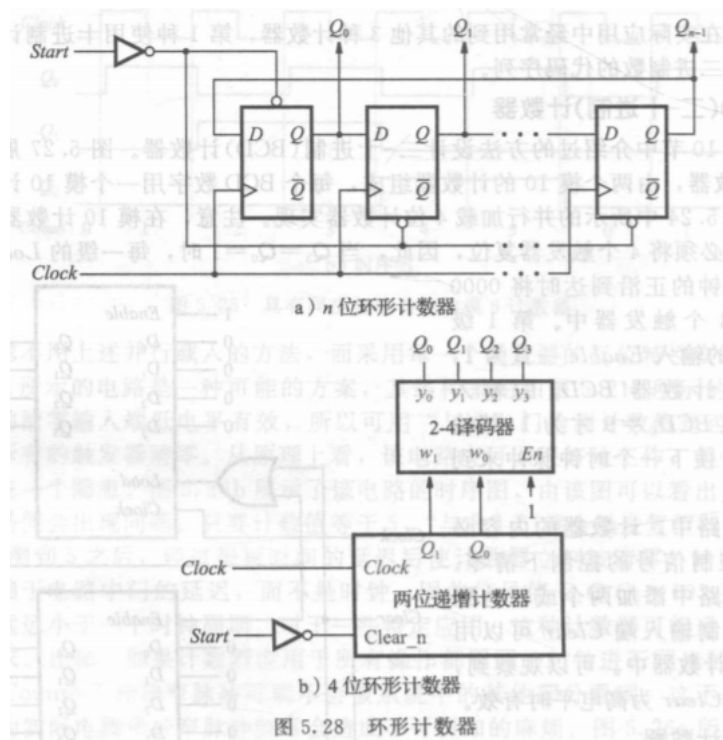


图 5.27 一个两位的 BCD 计数器

- 环形计数器：用One-Hot码存储 (eg.00001000)



- Johnson计数器:

