数电

不要落题



 $=(A+B)(\bar{A}+\bar{C})$ (或与式,最大项)

= AB AC与非-与非

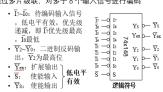
与或取反两次,摩根展开一次 $=\overline{A+B+A+C}$ 或非-或非 或与取反两次,摩根展开一次

 $=\overline{AB}+AC$ 与或非

与或取反函数. 后取反

优先编码器 74X148

对8个输入信号按优先级编码,输出3位代码 通过多片级联,对多于8个输入信号进行编码



使能输出 | 有效 \overline{I}_0 \overline{I}_1 \overline{I}_2 \overline{I}_3 \overline{I}_4 \overline{I}_5 \overline{I}_6 \overline{I}_7 \overline{Y}_2 \overline{Y}_1 \overline{Y}_0 \overline{Y}_{ex} \overline{Y}_5

0 0 0 16线-4线优 16个输入信 [0 Ys 号Its~Ito, 低电平有效 ,Its优先级 74x148 74x148 (2) Ys Yex Y2 Y1 Y0

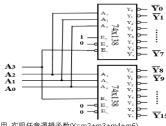
Yex Y2 Y1 Y0 最高 输出4位 ~ Ao, A3为 最高位 A3 A2

3-8 译码器 74X138

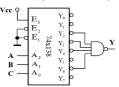
A2~A0: 待译码输入信号 - A2为最高位,A0为最低位 Y0~Y7: 译码输出信号 A. 74x138 E., 8 - 低由平有效 Υ, - 最多只有一个有效 Y E3, E2, E1: 使能输入信号 - 同时有效时才译码 - E3高电平有效 - E1、E2低电平有效 逻辑符号

 \overline{Y}_3 \overline{Y}_4 \overline{Y}_5 $E_3 \overline{E}_2 \overline{E}_1 A_2 A_1 A_0$ $\overline{Y}_0 = \overline{Y}_1 = \overline{Y}_2$





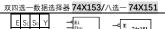
应用 实现任意逻辑函数(Y=m2+m3+m4+m6)

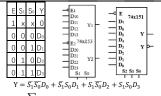


应用:实现数据分配器

E1=0,E3=1,按照通道地址 A2A1A0的取值,将输入数据 D (E2) 从相应的输出通道 Yi 输出,其他输出通道保持高电平

其他译码器:二-十进制译码器 74X42 显示译码器: 74X48, 74X248, 74X4511



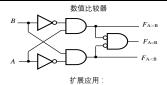


 $=\sum m_i D_i$ 可以用此实现组合逻辑电路。

 用1位2选1 MUX进行扩展设计 位扩展 宇扩展

. 1位4选1 MUX 利用一片 74X153 构成八选-

E1接 A2非,E2接 A2,Y或一下即可。

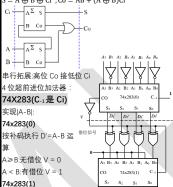


为辅助输入端, 把高位的 F 依次接到低位的 | 上即可。

加法器

-位半加器:輸入只有 AB. 輸出进位 Co. 半加和 S $S = A \oplus B$. Co = AB

-位全加器: {Co, S} = A + B + Ci $= A \oplus B \oplus Ci$, $Co = AB + (A \oplus B)Ci$

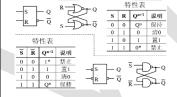


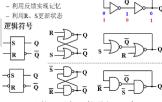
锁存器

V=0D=0+D'=D

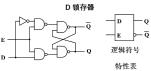
V=1:D=0-D'=-D

锁存器对时钟的电平敏感 在有效电平期间更新状态 SR 锁存器要保证 SR=0!



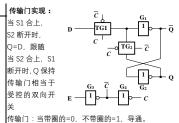


_	_		K-	ע-	v s □
		ì.	控 SR	锁存器	(依然有 SR=0)
		零	性表		-s -o
E	s	R	Qn+1	说明	⊢ _R ⊢ _Ō
0	х	х	Qn	保持	K V V
1	0	0	Qn	保持	 镇存器状态可以随激履
1	0	1	0	清0	输入变化发生多次翻转
1	1	0	1	置1	- 在E有效(高电平)期间
1	1	1	х	禁止	,R和S的变化将引起 输出状态的变化
				D钧	存器
		<u></u>	$\overline{}$	_	$\neg \neg \neg \vdash \circ$



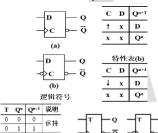
在E有效(电平有效)期间 , D的变化将引起锁存器 状态多次翻转





触发器

只在时钟上升沿/下降沿更新状态。其余时刻保持。 D 触发器 Q^{N+1}=D



1 0 割特 T=1 T触发器 $Q^{n+1} = \overline{T}Q^n + T\overline{Q}^n$ JK 触发器: $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

-ō –ф

时序逻辑电路

输入X输出Y状态Q激励Z Z=f1 (X.O)

0

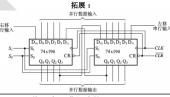
Qn+1=f2 (Z,Qn)

Y=f3(X,Q) mealy 输出是输入和状态的函数 Y=f4(Q) moore 输出仅是状态的函数



注意期中考试的问题 (6/8)





四位同步二进制计数器 74X161

计数范围:0000~1111[74X160 只到 1001]



O3~O0: 计数输出, O0 为最低位

TC: 进位输出【TC 在 Q=1111 时=1】

CEP, CET: 计数使能(一般接 1/低级计数器的 TC) CR: 异步清零(与时钟信号无关,只要有效立刻清零) PE: 同步置数 D3~D0: 置数输入. D0 为最低位

举例:构成 X 进制计数器(模 X)

异步清零法:

当 Q = X 时: $\overline{\it CR}$ = 0

当 Q = **X-1** 时:C = 1

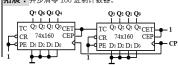
原理: 一旦计数到 X, ○ (X) 立刻被按下去,清零。

同步置数法:

当 Q= X-1 时: PE = 0, D = 0000, C = 1 原理:在下一个 CP 上升沿时,进行同步置数,Q=0。 同步置数法的其他实现方法:

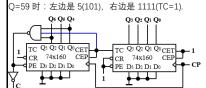
当 O=X-2 时: PE = 0. D = 1111. C = TC.

拓展: 异步清零 100 进制计数器。



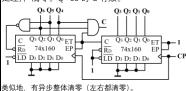
同步置数法构成 60 进制:

Q=59 时 $\overline{PE}=0$,D 接 0000,C 有效。



异步清零法构成 60 进制:

Q=60 时左边的 6 被按下去(右边已经是 0 了无需 处理),清零。Q=59时C有效。



计数器

环形计数器:移位寄存器串行输出与串行输入相连。

EG. 1000-0100-0010-0001-1000-

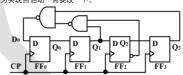
假设有 n 位 (n 个 D 触发器),Qn-1 与 D0 相连。

有 n-1 个无效循环。

扭环形计数器: $\overline{Q^{n-1}}$ 与 D_0 相连。

有 n/2-1 个无效循环。

为实现自启动:需要改一下。



只读存储器 ROM

正常工作状态只是读出信息,断电后信息不会丢失,常用于存 放固定信息(如程序、常数等)

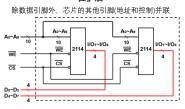
X 个字×Y 位 X个字对应log₂ X条地址线(最高地址 X-1), Y 位对应 Y 条数据线 总共XY个存储单元

注意:有的位可能是不必要的。

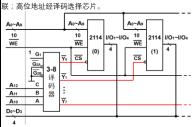
EG.8 位二进制数转化为 BCD 码只需要 10 位(高 2 位全是 0) DRAM (动态 RAM): 内容不停刷新 (与 SRAM 相比) 地址分两次输入

RAS: 行地址选通 CAS: 列地址选通 因此X个字对应($\log_2 X$)/2条地址线。

位扩展



字扩展 除片选引脚外,芯片的其他引脚 (地址、数据、写允许)并



注:图中是用8个2114扩展的。后面六个没画。

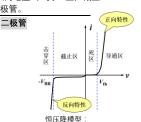
不要落题|

半导体

N 型:掺入五价元素, 自由电子是多数载流子, 空穴 是少数载流子,带负电,为 N 型 P型:掺入三价元素, 自由电子是少数载流子, 空穴 是多数载流子,带正电,为P型

PN 结:加正向电压(P正N负)导通 加反向电压 (P负N正) 截止

以此构成二极管。



导通压降=死区电压≠0

j > 0, $\nu = V_F$

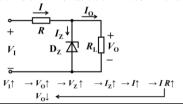
 $V < V_F$, j = 0

理想模型: 忽略死区和导通压降

i > 0, v = 0v < 0, i = 0

硅二极管 0.7V

锗二极管 0.2V 稳压二极管:反向击穿特性很陡,主要工作在反向击穿状态。



BJT 三极管

NPN

PNP

内部结构特点

发射区掺杂浓度很高 基区很薄且掺杂浓 度很低

集电区面积很大

e: 发射极 b: 基极

对 NPN,当 $V_{be} > 0.7/0.2$,且 $V_{ce} > V_{be}$ 时,放大。 对 NPN,当 $V_{be} > 0.7/0.2$,但 $V_{ce} < V_{be}$ 时,饱和。

对 NPN,当 $V_{be} < 0.7/0.2$,截止。

对 PNP,当 $V_{be}<-0.7/0.2$,且 $|V_{ce}|>|V_{be}|$ 时,放大。 对 PNP,当 $V_{be}<-0.7/0.2$,但 $|V_{ce}|>|V_{be}|$ 时,饱和。

对 PNP,当 $V_{be} > -0.7/0.2$,截止。

截止区: i_B≈0, i_C≈0

饱和区:ic 随 Vcε增大而增大,且<βlв

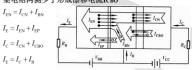
放大时:Ic=βIB (β>>1) , IE=(1+β) IB

发射区名子电子向基区扩散形成电流IEN

- 在基区被复合的电子形成电流IBN 金下由子向集由区漂移形成由流Icx

基区名子空穴向发射区扩散形成电流TEP

集电结两侧少子形成漂移电流ICBO



IEP 忽略, ICBO,ICEO 很小, 忽略。 所以 IE=IC+IB=(1+β)IB

其他特性:

集电极最大允许电流 Icm

集电极最大允许功耗 $P_{CM} = V_{CE}*I_C$

反向击穿电压

V_{(BR) CEO}:基极开路时,集电极和发射极间的击穿电压

 $V_{\rm (BR)CBO}{>}V_{\rm (BR)CEO}{>}V_{\rm (BR)\,EBO}$

MOS 管

增强型 NMOS: 当 Vgs>VT(开启电压): ds 导通 Vgs 继续增大,沟道变厚,电阻率减

Vas 不变增加 Vds.一开始 ld 增加。 当 Vds=VT 时,沟道出现夹断,夹断 处电场强度很高,电子依然可以被拉 P沟道: 增强型、耗尽型 过去。但由于电压主要加在夹断区,

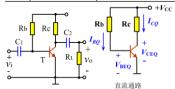
Vds 继续增加,ld 不变。

耗尽型 NMOS: 在栅极下方的绝缘层中掺入大量的金属正离 子,从而预置了导电沟道。VT 是负的。 P 沟道:相反。

芯箔							
N wil	NMOS		PMOS				
类型	增强型	耗尽型	增强型	耗尽型			
VT	표	负	负	丑			
何时导通	Vgs>VT	/gs>VT	Vgs <vt< td=""><td>Vgs<vt< td=""></vt<></td></vt<>	Vgs <vt< td=""></vt<>			

	举本从人屯站——	一大别从人七时		
	BJT (双极型)	场效应管(单极型)		
导电特点	多子和少子都参与导电	只有一种多子导电		
控制方式	电压/电流控制电流	电压控制电流		
类 型	PNP、NPN	N沟道、P沟道、增强型、耗尽型		
	C、E一般不可倒置使用	D、S一般可倒置使用		
输入电阻	小	很大		
噪声	较大	较小		
热稳定性	差	好		
抗辐射性	差	强		
制造工艺	较复杂, 不易大规模集成	简单,易于大规模集成		

其太故士中欧 #射故士中欧



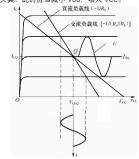
可求其直流负载线。

将 Vcc 接地,电容短路,可求交流负载线。 v_{CE} 斜率 = $-(R_C//R_L)i_C$,且过Q点

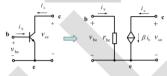
因此,交流负载线比直流负载线陡

当 Vce 大于直流负载线与 ib=0 的线的交点时,出现截 止失真,此时应当增大 VBB(直流输入电压)

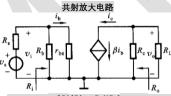
当 Vce 小于直流负载线与左边陡增的线的交点时,出现 饱和失真、此时应当减小 VBB,增大 VCC。



BJT 简化小信号模型

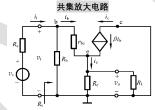


对于低频小功率管: $r_{\rm bc} \approx 200\Omega + (1+\beta) \frac{26 \, ({\rm mV})}{I_{\rm EQ} \, ({\rm mA})}$



 $\beta R_L'(R_L' = R_c || R_L)$ (Re在射地间 $r_{be}(+(1+\beta)R_e)$

 $R_i = R_b / / r_{be} (+(1+\beta)R_e)$



 $\frac{1}{r_{be}(1+\beta)R_L'} (R_L'=R_c||R_L)$

—般来说A_v ≈ 1 $R_i = R_b || [r_{be} + (1 + \beta)R_L']$

$R_o = R_e || \frac{r_{be} + R_s || R_b}{1 + \beta}$

运算放大器

开环差模电压增益 $A_{vo} = 20 \lg |v_o/v_d| (dB)$

反馈类型判断

如果反馈信号的瞬时极性使净输入减小,则为负反馈 反之则为正反馈。

电压反馈:反馈信号的大小与输出电压成比例,反馈电 路直接从输出端引出

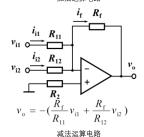
电流反馈:反馈信号的大小与输出电流成比例,反馈电 路从负载电阻靠"地"端引出

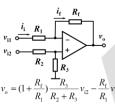
将输出电压"短路",若反馈信号为零,则为电压反馈; 若反馈信号仍然存在,则为电流反馈

反馈信号与输入信号加在输入回路的同一个电极上,则 为并联反馈,此时反馈信号与输入信号是电流相加减的 关系

反馈信号与输入信号加在输入回路的两个电极,则为串 联反馈,此时反馈信号与输入信号是电压相加减的关系

同相比例运算电路:输入与输出的反馈接在不同端 反相比例运算电路:输入与输出的反馈接在同一端 加法运算电路

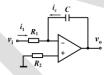




(上面的式子也可用叠加原理推, Vi1/Vi2 接地)

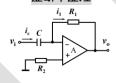


积分运算电路



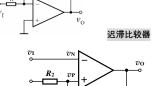
$$\begin{split} i_c &= C \frac{\mathrm{d} v_o}{\mathrm{d} t} \quad i_1 = v_i / R_1 \\ i_1 &= -i_c \quad v_o = -\frac{1}{R_1 C} \int v_i dt \\ v_o(t_2) &= -\frac{1}{R_c C} \int_{t_1}^{t_2} v_i dt + v_o(t_1) \end{split}$$

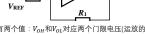
微分运算电路 运算放大器的非线性应用:开环正反馈 虚断不虚短



$$i_1 = i_c$$
, $i_c = C \frac{dv_i}{dt}$
 $v_o = -R_1 i_1 = -R_1 C \frac{dv_i}{dt}$

单门限比较器(略)【**注意输入端接正还是负**】 左图也是一个单门限比较器

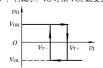




Vo 只有两个值: V_{OH} 和 V_{OL} 对应两个门限电压(运放的 V_P

$$V_P = \frac{R_1 V_{REF}}{R_1 + R_2} + \frac{R_2}{R_1 + R_2} V_O$$

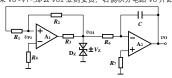
把 VOH,VOL 代入 Vo 可得上下门限电压 $V_{T\pm}$ 当 vl < VT-时,vN < vP,vO = VOH,vP = VT+,增大 vI,直至 VT+,再增大,vO 才从 VOH 跳变为 VOL 当 vl > VT+时, vN > vP , vO = VOL, vP = VT- , 减 小 vI,直至 VT-,再减小,vO 才从 VOL 跳变为 VOH



应用:方波/锯齿波产生电路

左边是一个迟滞比较器,

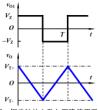
如果 Vo<VT-.那么 Vo1 立刻变负,右侧积分电路 Vo 开始上升;



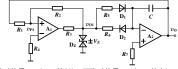
,右侧积分电路 Vo 开始下降; $\frac{0}{R}$ $V_{T\pm} = \pm \frac{R_1}{R} V_Z$

$$K_{1} + K_{2} K_{1} + K_{2} K_{2}$$

$$V_{T-} = \frac{-1}{R_{6}C} \cdot V_{Z} \cdot \frac{T}{2} + V_{T+} T = \frac{4R_{1}R_{6}C}{R_{2}}$$



第二种积分电路:锯齿波的上升与下降使用了不同的电阻,导 致上升下降速率不同。



上升时使用 R6 (Vo1 较低). 下降时使用 R5 (Vo1 较高)

CMOS IT

向内指:高电平上下通。 向外指:低电平上下通。

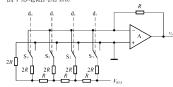
并联:或+ 串联:与

方法:只看下面,上面一律不看,最后加一个拔。

传輸门:带圈(向外指的)的为0,不带圈(向内指的)的为1导通

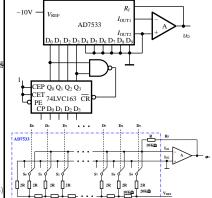
ADC/DAC

数字量输入,控制电子开关开闭,用加法运算电路输 出。其中高位电阻最小,低位电阻最大,为2的倍数 倒 T 形电阻网络 DAC



由于有运放在,Vref 输出的电流是恒定的,但是通过改变开关 改变了电流在运放正负端的分配方式,导致加法运算电路输入 电压改变。**从各个地方向左看等效电阻是 R**

DAC 可以与计数器联合使用用于产生波形 虽然长得像台阶(



上面是 10 位电流输出型 DAC AD7533 Vo=-VREF*D/1024 在必要的时候应该把上面自带的反馈电阻拔出来。

ADC:一般工作过程: 采样保持量化编码

并行比较型 ADC:同时把电压与各个等级电压比较,用编码 器输出。(注:虽然是8位同时比7次,但是如果太小就0了 采取只舍不入量化方式:量化单位 Δ = 2^{-n} .

采取四舍五入量化方式:量化单位 Δ = 2/(2^{-n} - 1).

第一种最大量化误差Δ. 第二种减半。

反儒比较型 ADC (较慢):

计数型:逐次与计数器+DAC 生成的电压比较。

逐次比较型:按位比较,如果大了,减去该位所对的电压。

积分电路不断对模拟输入端积分加压一定时间,然后再积-VREF,同时计数器数数。积到零,停止数数,输出。