**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目:简单时序逻辑电路

学生姓名：\_\_宋玮\_\_\_\_\_\_\_\_

学生学号：PB20151793\_\_\_\_

完成日期：\_2021.11.3\_\_\_\_

计算机实验教学中心制

【实验题目】

简单时序逻辑电路

【实验目的】

掌握时序逻辑相关器件的原理及底层结构

能够用基本逻辑门搭建各类时序逻辑器件

能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

vlab.ustc.edu.cn

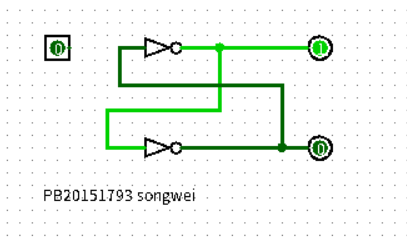
Logisim

verilogoj.ustc.edu.cn

【实验过程】

1. 搭建双稳态电路

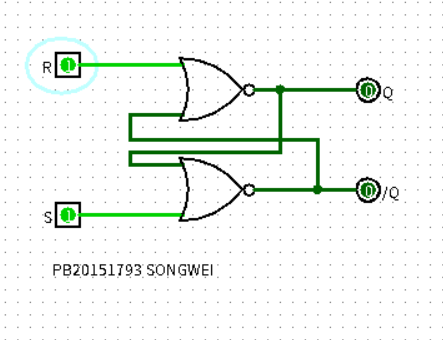
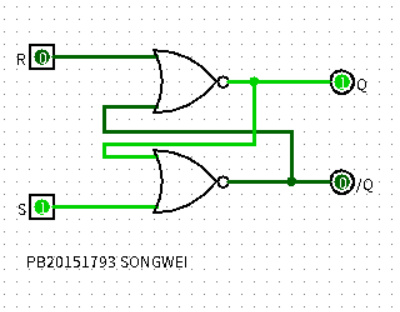
注意，在 Logisim 中搭建此电路时，应先将两条交叉耦合线断开一条，等输入信号将其状态初始到确定状态后再将耦合线连上。否则电路将处于一种不确定状态。



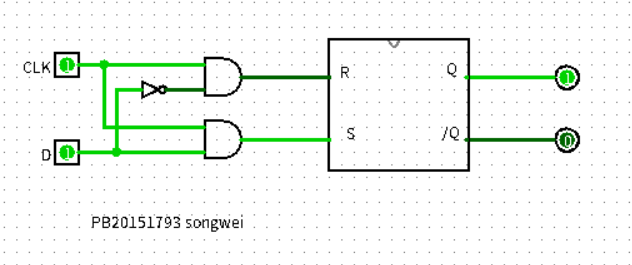
2. 搭建 SR 锁存器

用户可在 Logisim 中尝试改变 S、R 端的数据输入，观察电路状态的改变，以加深对 SR 锁存器工作原理和行为特性的理解。

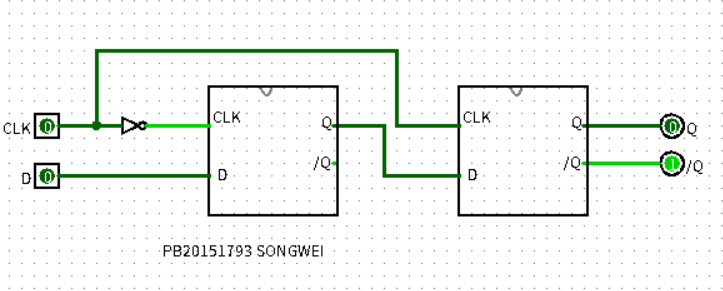
如图：



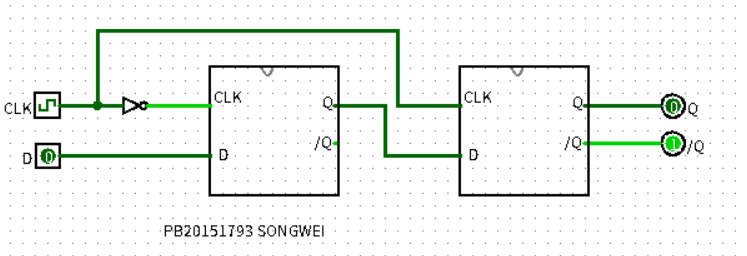
3. 搭建 D 锁存器



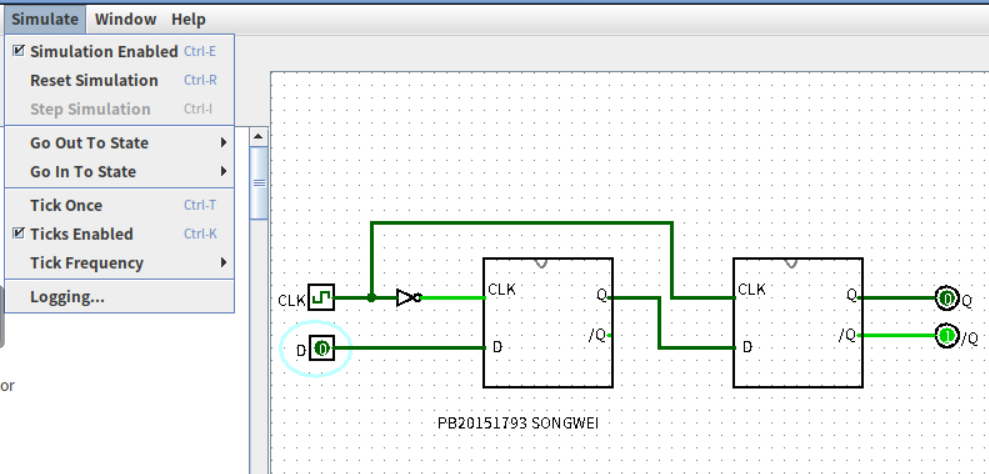
4.搭建D 触发器



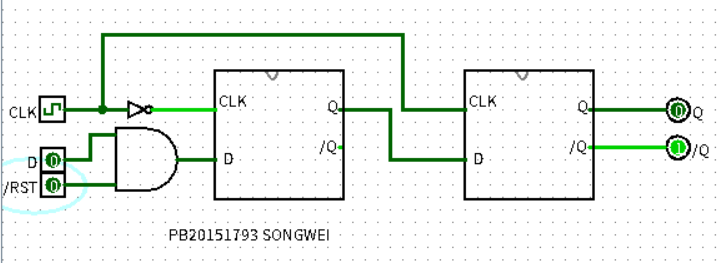
为了更直观的观察 D 触发器的行为特性，我们可以把 CLK 端口换 成一个可自动变化的时钟信号，如下图所示。



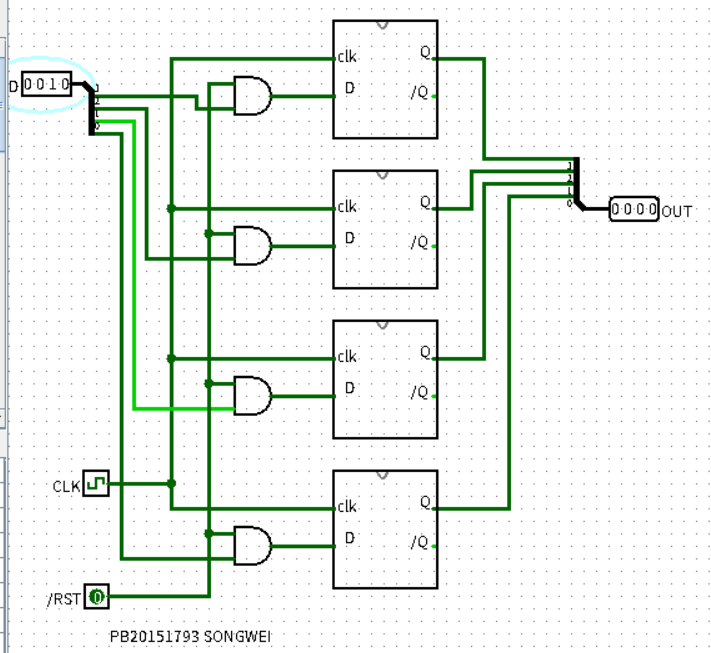
修改完之后，用户可在 Logisim 菜单栏中点击“simulation”选项，首先将“Tick Frequency”设置为“1Hz”，然后使能仿真和触发功能，在“CLK”信号以 1Hz 频率跳变过程中，改变 D 信号的输入值，观察 Q 信号的输出。



同步复位（复位信号低电平有效）：

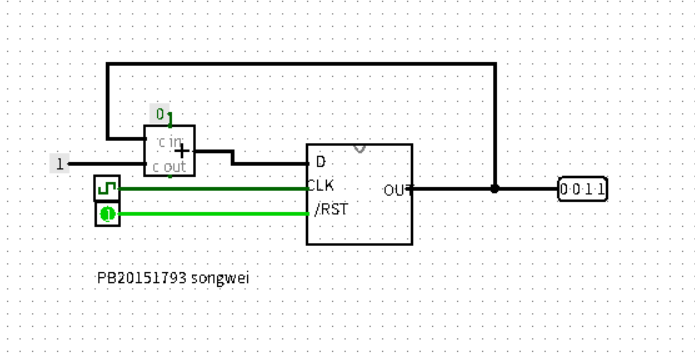


5.搭建寄存器



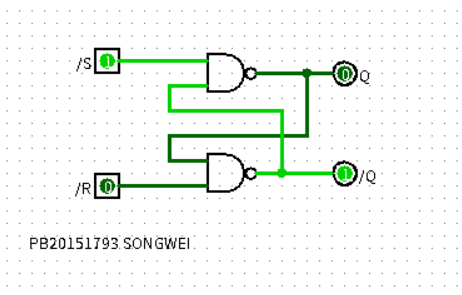
6. 搭建简单时序逻辑电路

计数器：



【实验练习】

题目 1.在 Logisim 中用与非门搭建 SR 锁存器，画出电路图，并分析其行为特性，列出电路在不同输入时的状态。



此时S,R均为低电平有效，当R为0时，Q置0；S为0时，Q置1；S,R都为0时，为未知状态。

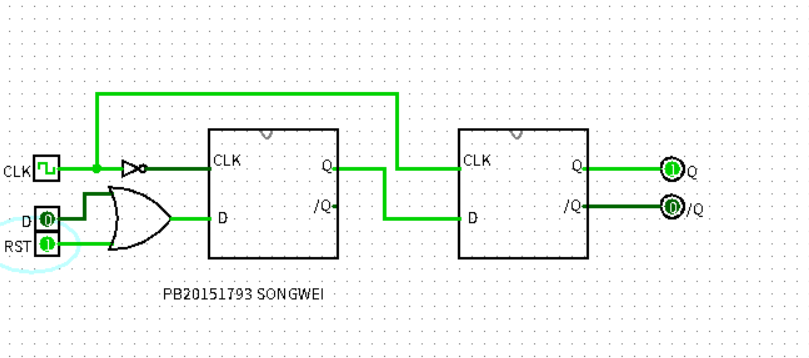
（1）S=0,R=1;Q=1,/Q=0;

（2）S=1,R=0;Q=0,/Q=1;

（3）S=1,R=1;Q,/Q保持上一状态不变；

（4）S=0,R=0;Q,/Q均为0，定义为未知状态。

题目 2. 在 Logisim 中搭建一个支持同步置位功能的 D 触发器，画出其电路图，并编写对应的 Verilog 代码。



Verilog代码如下：

**module function1(**

**input clk,rst,d,**

**output reg q);**

**always@(posedge clk)**

**begin**

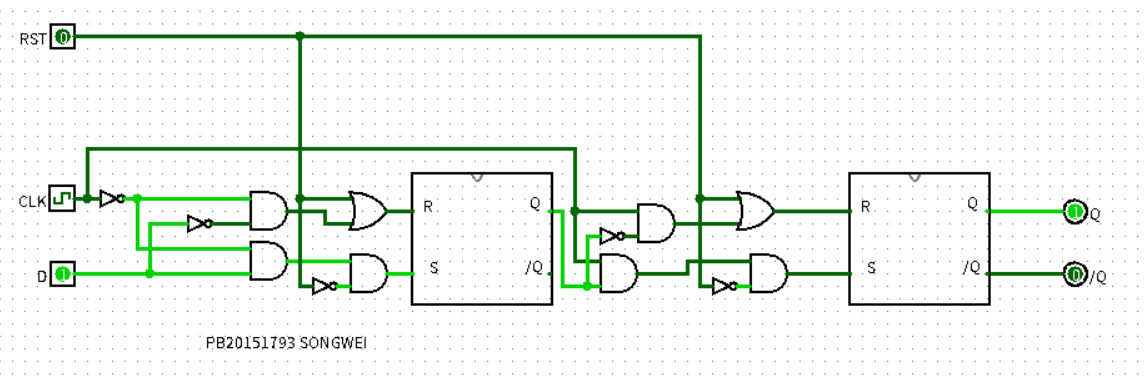
**if(rst==1) q <= 1’b1;**

**else q <= d;**

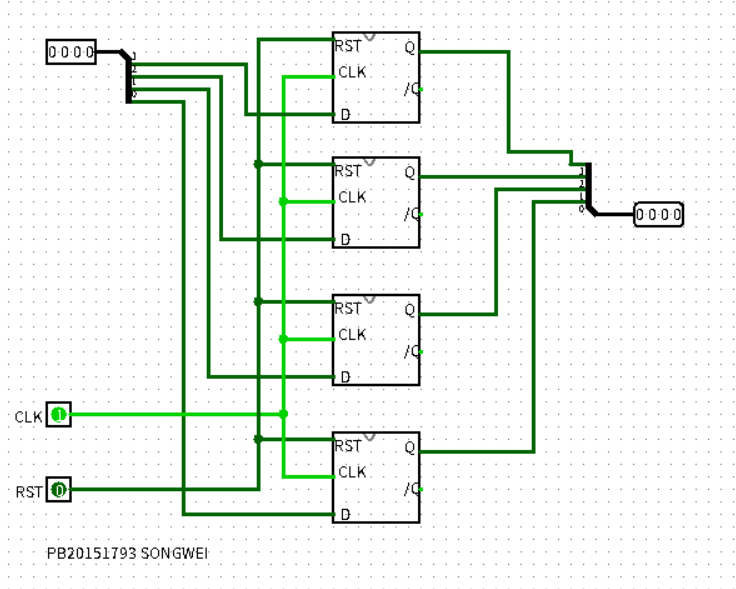
**end**

**endmodule**

题目 3. 在 Logisim 中搭建一个带有异步复位功能的 D 触发器，画出其完整电路图，并进一步调用该触发器设计一个从 0~15 循环计数的 4bit 计数器（可使用 Logisim 中的加法器模块，也可自行设计计数器），写出计数器的 Verilog 代码。

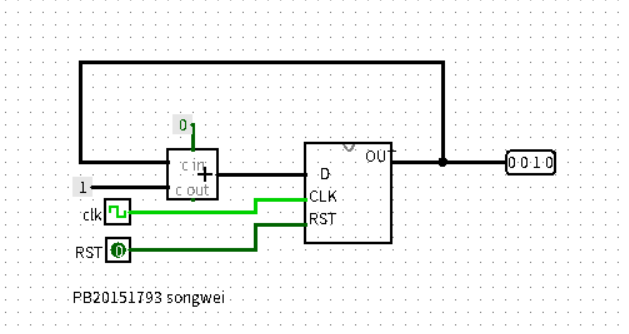


4位寄存器（用异步D触发器搭建）如下：



将其封装，再搭建计数器。

计数器如下：



计数器verilog代码如下：

**module function2(**

**input CLK,RST,**

**output reg [3:0] CNT);**

**always@(posedge CLK or posedge RST)**

**begin**

**if(RST==1)**

**CNT <= 4’b0;**

**else CNT <= CNT + 4’b1;**

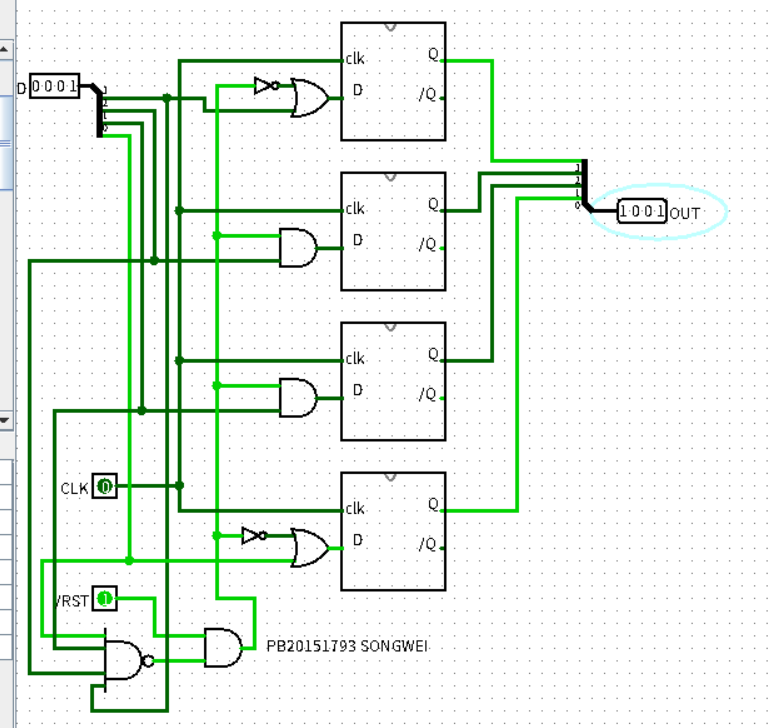
**end**

**endmodule**

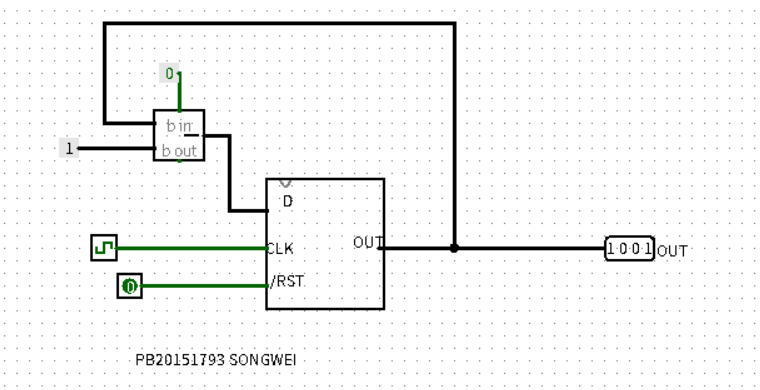
题目 4. 在 Logisim 中搭建一个 9~0 循环递减的计数器，复位值为 9，每个周期减一（可使用 Logisim 中的减法器模块，也可自行设计计数器），画出电路图，进行正确性测试，并写出其对应的 Verilog 代码。

电路图如下：

寄存器：



9~0循环递减计数器：



Verilog代码如下：

**module function3(**

**input CLK,RST,**

**output reg [3:0] CNT);**

**always@(posedge CLK)**

**begin**

**if(RST==0)**

**CNT <= 4’b1001;**

**else if(CNT==4’b0)**

**CNT <= 4’b1001;**

**else**

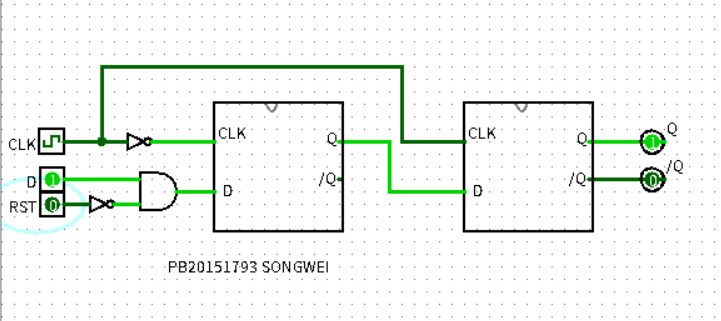
**CNT <= CNT - 4’b1;**

**end**

**endmodule**

题目 5.手册中给出的示例电路的复位信号都是低电平有效，如要使 复位信号高电平有效，应如何实现？试用 Logisim 画出一个示例电路， 并编写 Verilog 代码。

如下为同步复位D触发器，且复位信号（RST）高电平有效。



Verilog代码如下：

**module function4(**

**input clk,rst,d,**

**output reg q);**

**always@(posedge clk)**

**begin**

**if(rst==1) q <= 1’b0;**

**else q <= d;**

**end**

**endmodule**

【总结与思考】

*通过本次实验，初次进行了时序逻辑电路的搭建，并且学习了verilog搭建时序逻辑的语法。*

*本次难度中等，较前几次难度更大。*

*无特别建议。*