**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目: Verilog 硬件描述语言

学生姓名：\_\_宋玮\_\_\_\_\_\_\_\_

学生学号：PB20151793\_\_\_\_

完成日期：\_2021.11.11\_\_\_

计算机实验教学中心制

【实验题目】

Verilog 硬件描述语言

【实验目的】

掌握 Verilog HDL 常用语法

能够熟练阅读并理解 Verilog 代码

能够设计较复杂的数字功能电路

能够将 Verilog 代码与实际硬件相对应

【实验环境】

vlab.ustc.edu.cn

verilog.ustc.edu.cn

【实验练习】

题目1：阅读以下 Verilog 代码，找出其语法错误，并进行修改。

改正如下：

module test(

input a,

output reg b);

always@(\*)

begin

if(a) b = 1’b0;

else b = 1’b1;

end

endmodule

题目 2. 阅读以下 Verilog 代码，将空白部分补充完整

module test(

input [4:0] a,

output reg [4:0] b);

always@(\*)

b = a;

endmodule

题目 3. 阅读以下 Verilog 代码，写出当 a = 8’b0011\_0011, b = 8’b1111\_0000 时各输出信号的值。

module test(

input [7:0] a,b,

output [7:0] c,d,e,f,g,h,i,j,k );

assign c = a & b;

assign d = a | b;

assign e = a ^ b;

assign f = ~a;

assign g = {a[3:0],b[3:0]};

assign h = a >> 3;

assign i = &b;

assign j = (a > b) ? a : b;

assign k = a - b;

endmodule

各信号输出值为：

c=8’b0011\_0000;

d=8’b1111\_0011;

e=8’b1100\_0011;

f=8’b1100\_1100;

g=8’b0011\_0000;

h=8’b0000\_0110;

i=8’b0000\_0000;

j=8’b1111\_0000;

k=8’b0100\_0011;

题目4. 阅读以下 Verilog 代码，找出代码中的语法错误，并修改。

修改如下：

module sub\_test(

input a,b,

output wire c);

assign c = (a<b)? a : b;

endmodule

module test(

input a,b,c,

output o);

wire temp;

sub\_test function1(.a(a),.b(b),.c(temp));

sub\_test function2(temp,c,o);

endmodule

题目 5. 阅读以下 Verilog 代码，找出其中的语法错误，说明错误原因,并进行修改。

module sub\_test(

input a,b);

output o;

assign o = a + b;

endmodule

module test(

input a,b,

output c);

//always@(\*)

//begin

//sub\_test sub\_test(a,b,c);

//end

这四句改为sub\_test sub\_test(a,b,c);原因： c是wire类型，不能在always语句里被赋值。

endmodule

【总结与思考】

*通过本次实验，学习了verilog的常用语法。但是在这个过程中，碰到了很多模棱两可的问题，最后询问同学也一一解决了。本次实验任务量不大，难度也不是很大。*