**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA 原理及 Vivado 综合

学生姓名：\_宋玮\_\_\_\_\_\_\_\_\_\_\_\_\_\_

学生学号：\_PB20151793\_\_\_\_\_\_\_\_

完成日期：\_2021.11.20\_\_\_\_\_\_\_\_

计算机实验教学中心制

【实验题目】

FPGA 原理及 Vivado 综合

【实验目的】

了解 FPGA 工作原理

了解 Verilog 文件和约束文件在 FPGA 开发中的作用

学会使用 Vivado 进行 FPGA 开发的完整流程

【实验环境】

VLAB 平台： vlab.ustc.edu.cn

FPGAOL 实验平台：fpgaol.ustc.edu.cn

Logisim

Vivado 工具

【实验练习】

**题目 1.** 请通过实验中给出的可编程逻辑单元、交叉互连矩阵及IOB电路图，实现如下代码，并将其输出到引脚 B 上。给出配置数据和电路截图。

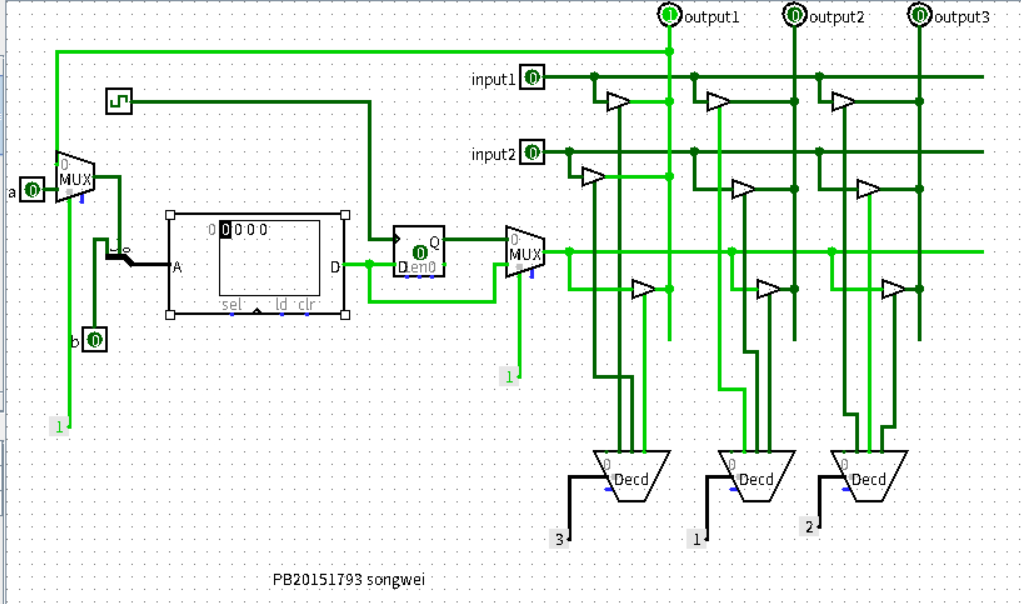
module test(input clk,output reg a);

always@(posedge clk)

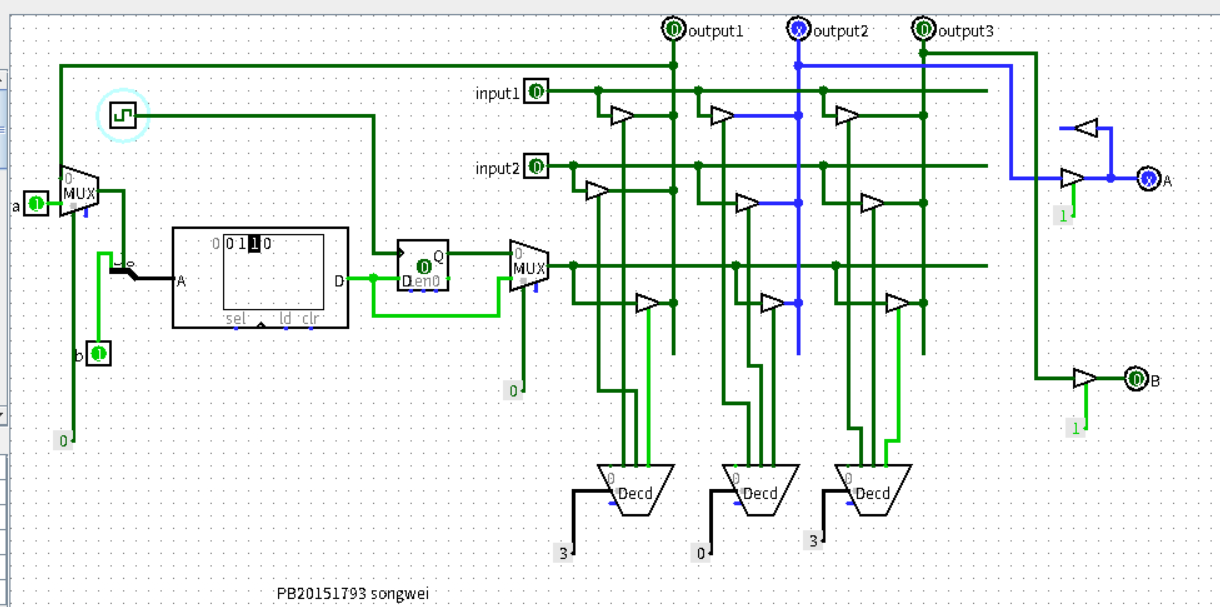
a <= a ^ 1’b1;

endmodule

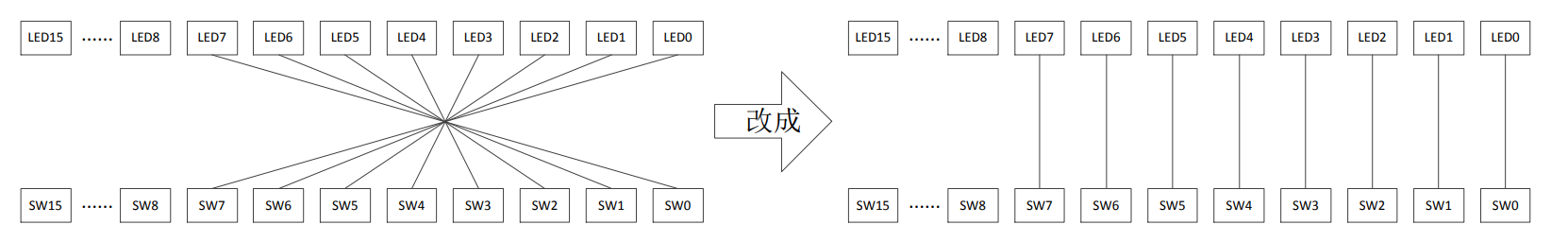
可编程逻辑单元、交叉互连矩阵如下：



代码实现电路图如下：(输出至管脚B)



**题目 2.** 实验中的开关和 LED 的对应关系是相反的，即最左侧的开关控制最右侧的 LED，最右侧的开关控制最左侧的 LED，请修改实验中给出的 XDC 文件，使开关和 LED 一一对应（最左侧的开关控制最左侧的 LED），如下图所示。



XDC文件修改如下：

set\_property -dict { PACKAGE\_PIN E3 IOSTANDARD LVCMOS33 } [get\_ports {clk}];

set\_property -dict { PACKAGE\_PIN B18 IOSTANDARD LVCMOS33 } [get\_ports {rst}];

set\_property -dict { PACKAGE\_PIN C17 IOSTANDARD LVCMOS33 } [get\_ports {led[0]}];

set\_property -dict { PACKAGE\_PIN D18 IOSTANDARD LVCMOS33 } [get\_ports {led[1]}];

set\_property -dict { PACKAGE\_PIN E18 IOSTANDARD LVCMOS33 } [get\_ports {led[2]}];

set\_property -dict { PACKAGE\_PIN G17 IOSTANDARD LVCMOS33 } [get\_ports {led[3]}];

set\_property -dict { PACKAGE\_PIN D17 IOSTANDARD LVCMOS33 } [get\_ports {led[4]}];

set\_property -dict { PACKAGE\_PIN E17 IOSTANDARD LVCMOS33 } [get\_ports {led[5]}];

set\_property -dict { PACKAGE\_PIN F18 IOSTANDARD LVCMOS33 } [get\_ports {led[6]}];

set\_property -dict { PACKAGE\_PIN G18 IOSTANDARD LVCMOS33 } [get\_ports {led[7]}];

set\_property -dict { PACKAGE\_PIN H16 IOSTANDARD LVCMOS33 } [get\_ports {sw[0]}];

set\_property -dict { PACKAGE\_PIN G13 IOSTANDARD LVCMOS33 } [get\_ports {sw[1]}];

set\_property -dict { PACKAGE\_PIN F13 IOSTANDARD LVCMOS33 } [get\_ports {sw[2]}];

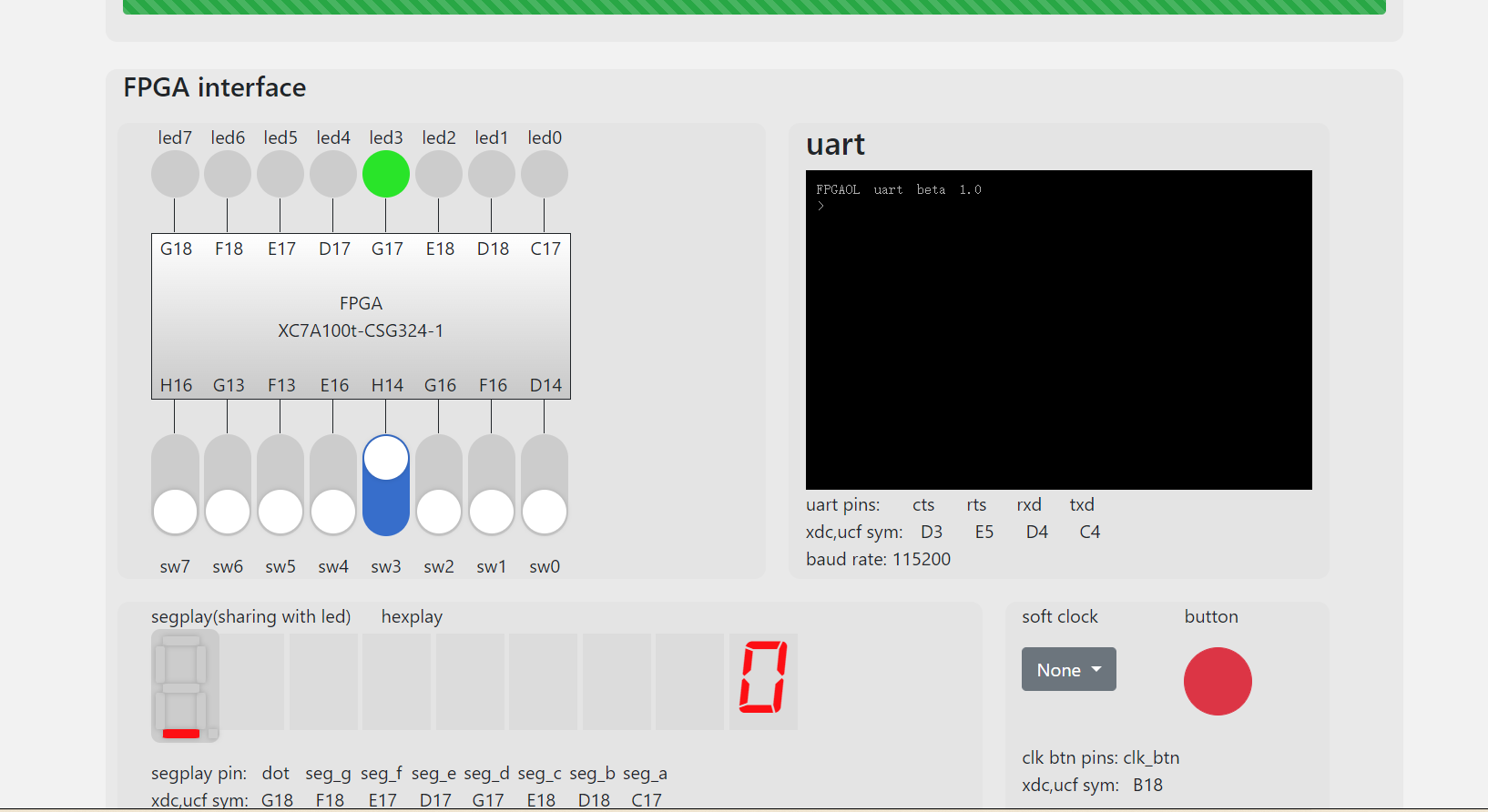
set\_property -dict { PACKAGE\_PIN E16 IOSTANDARD LVCMOS33 } [get\_ports {sw[3]}];

set\_property -dict { PACKAGE\_PIN H14 IOSTANDARD LVCMOS33 } [get\_ports {sw[4]}];

set\_property -dict { PACKAGE\_PIN G16 IOSTANDARD LVCMOS33 } [get\_ports {sw[5]}];

set\_property -dict { PACKAGE\_PIN F16 IOSTANDARD LVCMOS33 } [get\_ports {sw[6]}];

set\_property -dict { PACKAGE\_PIN D14 IOSTANDARD LVCMOS33 } [get\_ports {sw[7]}];



**题目 3.** 设计一个 30 位计数器，每个时钟周期加 1，用右侧的 8 个 LED 表示计数器的高 8 位，观察实际运行结果。将该计数器改成 32 位，将高 8 位输出到 LED，与前面的运行结果进行对比，分析结果及时钟信号在其中所起的作用。

**Verilog代码**：

module lab6\_2(

input clk,

input rst,

output reg [7:0] led

);

reg [29:0] count;

always@(posedge clk or posedge rst)

begin

if(rst) begin

count<=2'b000000000000000000000000000000;

led<=2'b00000000;

end

else

begin

count<=count+1;

led<={count[29],count[28],count[27],count[26],count[25],count[24],count[23],count[22]};

end

end

endmodule

约束文件：

set\_property -dict { PACKAGE\_PIN E3 IOSTANDARD LVCMOS33 } [get\_ports {clk}];

set\_property -dict { PACKAGE\_PIN B18 IOSTANDARD LVCMOS33 } [get\_ports {rst}];

set\_property -dict { PACKAGE\_PIN C17 IOSTANDARD LVCMOS33 } [get\_ports {led[0]}];

set\_property -dict { PACKAGE\_PIN D18 IOSTANDARD LVCMOS33 } [get\_ports {led[1]}];

set\_property -dict { PACKAGE\_PIN E18 IOSTANDARD LVCMOS33 } [get\_ports {led[2]}];

set\_property -dict { PACKAGE\_PIN G17 IOSTANDARD LVCMOS33 } [get\_ports {led[3]}];

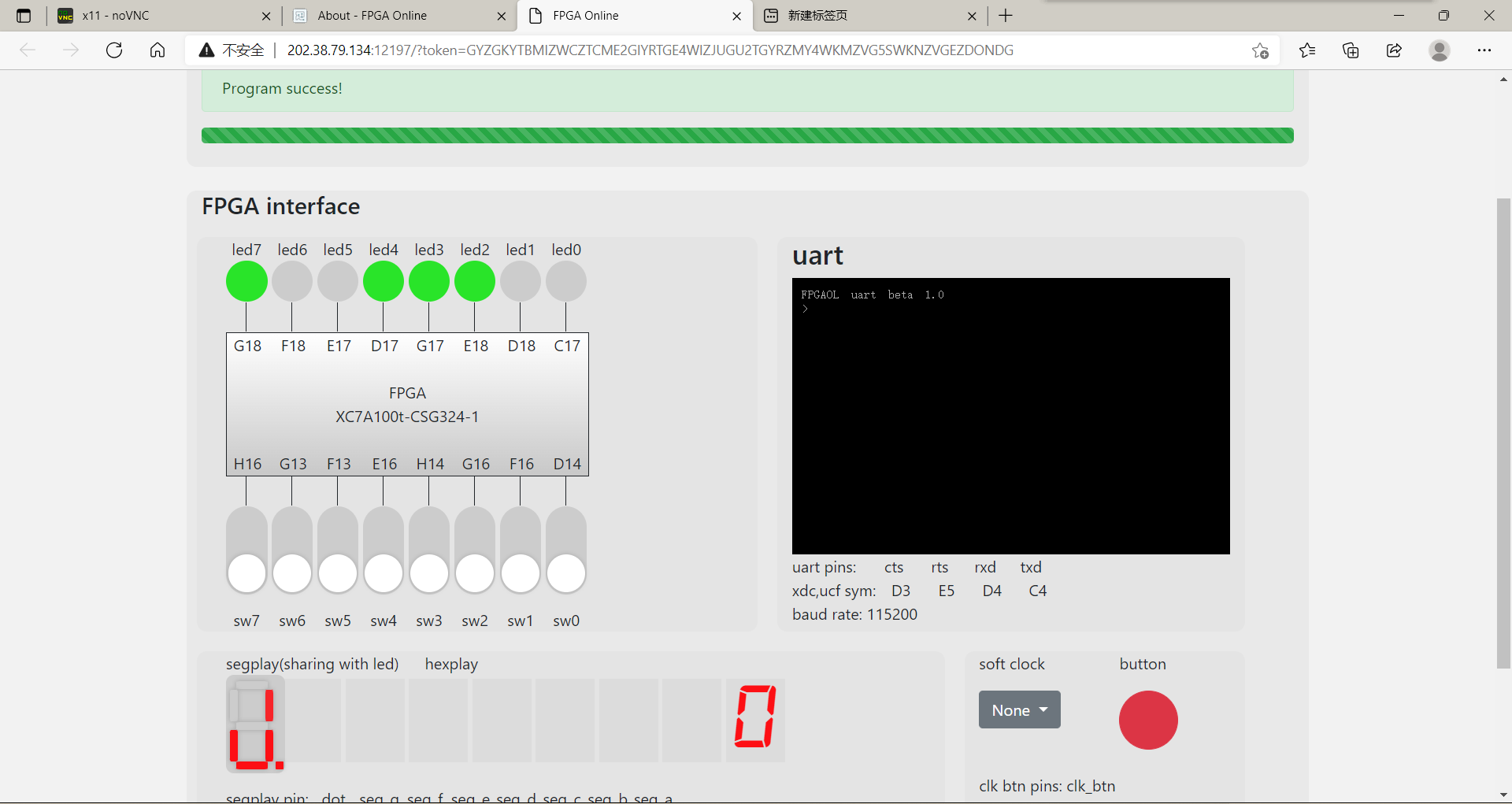
set\_property -dict { PACKAGE\_PIN D17 IOSTANDARD LVCMOS33 } [get\_ports {led[4]}];

set\_property -dict { PACKAGE\_PIN E17 IOSTANDARD LVCMOS33 } [get\_ports {led[5]}];

set\_property -dict { PACKAGE\_PIN F18 IOSTANDARD LVCMOS33 } [get\_ports {led[6]}];

set\_property -dict { PACKAGE\_PIN G18 IOSTANDARD LVCMOS33 } [get\_ports {led[7]}];

效果如下：



module lab6\_3(

input clk,

input rst,

output reg [7:0] led

);

reg [31:0] count;

always@(posedge clk or posedge rst)

begin

if(rst) begin

count<=2'b00000000000000000000000000000000;

led<=2'b00000000;

end

else

begin

count<=count+1;

led<={count[31],count[30],count[29],count[28],count[27],count[26],count[25],count[24]};

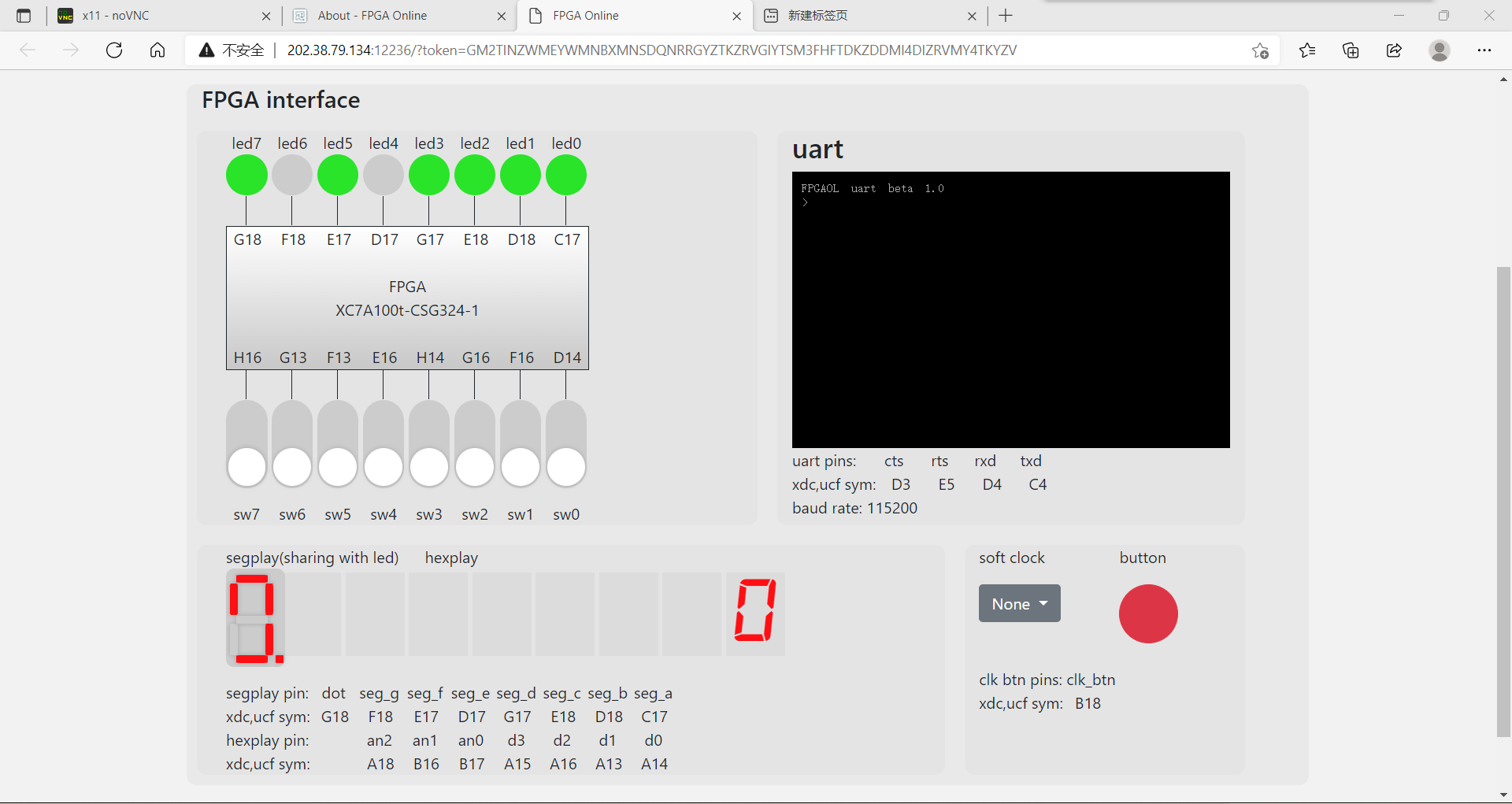
end

end

endmodule

约束文件同上；

效果如下：



【总结与思考】

*通过本次实验，了解了FPGA基本实现原理，并且通过在vivado仿真，在FPGA上实现一些简单功能。本次实验难度适中，题量适中，无特别建议。*