

15. Схемы на основе счетчиков с параллельным переносом.

Выявляют разряды триггеров, которые с последовательным импульсом = коэффициенту пересчета, должны перейти в состояние единицы. А на входы “Q” этих триггеров заводится обратная связь, с инверсного выхода старшего разряда. При поступлении последнего импульса счётчик обнуляется. (Конспект)

Ко всем разрядам такого счетчика информация о состоянии предыдущих разрядов поступает параллельно, также одновременно поступают к ним счетные (входные) импульсы. При этом переключающиеся разряды пере ходят в новые состояния одновременно. Переключение их в нужной последовательности обеспечивается логическими цепями, которые при поступлении входного импульса одни триггеры удерживают от переключения, а другим разрешают переключиться. Триггеры такого счетчика, кроме счетного, должны иметь информационные входы, на которые поступают разрешения или запреты с логических цепей. (Инет)

16. Регистры - предназначены для приема хранения и передачи информации, в процессе вычислительных операций. Регистр строят из триггеров, количество которых соответствует разрядности регистров.

Регистры

1. Параллельные 2.Последовательные 3.Последовательно-параллельные

1.1 Параллельные: Одновременно ко всем разрядам при подаче синхронного-импульса

2.2 Последовательные: Последний разряд за разрядом, имеет одно направление смещение, (равностное)

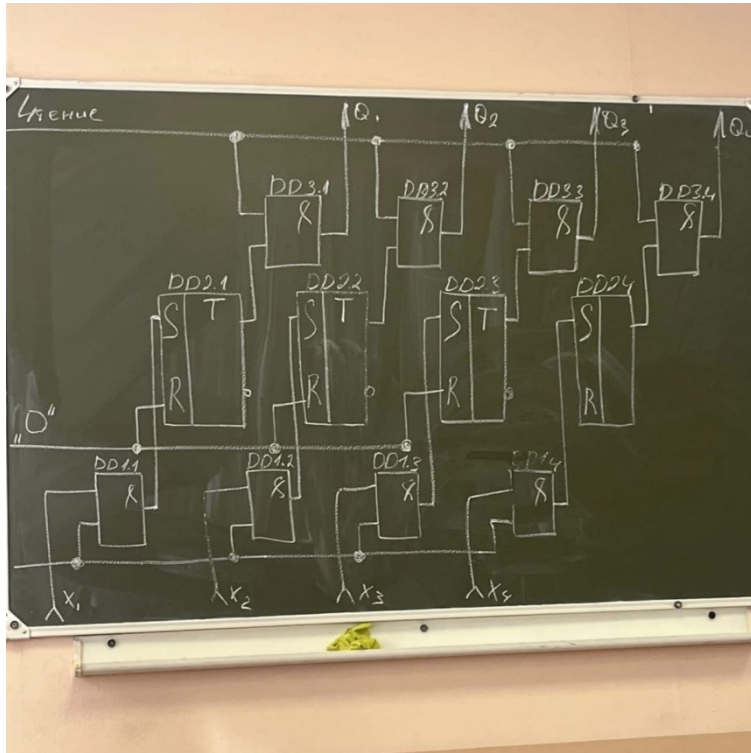
3.3. Последов. парал. или смешанном.

Регистр параллельного действия

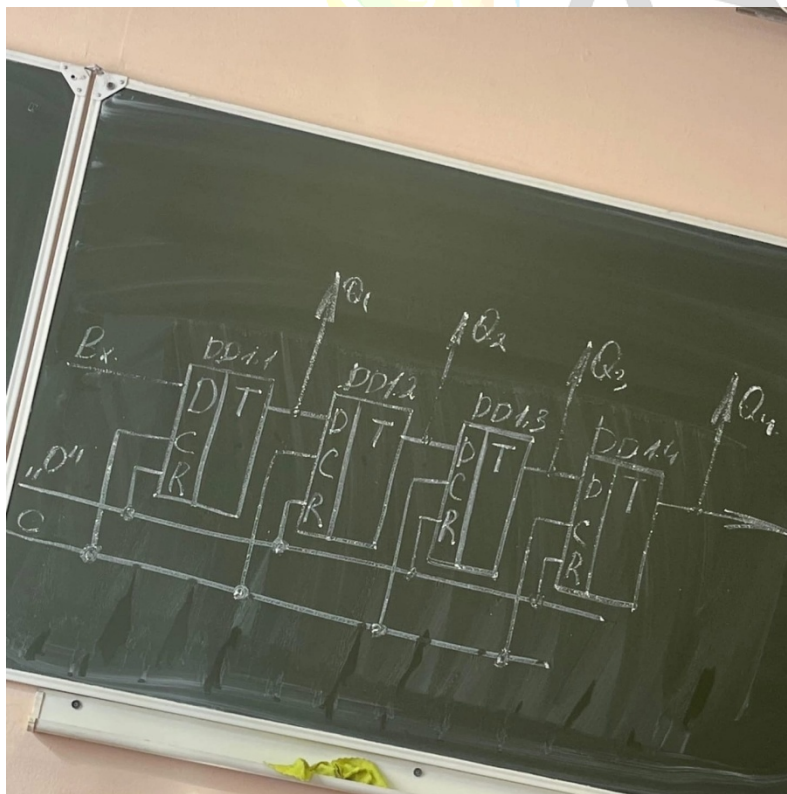
DD1.1-1.4вх

DD3.1-3.4вых

DD21-24-элементы памяти



Регистр последовательного действия
Схема



Реверсивные регистры

Для осуществления реверсивного режима, используется логическая схема и-или.

Схемы

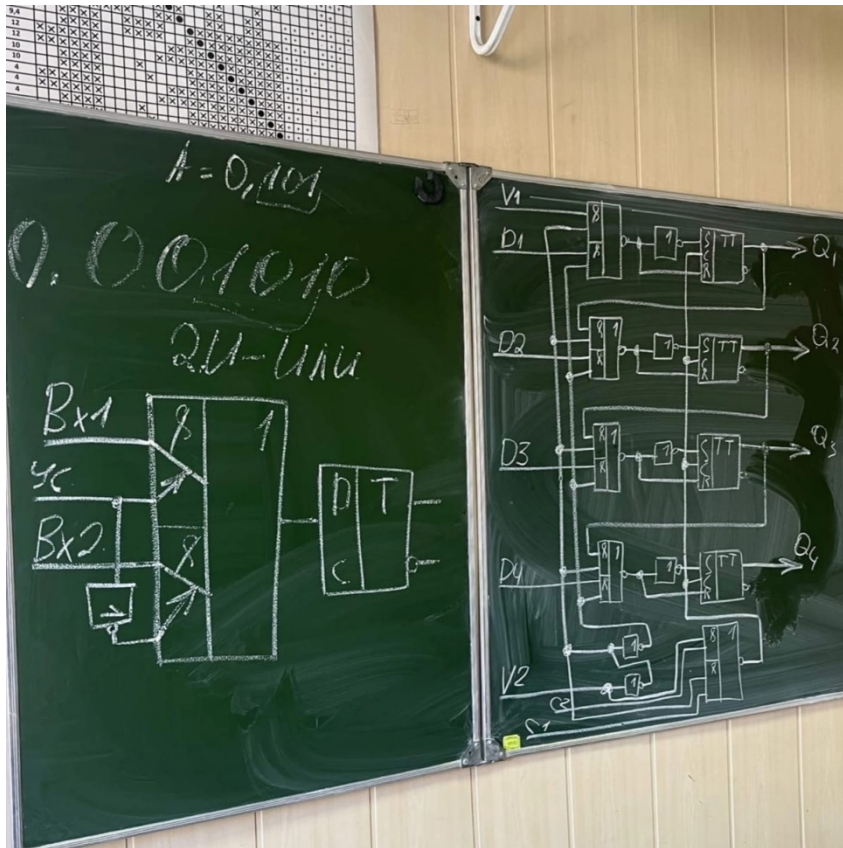


Схема заключается : $V_2=1$ (осуществляет параллельную запись, осущ. последовательный сдвиг от старшего разряда, к младшему).

$V_2=0$ осуществляет послед. ввод и сдвиг информации от младших разрядов к старшему $D_1D_2D_3D_4$ - инф. входы для парал. записи. V_1 - для послед. ввода информации. C_2 - для подачи синхроскоп импульса при параллельной записи. C_1 -для подачи синхро-импульсов при подаче синхро-импульсов при послед. сдвиге.

17/18. Дешифраторы и шифраторы

Дешифратор-Устройство, при подаче определённого кода на вход которого, на выходе возбуждается определённая соответствующие этому коду выходная шина.

Классификация дешифраторов.

По входом и выходом:

1. Дешифратор с прямыми выходами.
2. Дешифратор с парафазными входами и прямыми выходами.
3. Дешифратор с прямыми входами и инверсными выходами с наличием входа синхронизации.

По построению :

1. Одноступенчатые - количество разрядов дешифрируемого числа, не превышает количество входа логического элемента используемого для дешифрации.
2. Многоступенчатые- Количество разрядов дешифрируемого числа превышает количество входов логического элемента.

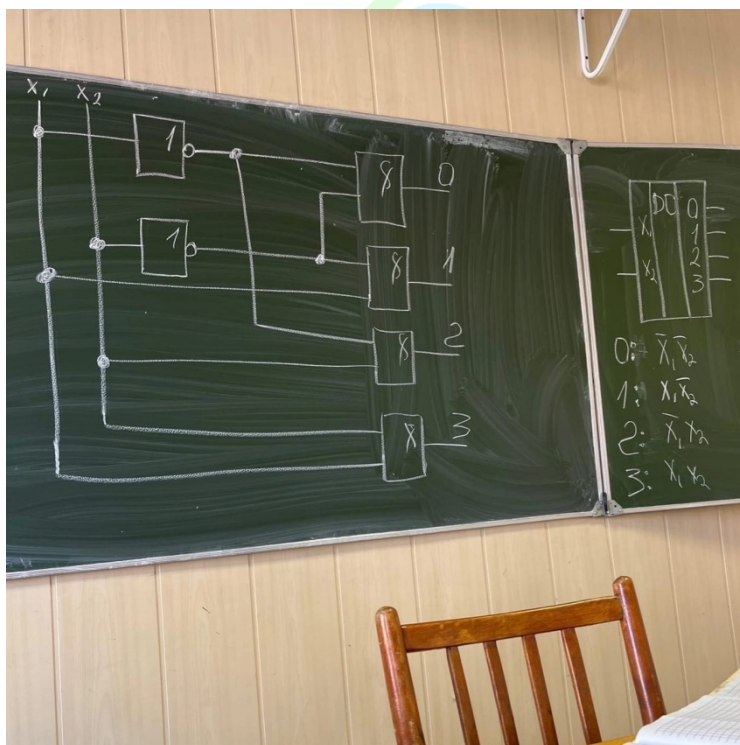
2.1 Прямоугольные «матричные»

2.2 Перомидальные

Синтез дешифратора

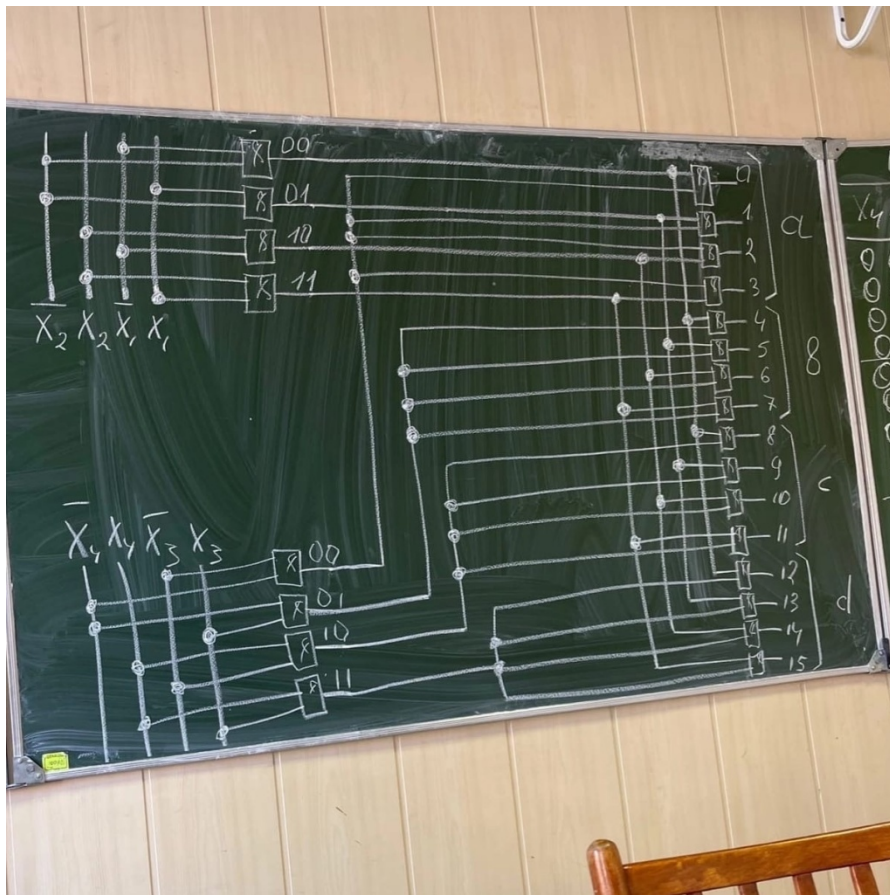
1. Постановка задачи.
2. Составление таблицы истинности
3. Построение схемы дешифратора

Схема



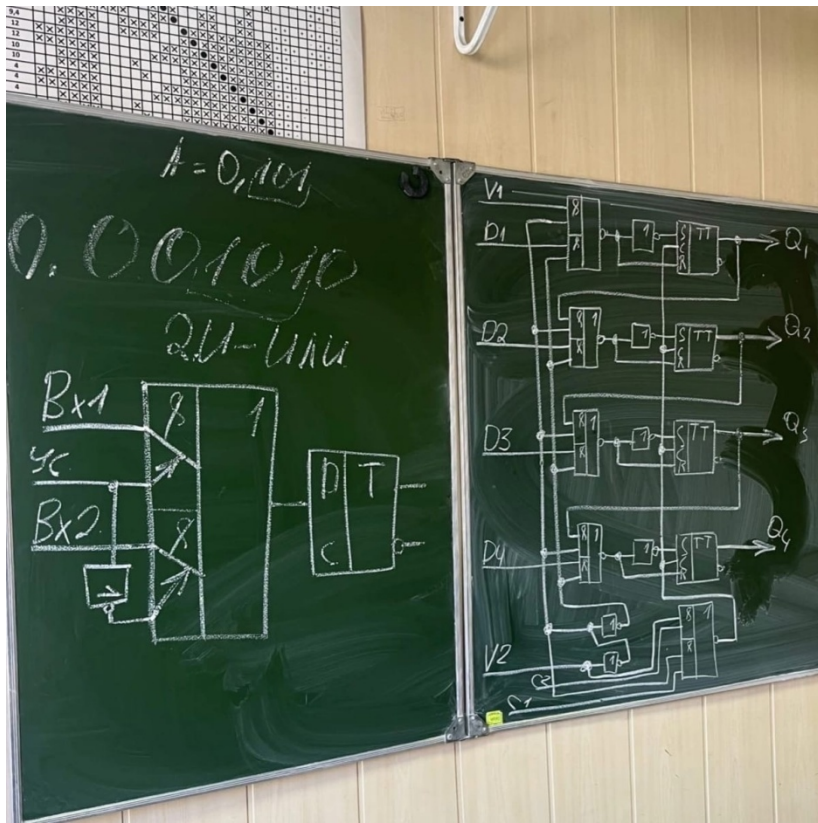
Прямоугольный дешифратор

Дешифруемое число разбивается на группы, чтобы количество разрядов соответствовало числу входов.



Пирамидальный дешифратор

Состоит из нескольких путей послед. Дешифрации.



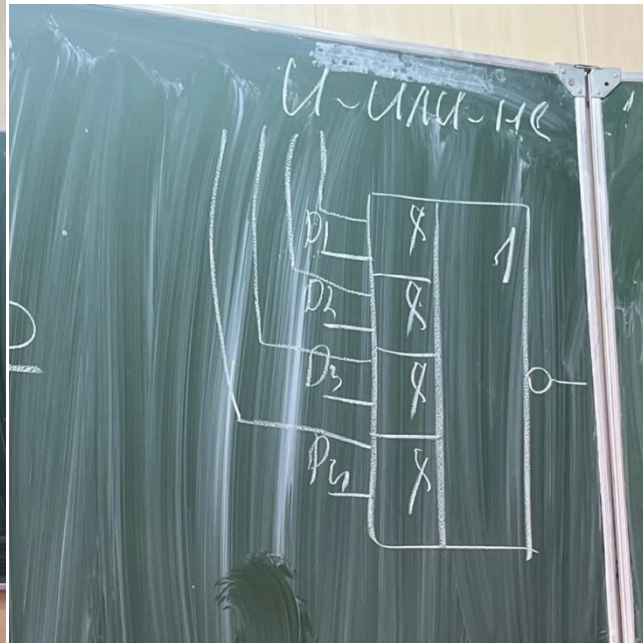
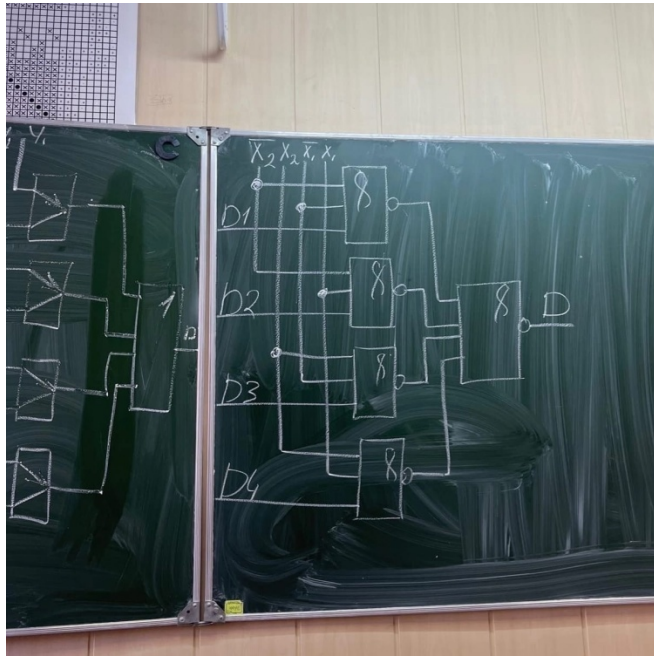
Шифратор-преобраз. 10-ичных чисел в 2-ый код.

Этапы синтеза

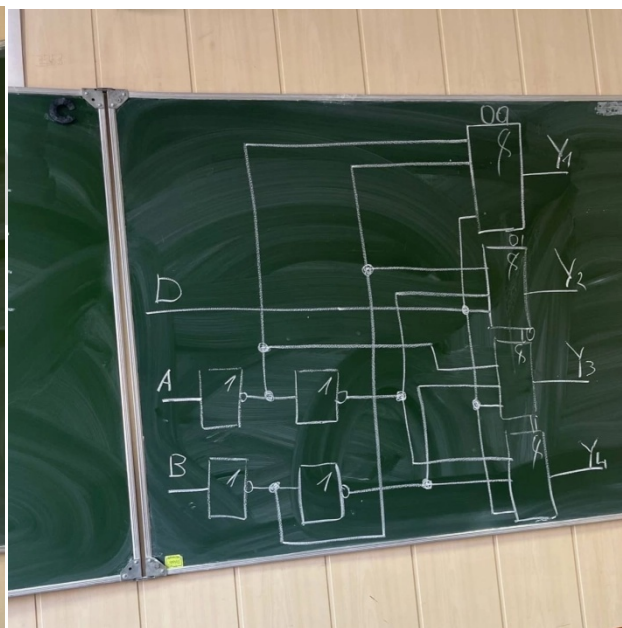
1. Постановка задачи
2. Составление таблицы истинности
3. Составление сднф
4. Построение схемы.

19/20 Мультиплексоры и Демультимплексоры

Мультиплексоры- устройство, в котором информация с одного входа, из нескольких передаётся на выход .



Демультимплексоры - выполняют функцию мультиплексора

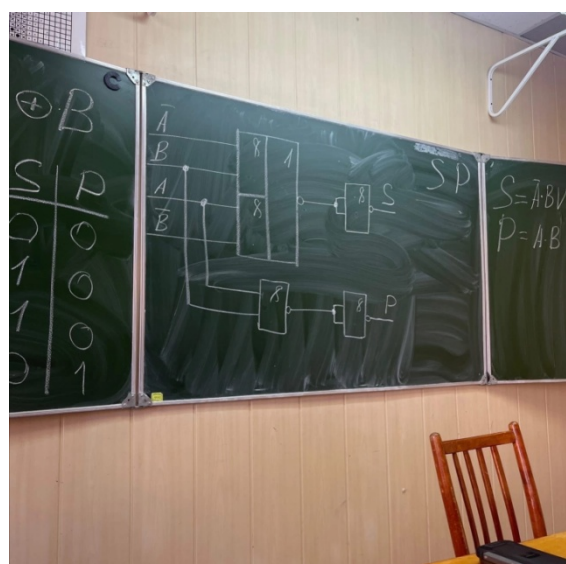
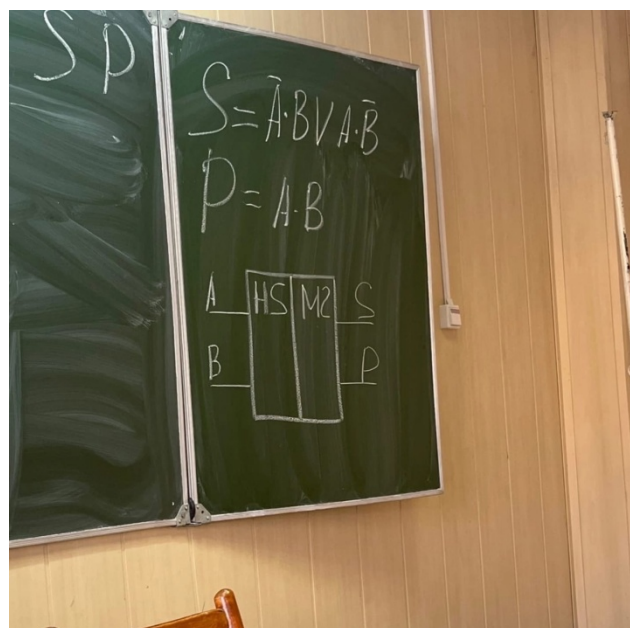


21. Сумматоры - узел АУ (ариф. логич. устройства) выполняют суммирование кодов

Схемы в которых происходит сложения двух одно-разрядных чисел, называется полу-сумматорами. Схемы в которых осуществляется сложения двух одно-разрядных чисел и третьего слагаемое называется сумматорами.

После операции сложения, формируется сигнал суммы и переноса.

Полусумматор



ASPOSE

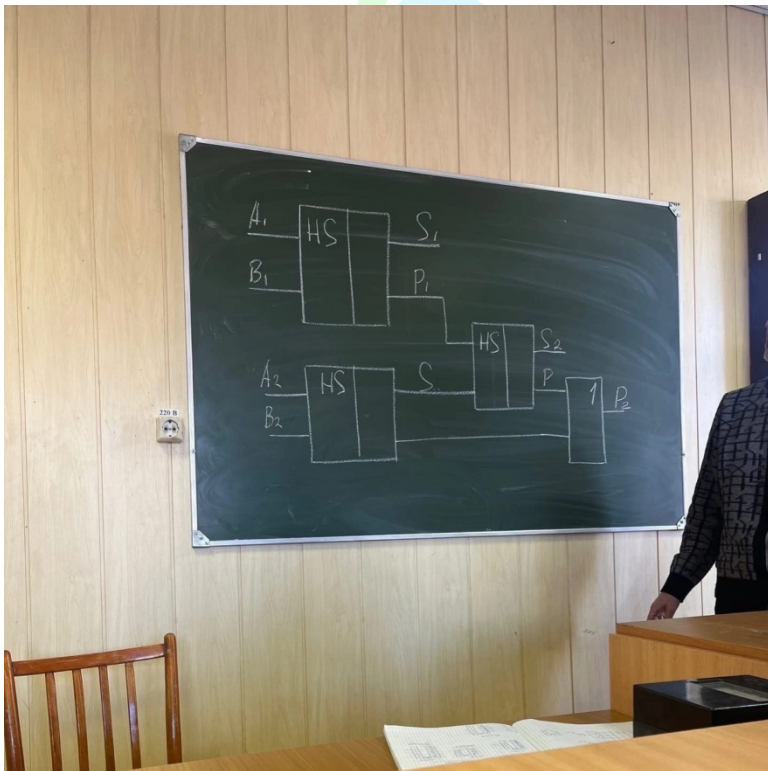
Your File Format APIs

Сумматор



A	B	P_{i-1}	S	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Сумматор из полусумматоров.



Сумматор на интегральной схеме.

