|  |  |
| --- | --- |
| tallinna tehnikaülikool | |
| Infotehnoloogia teaduskond | |
| [Instituudi nimetus] | |
|  | |
| [Ees- ja perenimi Üliõpilaskood] | |
| [LõpuTöö pealkiri] | |
| [Lõputöö liik: bakalaureusetöö või magistritöö] | |
| Juhendaja: | [Juhendaja nimi] |
|  | [Teaduskraad] |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

Autorideklaratsioon

Kinnitan, et olen koostanud antud lõputöö iseseisvalt ning seda ei ole kellegi teise poolt varem kaitsmisele esitatud. Kõik töö koostamisel kasutatud teiste autorite tööd, olulised seisukohad, kirjandusallikatest ja mujalt pärinevad andmed on töös viidatud.

Autor: [Ees- ja perenimi]

[pp.kk.aaaa]

Annotatsioon

[Annotatsiooni tekst]

Lõputöö on kirjutatud [mis keeles] keeles ning sisaldab teksti [lehekülgede arv töö põhiosas] leheküljel, [peatükkide arv] peatükki, [jooniste arv] joonist, [tabelite arv] tabelit.

Sisukord

[1 Sissejuhatus 4](#__RefHeading___Toc1484_1793302676)

[2 Lähteülesanne 5](#__RefHeading___Toc2317_1121256865)

[3 Põhjendatud väljundfunktsioonid 6](#__RefHeading___Toc2319_1121256865)

[4 Minimaalne espresso tulemus 8](#__RefHeading___Toc591_1378184852)

[5 VHDL programmi olulised ja kommenteeritud lõigud 9](#__RefHeading___Toc593_1378184852)

[6 Töös esinenud rasked kohad, probleemid 10](#__RefHeading___Toc606_1378184852)

[7 Kokkuvõte 11](#__RefHeading___Toc1488_1793302676)

[8 Kasutatud kirjandus 12](#__RefHeading___Toc608_1378184852)

[9 Lisa – VHDL kood 13](#__RefHeading___Toc610_1378184852)

# 1 Sissejuhatus

Ülesandeks on nutikas süsteem, millele tuleb luua minimaalne juhtloogika VHDL keeles. Ülesandes on antud sisendid ning väljundid, kuid väljundfunktsioon tuleb meeskondadel endal koostada lähtudes ülesande tingimustest

# 2 Lähteülesanne

SIIA COPY-PASTE SELLEST ÜLESANDE TEKSTIST MIS MAILILE SAATIS

# 3 Põhjendatud väljundfunktsioonid

SISENDID  
x1 -veetaseme andur -> 0 või 1 -> madal või kõrge  
x2 -vee temp andur -> 0 või 1 -> madal või kõrge  
x3 -joogitüübi kõrgem bit   
x4 -joogitüübi madalam bit

JOOGITÜÜBID  
00 - kuum vesi  
01 - must kohv  
10 – piimakohv

VÄLJUNDID  
y1 – küttekeha  
y2 – veekraan  
y3 – piimakraan

Kõigil kolmel väljundil on kaks olekut 0 või 1 ehk, kas kraan kinni või lahti.  
Kui joogi tüübiks on valitud kuum vesi, mille kood on 00 siis väljundid peavad olema  
y1 = 1 // meil on vaja vesi kuumaks ajada  
y2 = 1 // et küttekeha saaks sisse lülitada peab meil esmalt vesi tagatud olema  
y3 = 0 // kuna kasutaja soovis kuuma vett siis piima talle ei anna  
Kui joogi tüübiks on valitud must kohv, mille kood on 01 siis väljundid peavad olema y1 = 1 // kohvi jaoks on vaja soovitatavalt kuuma vett  
y2 = 1 // veekraan lahti  
y3 = 0 // kuna kasutaja soovis musta kohvi siis piima kraan jääb kinni  
NB! kohvi kohta polnud andmeid ja selle tõttu ei kajastu see siin ka

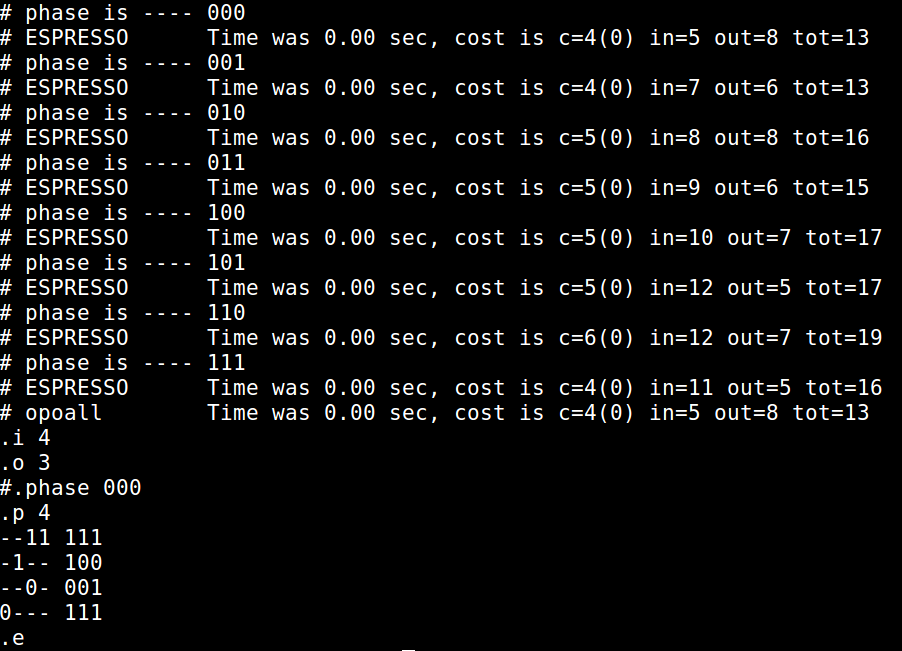
Kui joogi tüübiks on valitud piimakohv, mille kood on 10 siis väljundid peavad olema  
y1 = 1 // küttekeha sisse, et kuuma vett saada  
y2 = 1 // veekraan lahti  
y3 = 1 // kuna kasutaja soovis piimakohvi siis piima kraan peab olema ka avatud

x1x2x3x4 y1y2y3  
0001 000   
0010 000  
0011 000   
0100 000 0101 000  
0110 000  
0111 000  
 Kõik need juhud kus x1 on 0 ehk veetaseme andur on madal on ka väljundid 0,kuna kuuma vett ega kohvi ei saa valmistada.   
------------------------------------------------------------------------------------------------------  
1000 110   
1001 110   
1010 111   
1011 000   
1100 010   
1101 010   
1110 011   
1111 000 // x3x4 on 11, selline joogi valik puudub, sellest tingitult väljundid 0

# 4 Minimaalne espresso tulemus

Valisime phase 0000, sest tundus parim lahendus

y1i = x3x4 + x2 + x1i  
y2i = x3x4 + x1i  
y3i = x3x4 + x1i + x3i



# 5 VHDL programmi olulised ja kommenteeritud lõigud

SIIA SIIS MINGID LÕIGUD

# 6 Töös esinenud rasked kohad, probleemid

VHDL osa on segane

# 7 Kokkuvõte

[Kokkuvõtte tekst]

# 8 Kasutatud kirjandus

<http://www.people.vcu.edu/~rhklenke/tutorials/vhdl/modules/m12_23/sld014.htm>  
<http://www.gmvhdl.com/textio.htm>  
<http://surf-vhdl.com/vhdl-syntax-web-course-surf-vhdl/vhdl-structural-modeling-style/>  
<http://www.asic-world.com/vhdl/tutorial.html>https://www.youtube.com/watch?annotation\_id=annotation\_3173389659&feature=iv&src\_vid=YQVRnyrdQxY&v=x5Yk2azRSg8

# 9 Lisa – VHDL kood