

# Sayısal Sistemler-H11CD2

## Ardışık Lojik Devre Tasarım Örnekleri

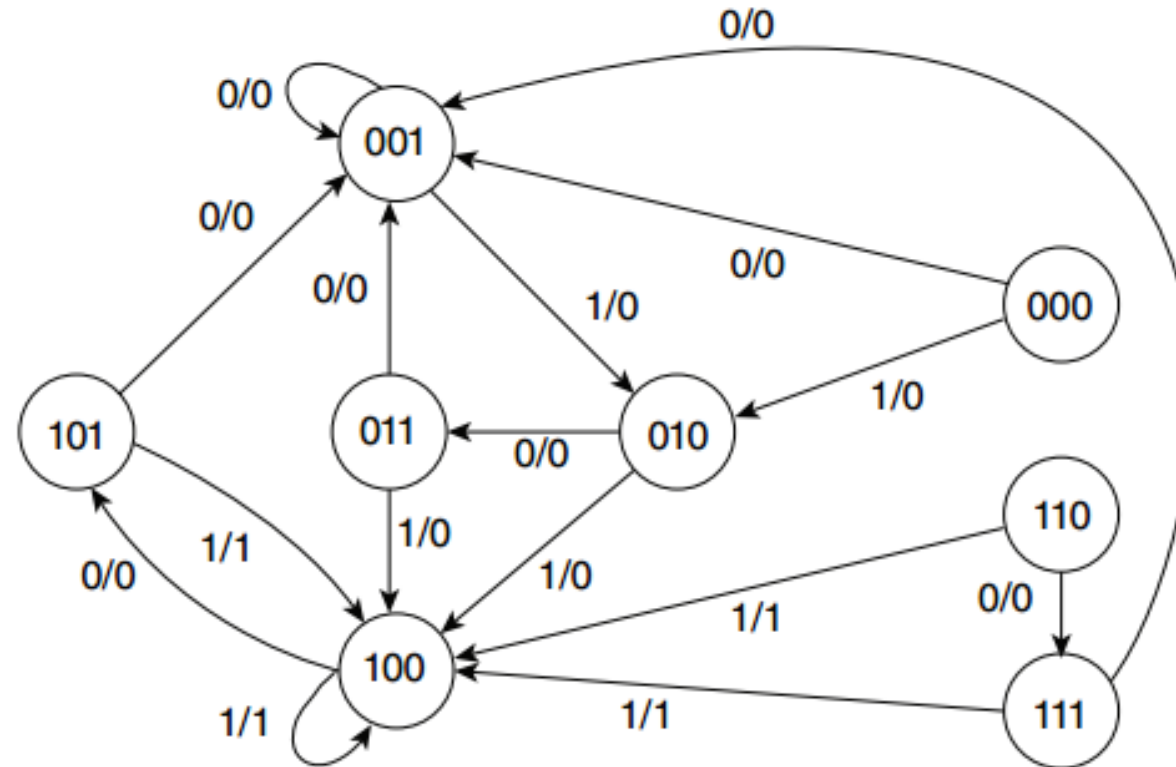
Dr. Meriç Çetin  
versiyon031220

# Ardışık Lojik Devre Tasarım Prosedürü

- Ardışık lojik devre tasarımı için şu yol takip edilmelidir:
- Devre davranışı tanımlanır. Bu, durum diyagramlarıyla belirlenir.
- Elde edilen değerler durum tablosuna taşınır.
- Gerekli flip-flop sayısı ve flip-flop türü belirlenir.
- Karnaugh veya diğer indirgeme metotları kullanılarak kombinasyonel devre çıkış ve flip-flop giriş denklemleri elde edilir.
- Elde edilen bu sonuçlara göre lojik devre tasarımı yapılır.

# Ardışık lojik devre tasarım örneği

- Aşağıda durum diyagramı verilen lojik devreyi R-S flip-floplarını kullanarak gerçekleştiriniz.

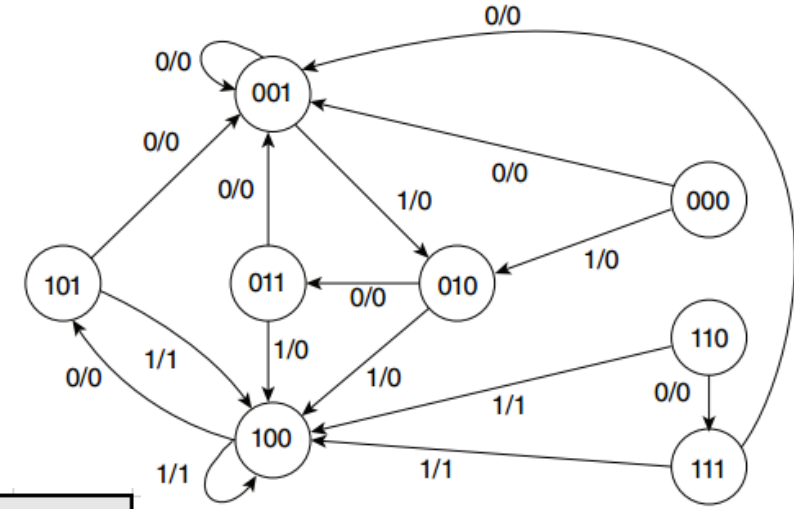


State diagram for the circuit

# Ardışık lojik devre tasarım örneği

- Tüm durumları düşünürsek aşağıdaki tablo üzerinden çözüme gidilir.

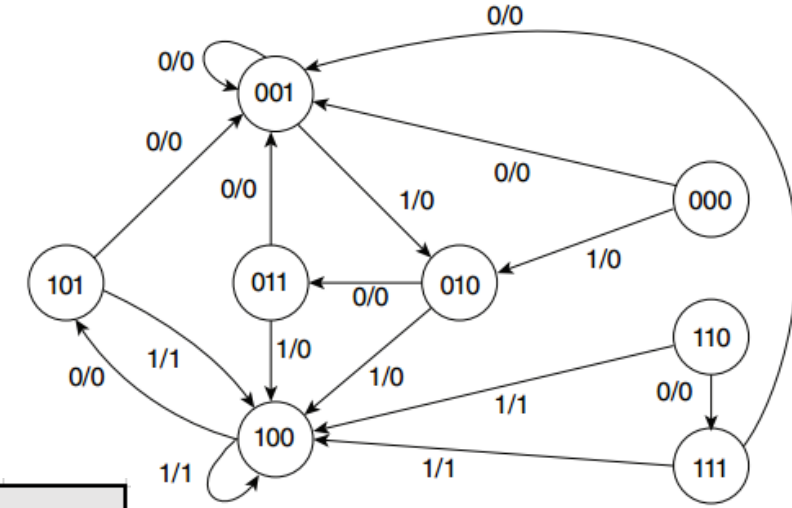
Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıkışları						
Önceki Durum			Giriş				Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	0	0	0	0	1							
0	0	0	1	0	1	0							
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							
1	1	0	0	1	1	1							
1	1	0	1	1	0	0							
1	1	1	0	0	0	1							
1	1	1	1	1	0	0							



State diagram for the circuit

# Ardışık lojik devre tasarım örneği

- Bu soruda bazı durumların kullanılmadığını/önemsiz olduğunu varsayalım. Bu soru için 000, 110 ve 111 koşulları kullanılsın. Durum tablosu şöyle olur.

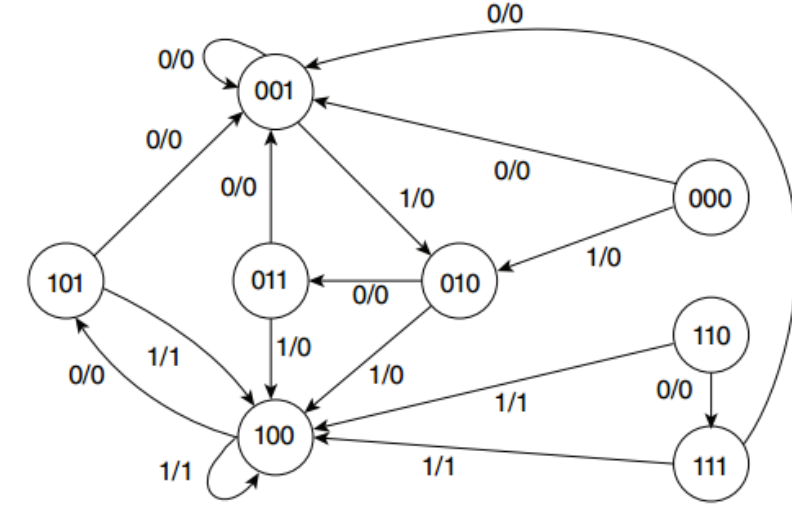


State diagram for the circuit

Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıkışları						
Önceki Durum		Giriş	Flip-Flop Girişleri						Çıkış				
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	0	0	0	0	1							
0	0	0	1	0	1	0							
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							
1	1	0	0	1	1	1							
1	1	0	1	1	0	0							
1	1	1	0	0	0	1							
1	1	1	1	1	0	0							

# Ardışık lojik devre tasarım örneği

- Bu soru için 000, 110 ve 111 koşulları kullanılsın.



State diagram for the circuit

Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıkışları						
Önceki Durum		Giriş	Flip-Flop Girişleri						Çıkış				
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	1	0	0	0	1							
0	0	1	1	0	1	0							
0	1	0	0	0	1	1							
0	1	0	1	1	0	0							
0	1	1	0	0	0	1							
0	1	1	1	1	0	0							
1	0	0	0	1	0	1							
1	0	0	1	1	0	0							
1	0	1	0	0	0	1							
1	0	1	1	1	0	0							

# Flip-flop durum geiş tabloları

Flip-flop excitation tables

$Q(t)$	$Q(t+1)$	S	R
0	0	0	$X$
0	1	1	0
1	0	0	1
1	1	$X$	0

(a)  $RS$

$Q(t)$	$Q(t+1)$	$J$	$K$
0	0	0	$X$
0	1	1	$X$
1	0	$X$	1
1	1	$X$	0

(b)  $JK$

$Q(t)$	$Q(t+1)$	$D$
0	0	0
0	1	1
1	0	0
1	1	1

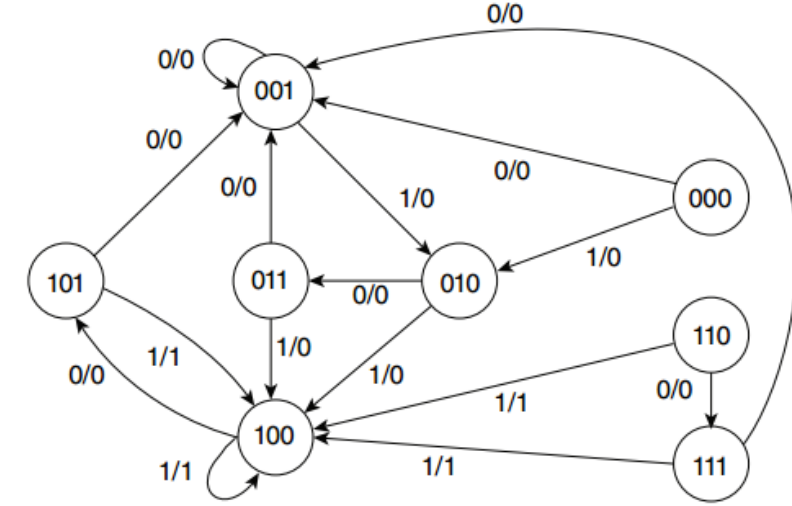
(c)  $D$

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

(d)  $T$

# Ardışık lojik devre tasarım örneği

- Bu soru için 000, 110 ve 111 koşulları kullanılsın.

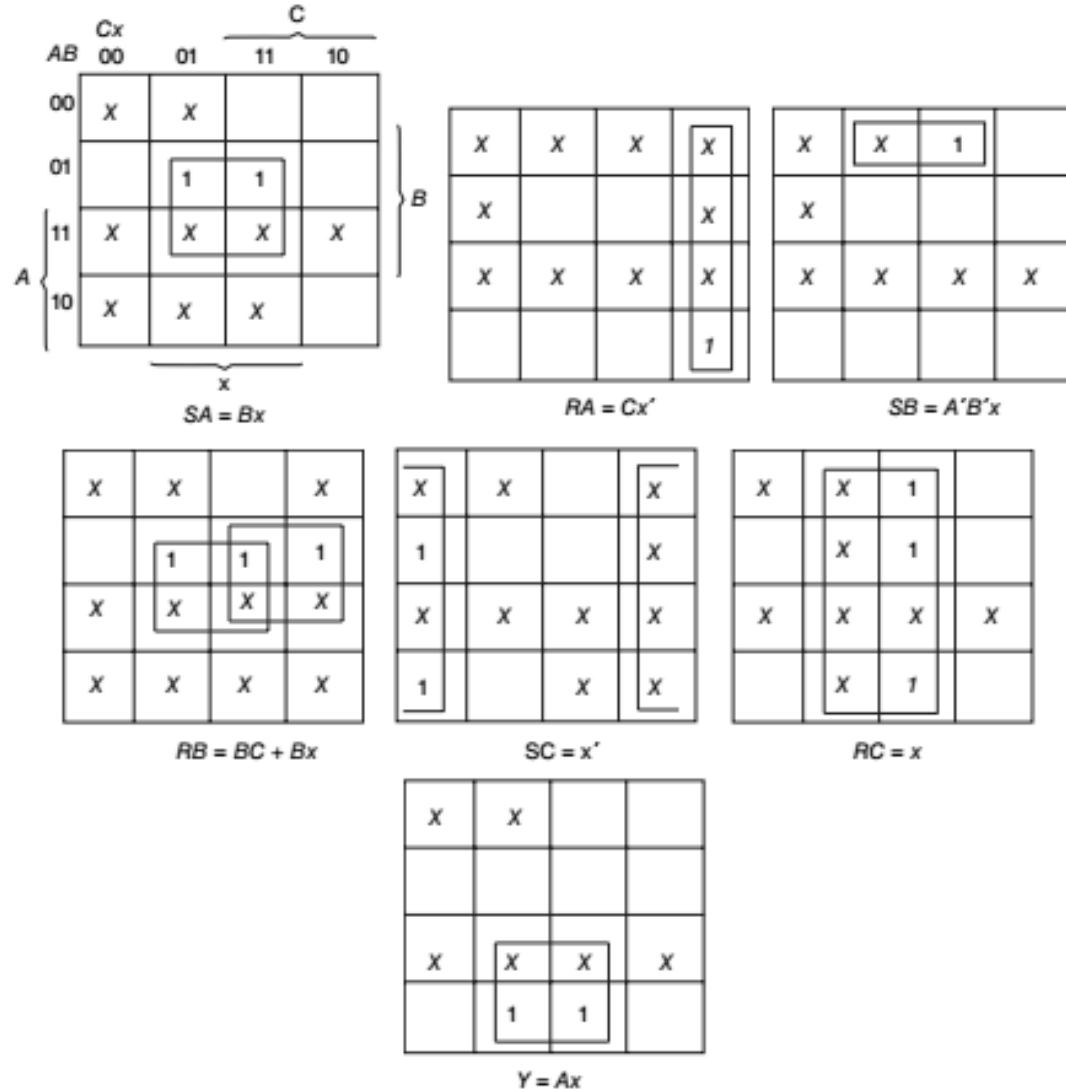


State diagram for the circuit

Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum			Giriş				Flip-Flop Girişleri						Çıkış
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	y
0	0	1	0	0	0	1	0	X	0	X	X	0	0
0	0	1	1	0	1	0	0	X	1	0	0	1	0
0	1	0	0	0	1	1	0	X	X	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	X	0
0	1	1	0	0	0	1	0	X	0	1	X	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	X	0	0	X	1	0	0
1	0	0	1	1	0	0	X	0	0	X	0	X	1
1	0	1	0	0	0	1	0	1	0	X	X	0	0
1	0	1	1	1	0	0	X	0	0	X	0	1	1

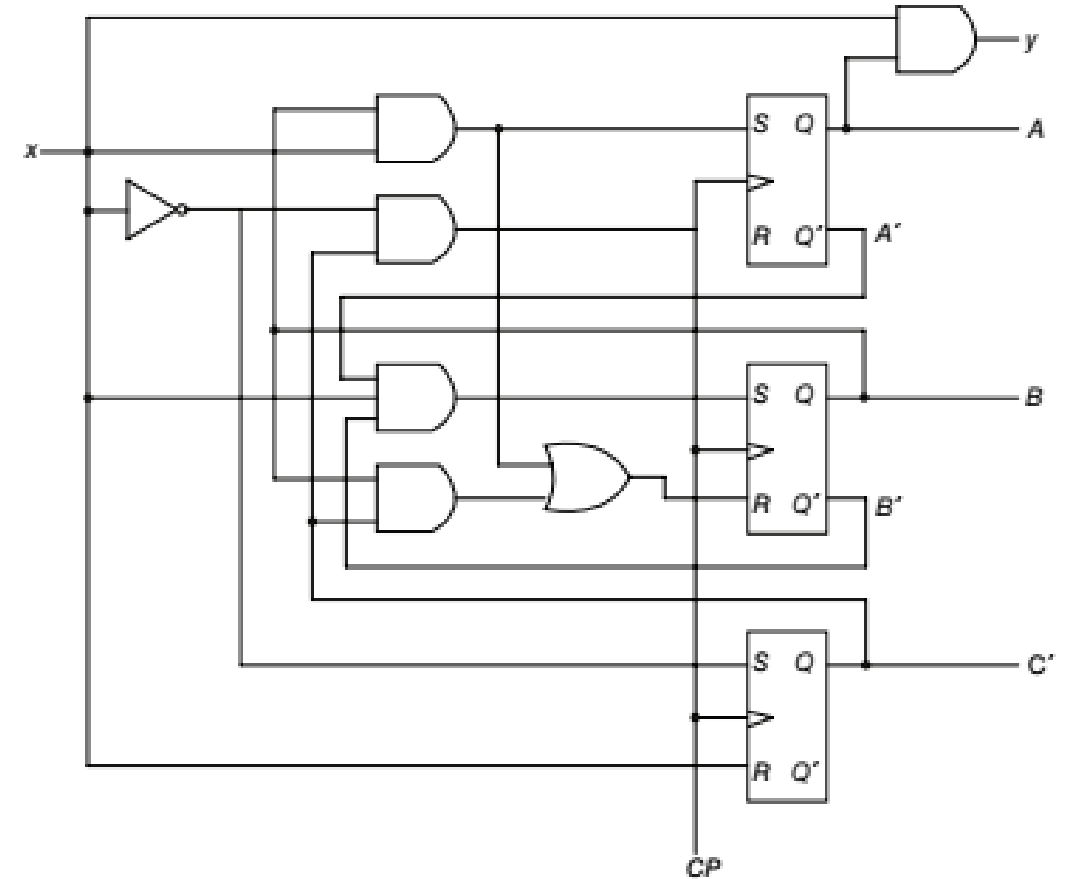
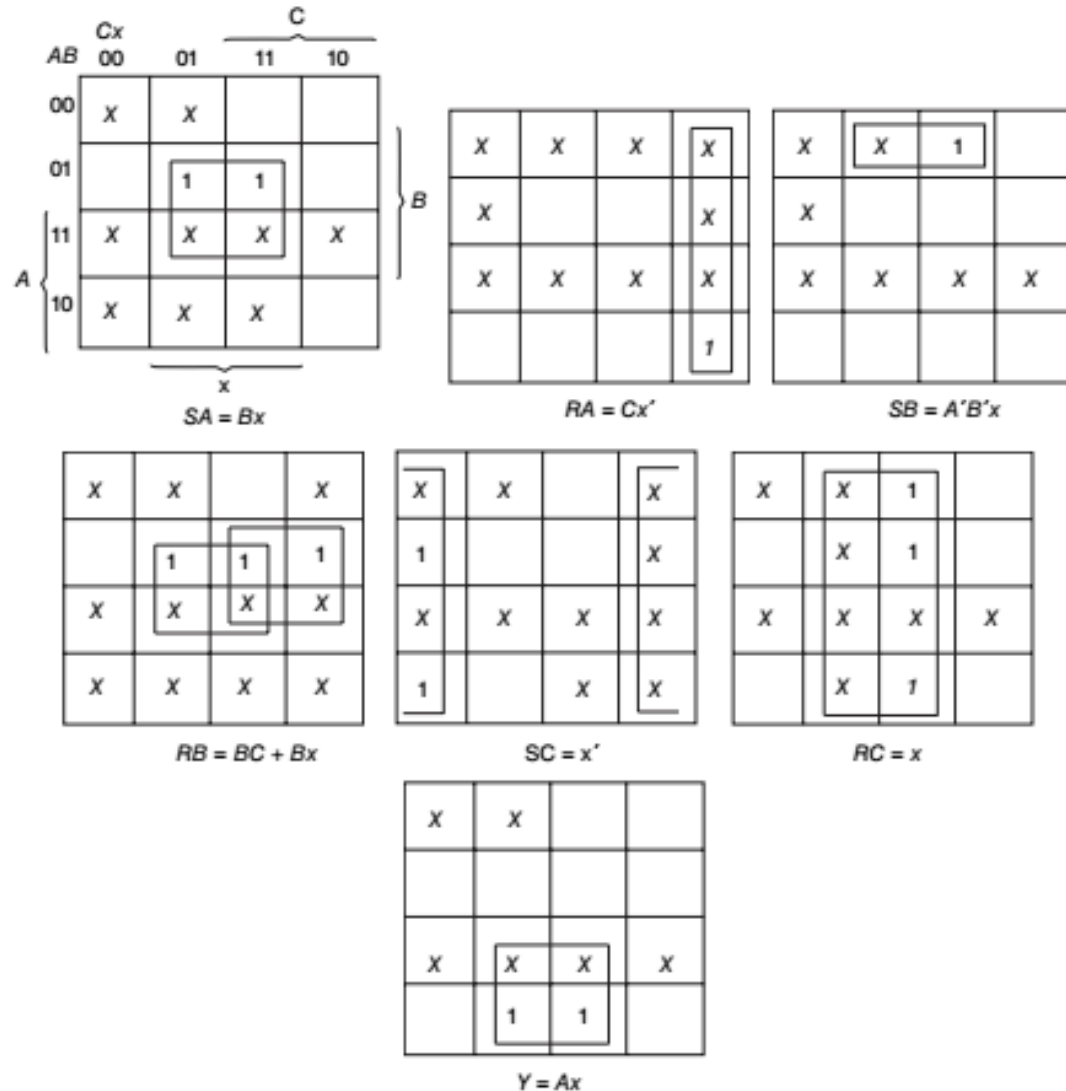


# Ardışık lojik devre tasarım örneği



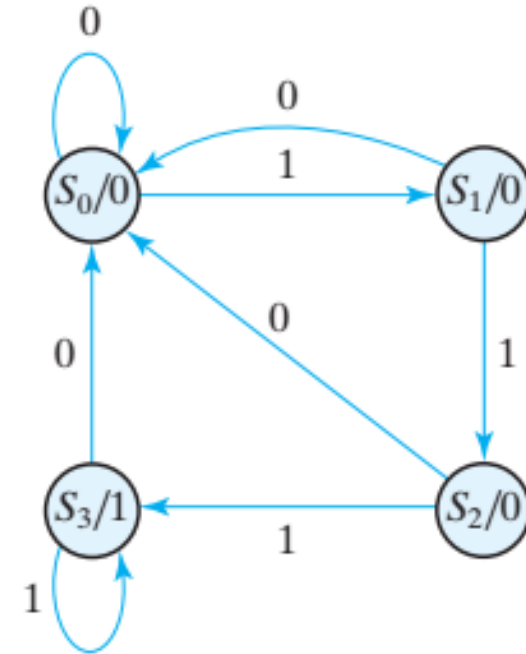
Kombinasyonel Devre Girişleri				Sonraki Durum			Kombinasyonel Devre Çıktıları						
Önceki Durum				Giriş			Flip-Flop Girişleri						
A	B	C	x	A	B	C	SA	RA	SB	RB	SC	RC	Çıkış y
0	0	1	0	0	0	1	0	X	0	X	X	0	0
0	0	1	1	0	1	0	0	X	1	0	0	1	0
0	1	0	0	0	1	1	0	X	X	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	X	0
0	1	1	0	0	0	1	0	X	0	1	X	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	X	0	0	X	1	0	0
1	0	0	1	1	0	0	X	0	0	X	0	X	1
1	0	1	0	0	0	1	0	1	0	X	X	0	0
1	0	1	1	1	0	0	X	0	0	X	0	1	1

# Ardışık lojik devre tasarım örneği



# Ardışık lojik devre tasarım örneği

- D ve J-K Flip-Floplarını kullanarak ayrı ayrı tasarımlar yapınız.

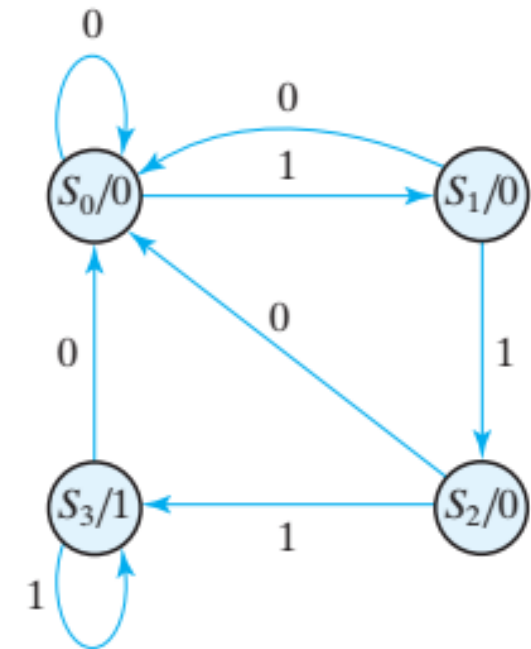


**FIGURE 5.27**  
State diagram for sequence detector

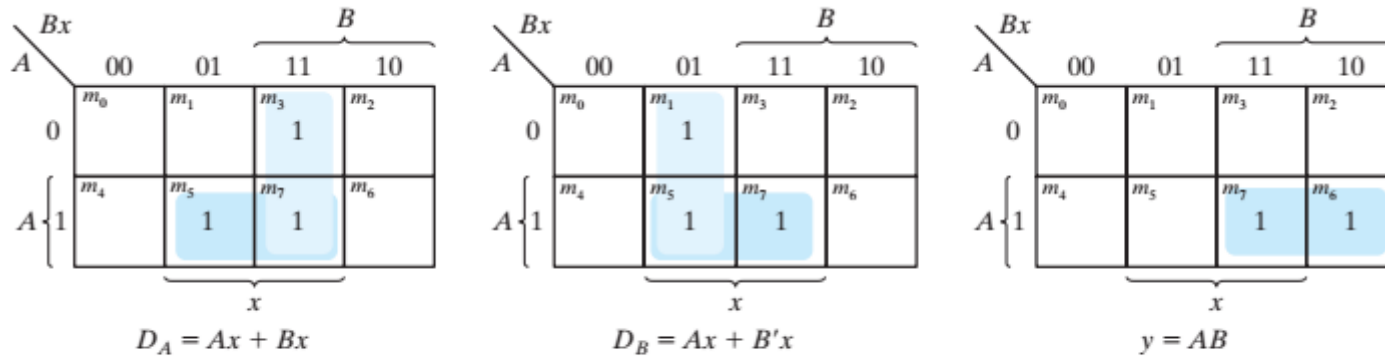
# D Flip-Flop Temelli Tasarım

**Table 5.11**  
*State Table for Sequence Detector*

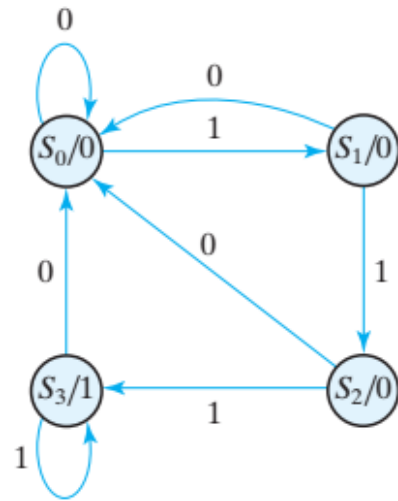
Present State		Input $x$	Next State		Output $y$
$A$	$B$		$A$	$B$	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1



# Ardışık lojik devre tasarım örneği



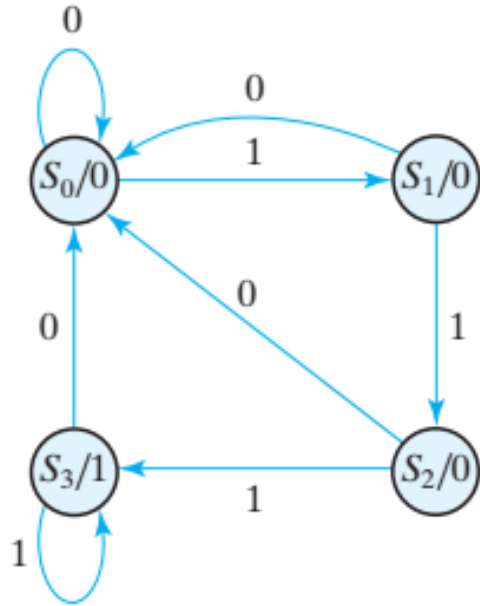
**FIGURE 5.28**  
K-Maps for sequence detector



**Table 5.11**  
*State Table for Sequence Detector*

Present State		Input $x$	Next State		Output $y$
$A$	$B$		$A$	$B$	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1

# Ardışık lojik devre tasarım örneği



A \ Bx	B			
	00	01	11	10
0	$m_0$	$m_1$	1	$m_2$
1	$m_4$	1	1	$m_6$

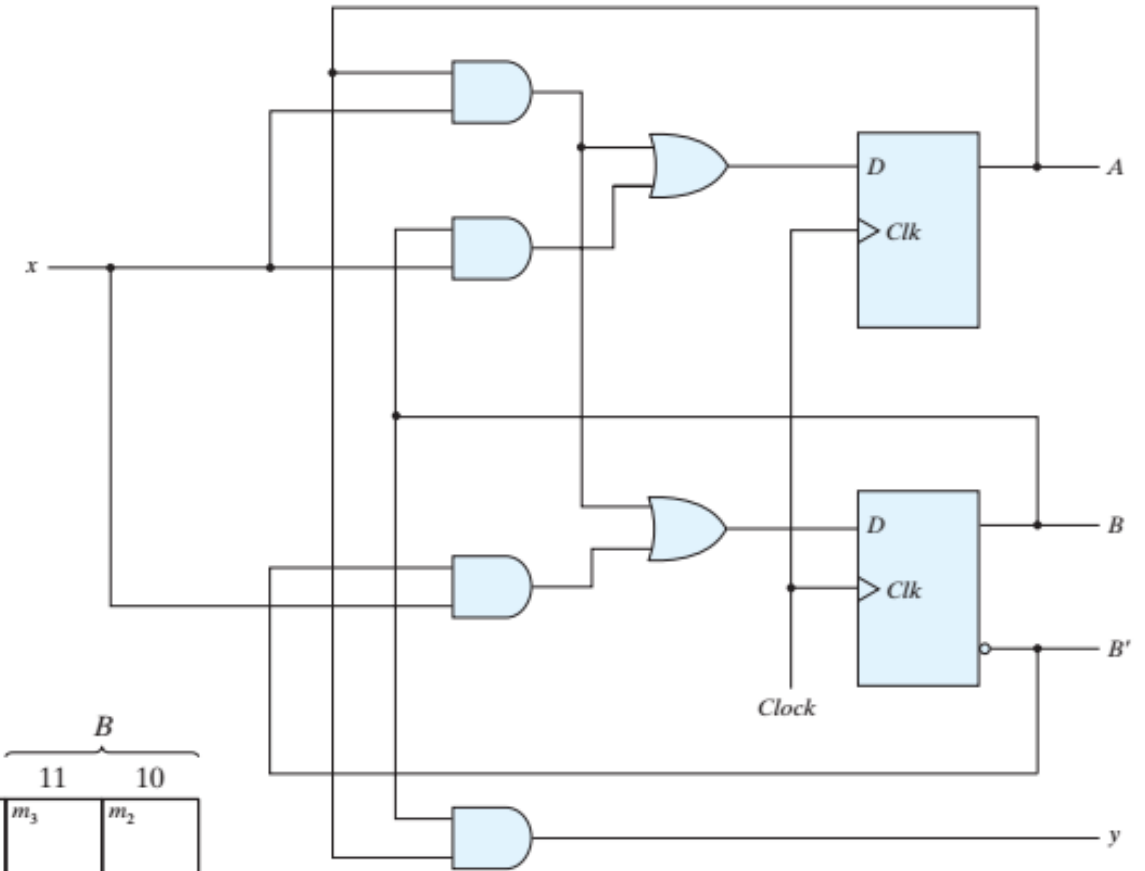
$D_A = Ax + Bx$

A \ Bx	B			
	00	01	11	10
0	$m_0$	1	$m_3$	$m_2$
1	$m_4$	1	1	$m_6$

$D_B = Ax + B'x$

A \ Bx	B			
	00	01	11	10
0	$m_0$	$m_1$	$m_3$	$m_2$
1	$m_4$	$m_5$	1	1

$y = AB$

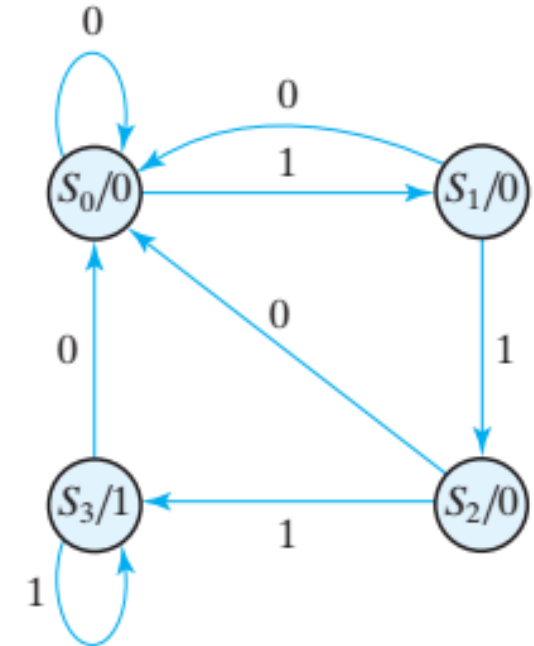


Aynı soruyu J-K flip-flop'lar  
kullanarak çözelim

# J-K Flip-Flop Temelli Tasarım

**Table 5.13**  
*State Table and JK Flip-Flop Inputs*

Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	$J_A$	$K_A$	$J_B$	$K_B$
0	0	0	0	0				
0	0	1	0	1				
0	1	0	1	0				
0	1	1	0	1				
1	0	0	1	0				
1	0	1	1	1				
1	1	0	1	1				
1	1	1	0	0				

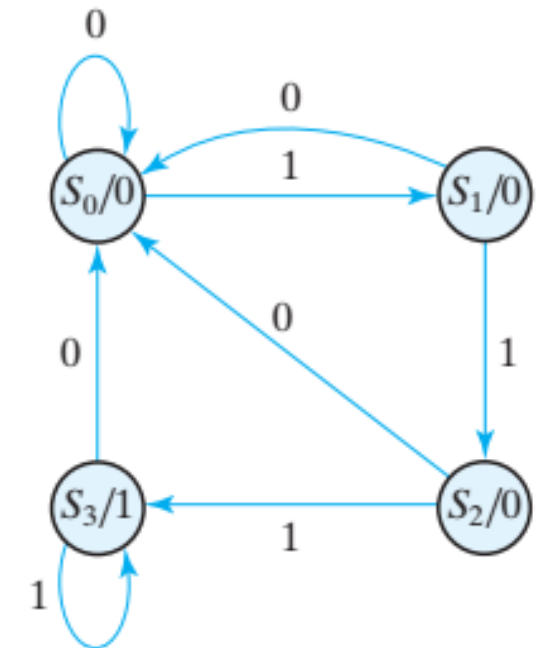




# J-K Flip-Flop Temelli Tasarım

**Table 5.13**  
*State Table and JK Flip-Flop Inputs*

Present State		Input	Next State		Flip-Flop Inputs			
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	<i>J<sub>A</sub></i>	<i>K<sub>A</sub></i>	<i>J<sub>B</sub></i>	<i>K<sub>B</sub></i>
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1



# J-K Flip-Flop Temelli Tasarım

A	Bx		B			
	00	01	11	10		
0	$m_0$	$m_1$	$m_3$	$m_2$		
1	$m_4$	$m_5$	$m_7$	$m_6$		
	X	X	X	1		

$J_A = Bx'$

A	Bx		B			
	00	01	11	10		
0	$m_0$	$m_1$	$m_3$	$m_2$		
1	$m_4$	$m_5$	$m_7$	$m_6$		
	X	X	1	X		

$K_A = Bx$

A	Bx		B			
	00	01	11	10		
0	$m_0$	$m_1$	$m_3$	$m_2$		
1	$m_4$	$m_5$	$m_7$	$m_6$		
	X	1	X	X		

$J_R = x$

A	Bx		B			
	00	01	11	10		
0	$m_0$	$m_1$	$m_3$	$m_2$		
1	$m_4$	$m_5$	$m_7$	$m_6$		
	X	X	1	1		

$K_R = (A \oplus x)'$

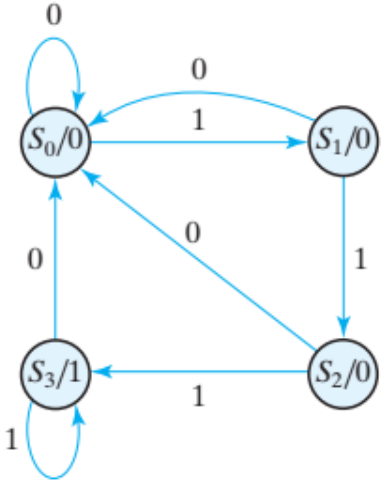


Table 5.13  
State Table and JK Flip-Flop Inputs

Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	$J_A$	$K_A$	$J_B$	$K_B$
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

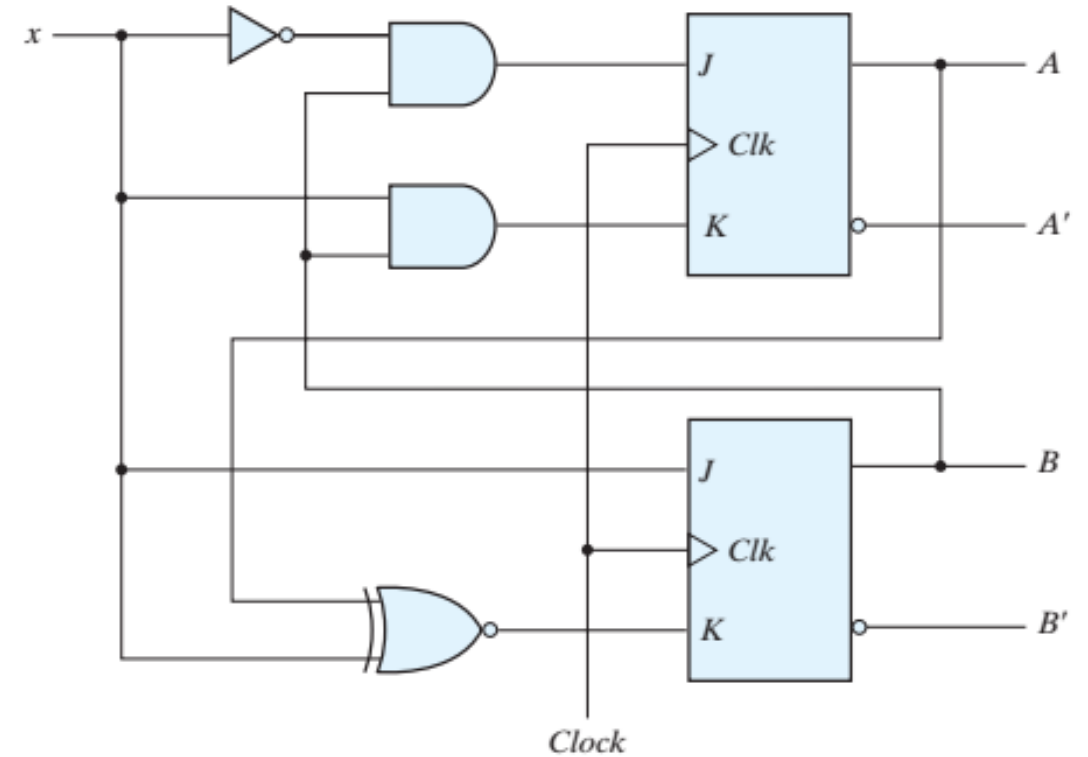
# J-K Flip-Flop Temelli Tasarım

Karnaugh map for  $J_A = Bx'$ . The map is a 2x4 grid with rows labeled  $A$  (0, 1) and columns labeled  $Bx$  (00, 01, 11, 10). The cells contain the following values:  $m_0$  (0),  $m_1$  (0),  $m_2$  (0),  $m_3$  (1),  $m_4$  (X),  $m_5$  (X),  $m_6$  (X),  $m_7$  (X). The prime implicants are  $Bx'$  (covering  $m_3$  and  $m_2$ ) and  $x$  (covering  $m_3, m_2, m_6, m_7$ ).

Karnaugh map for  $K_A = Bx$ . The map is a 2x4 grid with rows labeled  $A$  (0, 1) and columns labeled  $Bx$  (00, 01, 11, 10). The cells contain the following values:  $m_0$  (X),  $m_1$  (X),  $m_2$  (X),  $m_3$  (X),  $m_4$  (0),  $m_5$  (0),  $m_6$  (0),  $m_7$  (1). The prime implicants are  $Bx$  (covering  $m_3$  and  $m_2$ ) and  $x$  (covering  $m_3, m_2, m_6, m_7$ ).

Karnaugh map for  $J_R = x$ . The map is a 2x4 grid with rows labeled  $A$  (0, 1) and columns labeled  $Bx$  (00, 01, 11, 10). The cells contain the following values:  $m_0$  (0),  $m_1$  (1),  $m_2$  (X),  $m_3$  (X),  $m_4$  (0),  $m_5$  (1),  $m_6$  (X),  $m_7$  (X). The prime implicants are  $x$  (covering  $m_1, m_3, m_5, m_7$ ) and  $B$  (covering  $m_1, m_3, m_5, m_7$ ).

Karnaugh map for  $K_R = (A \oplus x)'$ . The map is a 2x4 grid with rows labeled  $A$  (0, 1) and columns labeled  $Bx$  (00, 01, 11, 10). The cells contain the following values:  $m_0$  (X),  $m_1$  (X),  $m_2$  (0),  $m_3$  (0),  $m_4$  (X),  $m_5$  (X),  $m_6$  (1),  $m_7$  (1). The prime implicants are  $(A \oplus x)'$  (covering  $m_0, m_1, m_4, m_5$ ) and  $x$  (covering  $m_3, m_2, m_6, m_7$ ).



**FIGURE 5.31**  
Logic diagram for sequential circuit with J/K flip-flops