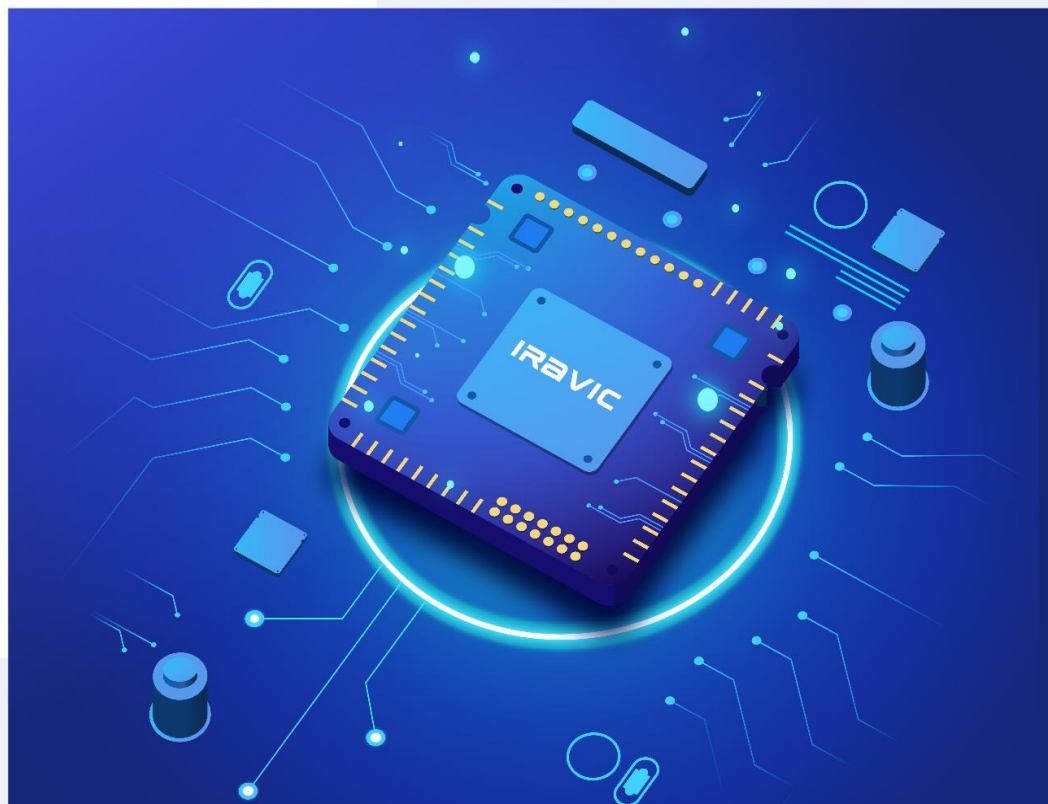


IRaVIC



# 芯片产品手册



**成都铱通科技有限公司**

Iridium Communications Co.,Ltd.

致力于成为全球领先的射频芯片及微系统供应商

## 0.01GHz~20GHz集成VCO频率综合器（YP6000ACS）

1 特征.....	1
2 框图.....	1
3 产品简介.....	1
4 主要性能指标.....	2
5 绝对最大额定值.....	3
6 引脚定义.....	4
7 测试结果.....	6
8 寄存器概览.....	9
9 寄存器详情.....	12
10 SPI时序说明.....	23
11 频率计算公式.....	24
12 频率配置示例.....	24
13 电荷泵电流拉偏及锁定检测设置.....	25
14 PCB及相关工艺信息.....	27
15 版本更新记录.....	31
16 订购信息.....	32



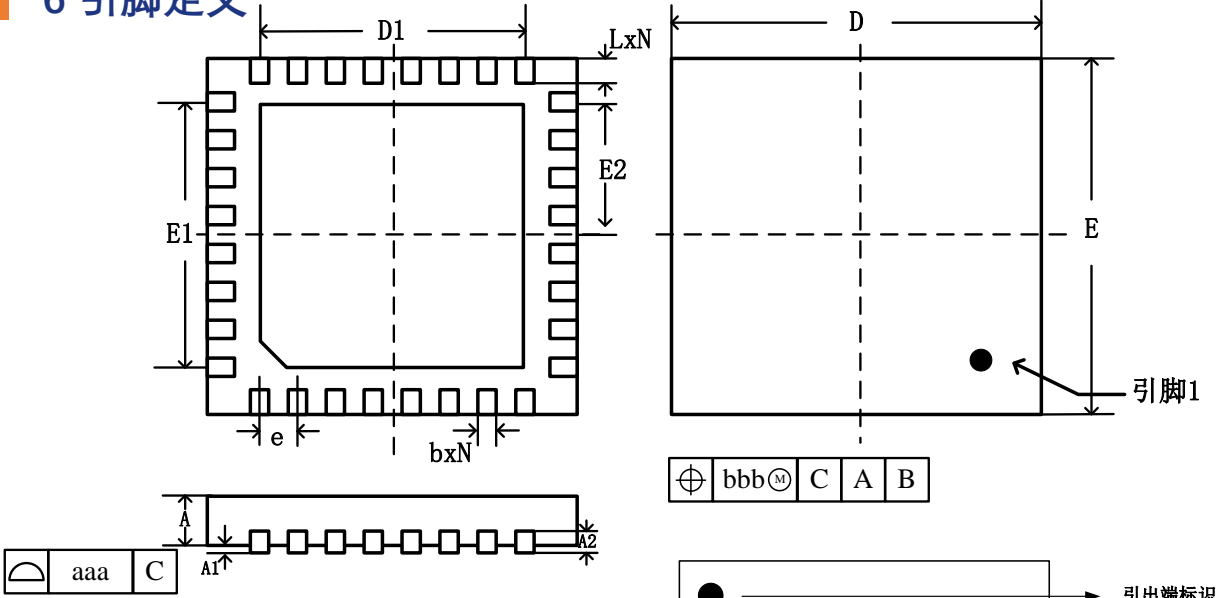
4 主要性能指标

参数	测试条件	最小值	典型值	最大值	单位
参考时钟频率范围( $f_{REF}$ )	-	10	-	200	MHz
参考时钟输入摆幅 ( $V_{REF}$ )	-	0.5	1	2	VPP
分频器分频范围 ( $N_{DIV}$ )	整数模式	32	-	4095	-
输出分频器范围 ( $N_{DIVO}$ )	-	1	-	4*1023	-
内部VCO频率范围 ( $f_{VCO}$ )	-	10	-	20	GHz
输出频率范围 ( $f_{LO}$ )	-	0.01	-	20	GHz
输出功率 ( $P_{LO}$ )	单端	-	0	-	dBm
电荷泵电流 ( $I_{CP}$ )	-	1.6	12.8	12.8	mA
电荷泵电流调节步长	-	-	1.6	-	mA
电荷泵单边带相位噪声 @100MHz参考	1kHz	-	-131	-	dBc/Hz
	10kHz	-	-143	-	
	100kHz	-	-151	-	
VCO开环相位噪声 @10GHz	10kHz	-	-70	-	dBc/Hz
	100kHz	-	-98	-	
	1MHz	-	-125	-	
	10MHz	-	-148	-	
归一化噪底 (FoM)	整数模式	-	-231	-	dBc/Hz
	小数模式	-	-228	-	
鉴相杂散 (Spur)		-	-80	-	dBc
调频步进 ( $f_{STEP}$ )	-	-	$f_{PFD}/2^{24}$	-	Hz
调频稳定时间 (tstb)	-	-	20	-	us
工作电压 (VCC15)	1.5V电源	1.4	1.5	3.6	V
工作电压 (VCC33)	3.3V电源	3	3.3	3.6	V
工作电流 (VCC15)	1.5V电源	-	200	-	mA
工作电流 (VCC33)	3.3V电源	-	30	-	mA
工作温度	-	-55	-	125	°C

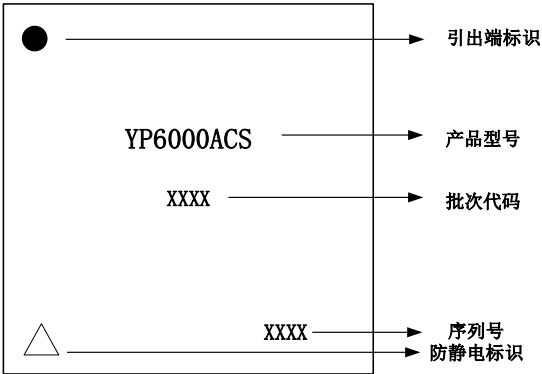
## 5 绝对最大额定值

参数	符号	数值	单位
电源电压	VDD15, VDD33	3.6	V
参考时钟输入摆幅	VPP_REF	2	V
SPI信号电平	VSPI_ENB, VSPI_CLK, VSPI_DI	-0.3~VDD33+0.3	V
控制信号电平	VCSB	-0.3~VDD15+0.3	V
VCO输入控制电压	VT	-0.3~2.5V	V
贮存温度	T <sub>mg</sub>	-65~150	℃
静电保护	V <sub>ESD</sub>	500	V

6 引脚定义



SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.20		
b	0.18	0.24	0.30
D	4.90	5.00	5.10
D1	3.45	3.60	3.75
E	4.90	5.00	5.10
E1	3.45	3.60	3.75
e	0.50		
L	0.30	0.40	0.50
N	32.00		
aaa	0.08		
bbb	0.10		



芯片封装外形图

引脚定义

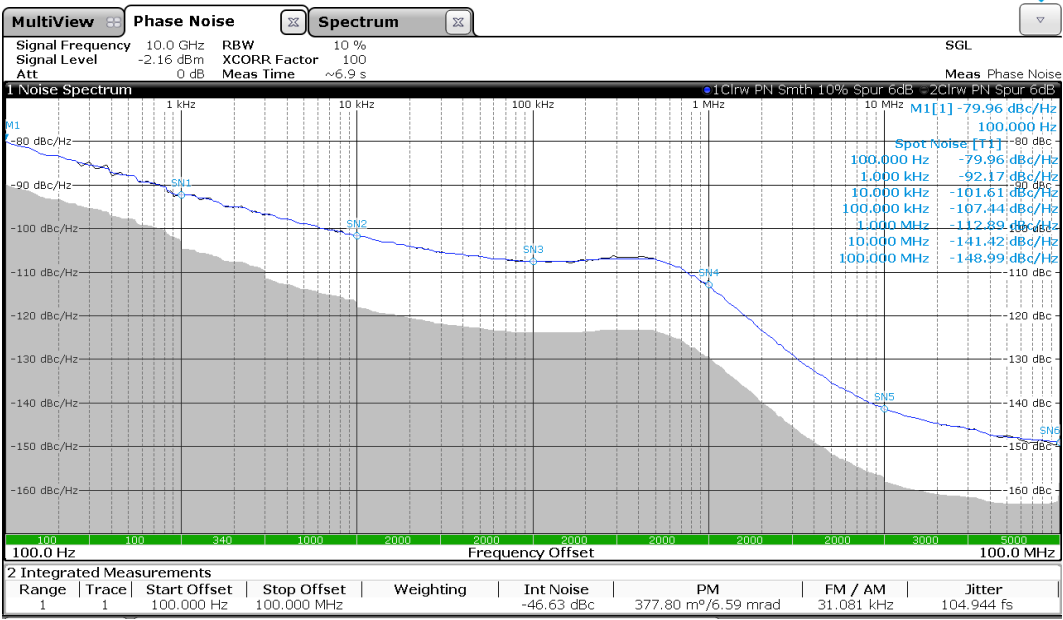
序号	引脚名称	引脚功能说明
1	GND	地
2	VT	VCO调谐电压输入端
3	GND	地
4	GND	地
5	GND	地
6	GND	地

## 6 引脚定义

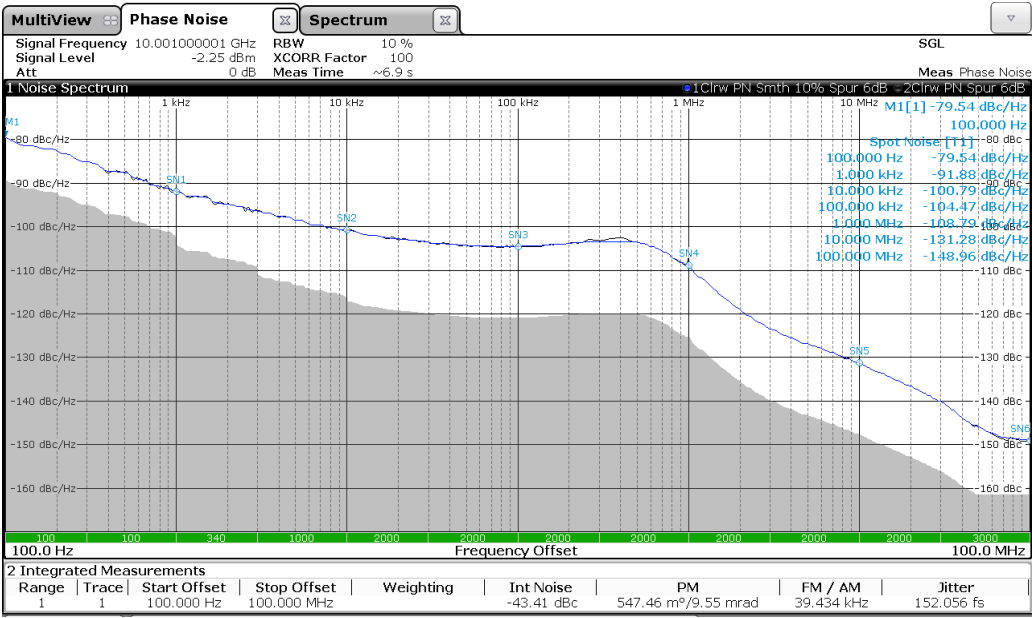
引脚定义（续）

序号	引脚名称	引脚功能说明
7	CP	电荷泵输出端
8	VDD33_PFD	3.3V电源
9	VDD15_DIV	1.5V电源
10	GND	地
11	XO_IN	参考信号输入端，外部隔直
12	GND	地
13	VDD15_XO	1.5V电源
14	VDD15_BG	1.5V电源
15	LD	PLL锁定指示输出端，3.3V电压域
16	SPI_DO	SPI数据输出端，3.3V电压域
17	SPI_DI	SPI数据输入端，3.3V电压域
18	SPI_CLK	SPI使能时钟端，3.3V电压域
19	SPI_ENB	SPI使能控制端，3.3V电压域
20	VDD33_SPI	3.3V电源
21	VDD15_PRE	1.5V电源
22	GND	地
23	VON	PLL负相输出端，外部隔直
24	VOP	PLL 正相输出端，外部隔直
25	GND	地
26	VDD15_DRI	1.5V电源
27	GND	地
28	GND	地
29	VDD15_VCO	1.5V电源
30	GND	地
31	VDD33_VT	3.3V电源
32	NC	NC

7 测试结果



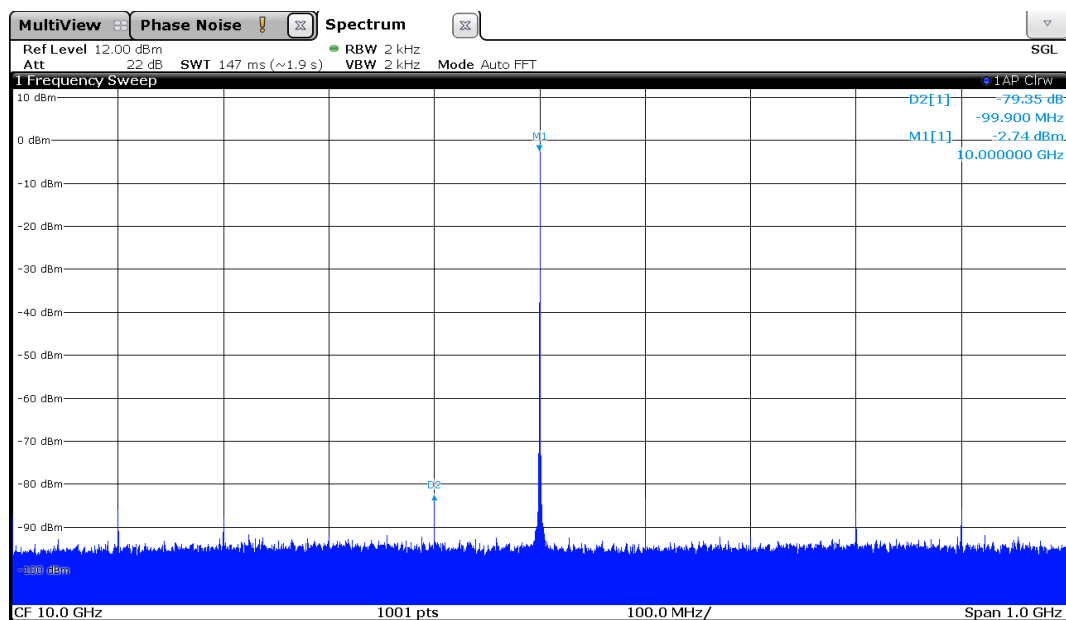
图一 100M鉴相-相位噪声 (整数模式)



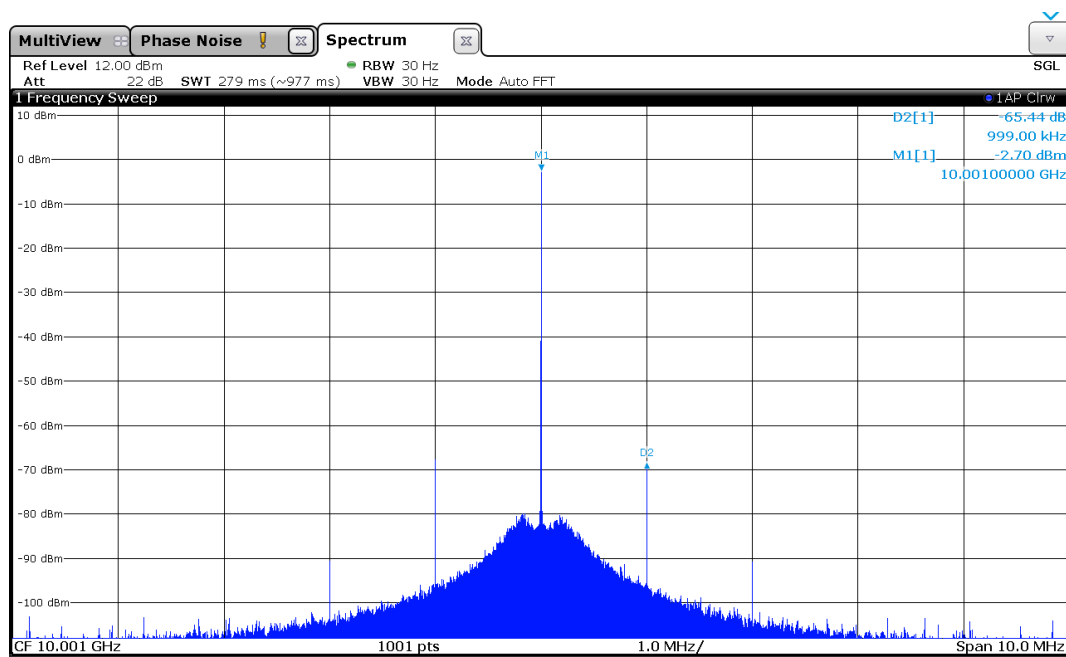
图二 100M鉴相-相位噪声 (小数模式)



## 7 测试结果

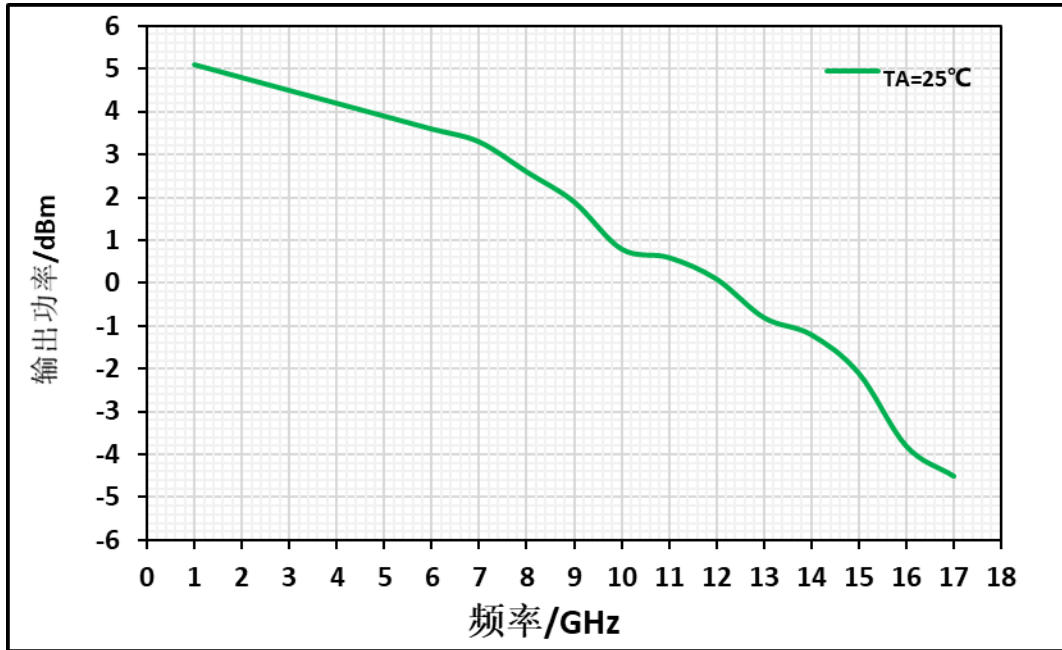


图三 100M鉴相-鉴相杂散



图四 整数边界杂散

## 7 测试结果



图五 输出功率

## 8 寄存器概览

寄存器概览

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	推荐值
0x0	保留				整数分频器分频比配置高4位				0x00
0x1	整数分频器分频比配置低8位								0x64*
0x2	小数分频比配置高8位								0x00
0x3	小数分频比配置中8位								0x00
0x4	小数分频比配置低8位								0x00
0x5	保留				小数分频算法初始相位使能	保留	小数分频算法初始相位选择		0x0A
0x6	SPI手动选择VCO BAND（需配合reg17<3>=1, reg14<4>=1）								0x00
0x7	保留	参考倍频器使能	参考分频器使能	保留			参考分频器高两位		0x00
0x8	参考分频器低8位								0x00
0x9	四核VCO BUFFER独立使能				四核VCO独立使能				0x10
0xA	保留		保留		VCO快速启动使能	低段VCO VT端使能	高段VCO VT端使能	保留	0x00
0xB	VCO BUF偏置电流调节			VCO偏置电流偏置调节			VCO OUTBUF偏置电阻调节		0x00
0xC	保留	CP上拉电流选择			保留	CP下拉电流选择			0x11
0xD	保留			PFD、CP使能	电荷泵电流下拉常关使能	电荷泵电流上拉常关使能	电荷泵电流上拉常开使能	电荷泵电流下拉常开使能	0x00
0xE	保留								0x00
0xF	电荷泵偏移电流使能	保留	电荷泵上拉偏移电流选择						0x80
0x10	保留		电荷泵下拉偏移电流选择						0x20
0x11	保留								0x00
0x12	保留								0x00
0x13	PLL锁定检测电路使能	PFD输入时序选择	PLL锁定检测相位窗口调节		PLL锁定检测计数器设置		PFD死区延时时间选择		0x68
0x14	保留		保留	VCO手动选段时设置	保留				0x00

8 寄存器概览

寄存器概览（续）

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	推荐值
0x15	保留								0x00
0x16	保留						PLL自动选段参考电压设置		0x02
0x17	小数分频算法输出使能	保留		输出分频器驱动使能	AFC使能	保留	SDM小数分频复位	PLL分频器复位	0x03
0x18	分频器LDO使能	分频器LDO输出电压调节			PLL BG使能	PLL BG温度系数调节			0x30
0x19	参考驱动LDO使能	参考驱动放大器LDO输出电压调节			输出驱动放大器LDO使能	输出驱动放大器LDO输出电压调节			0x03
0x1A	VT LDO使能	VCO LDO使能	保留			VCO LDO参考电压调节			0x00
0x1B	保留				PFDCP LDO使能	PFDCP LDO参考电压调节			0x05
0x1C	输出驱动正相端使能	输出驱动负相端使能	VCO输出驱动模块使能	分频器驱动使能	保留	第二级预分频器使能	第一级预分频器使能	预分频器LDO使能	0x00
0x1D	保留						数字算法LDO电压调节		0x03
0x1E	保留	数字算法LDO参考电压温度系数调节			保留				0x00
0x1F	保留			输出分频器使能	输出分频器高四位				0x00
0x20	输出分频器低8位								0x00
0x21	AFC两次间隔时间设置低八位								0x00
0x22	AFC两次间隔时间设置高八位								0x04
0x23	AFC频段切换间隔时间设置								0x05

## 8 寄存器概览

寄存器概览（续）

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	推荐值
0x24	参考驱动放大器上拉能力调节				参考驱动放大器下拉能力调节				0x00
0x25	VCO 20G驱动3偏置电流调节		输出MUX_20G偏置电流调节		输出MUX_10G偏置电流调节		输出MUX_5G偏置电流调节		0x00
0x26	VCO 10G驱动偏置电流调节		VCO 20G驱动偏置电流调节		VCO 20G驱动1偏置电流调节		VCO 20G驱动2偏置电流调节		0x00
0x27	保留						参考倍频延迟设置		0x00

\*推荐值对应fref=100MHz，输出频率10GHz。所有寄存器默认值（不配置情况下）全为0。

## 9 寄存器详情

寄存器推荐值配置为10GHz频率输出，100MHz参考输入，100MHz鉴相。

Reg0x0 寄存器详细信息

位	名称	描述	推荐值
<7:4>	Reserved	保留	0x0
<3:0>	DIV_INT<11:8>	整数分频器分频比配置高4位	0x0

Reg0x1 寄存器详细信息

位	名称	描述	推荐值
<7:0>	DIV_INT<7:0>	整数分频器分频比配置低8位	0x64

Reg0x2 寄存器详细信息

位	名称	描述	推荐值
<7:0>	DIV_FRAC<23:16>	小数分频比配置高8位	0x00

Reg0x3 寄存器详细信息

位	名称	描述	推荐值
<7:0>	DIV_FRAC<15:8>	小数分频比配置中8位	0x00

Reg0x4 寄存器详细信息

位	名称	描述	推荐值
<7:0>	DIV_FRAC<7:0>	小数分频比配置低8位	0x00

## 9 寄存器详情

Reg0x5 寄存器详细信息

位	名称	描述	推荐值
<7:4>	reserved	保留	0x0
<3>	AUTOSEED	PLL小数分频算法初始相位使能，上升沿有效	0x1
<2>	reserved	保留	0x0
<1:0>	SEED_SEL<1:0>	PLL小数分频算法初始相位选择 00: 24'b0; 01: 24'b1; 10: 24'hb29d08; 11: 24'h50f1cd;	0x2

Reg0x6 寄存器详细信息

位	名称	描述	推荐值
<7:0>	SPI_BAND_S<7:0>	SPI手动选择VCO BAND输出	0x00

Reg0x7 寄存器详细信息

位	名称	描述	推荐值
<7>	reserved	保留	0x0
<7>	EN_DBR	参考倍频使能，1有效	0x0
<5>	PD10_DIVR	参考分频器使能，0有效	0x0
<4:2>	reserved	保留	0x0
<1:0>	RDIV<9:8>	参考分频器比高2位	0x0

9 寄存器详情

Reg0x8 寄存器详细信息

位	名称	描述	推荐值
<7:0>	RDIV<7:0>	参考分频比低8位	0x0

Reg0x9 寄存器详细信息

位	名称	描述	推荐值
<7:4>	ENB10_VCOBUF<3:0>	四核VCOBUF单独使能，0有效	0x1
<3:0>	ENB10_VCO<3:0>	四核VCO单独使能，0有效	0x0

Reg0xA 寄存器详细信息

位	名称	描述	推荐值
<7:6>	reserved	保留	0x0
<5:4>	保留	保留	0x0
<3>	ENB_VCO_QKSTUP	VCO快速启动使能，0有效	0x0
<2>	ENB_10GVT	低段VCO VT端接入使能，0有效	0x0
<1>	ENB_20GVT	高端VCO VT端接入使能，0有效	0x0
<0>	reserved	保留	0x0

Reg0xB 寄存器详细信息

位	名称	描述	推荐值
<7:5>	TR10_IVCOBUF<2:0>	VCOBUF偏置电流选择： 000:250uA; 001:200uA; 010:150uA; 011:100uA; 100:450uA; 101:400uA; 110:350uA; 111:300uA;	0x0
<4:2>	TR10_IVCO<2:0>	VCO偏置电流选择： 101:12.5mA; 011:16.8mA; 111:19.8mA; 000: 20.6mA; 010:23.3mA; 100:22.3mA; 110:24.3mA;	0x0
<1:0>	TR_BUF_RES<1:0>	VCO OUTBUF偏置电阻选择： 00:100Ω; 01:200Ω; 10:135Ω; 11:400Ω;	0x0



## 9 寄存器详情

**Reg0xC 寄存器详细信息**

位	名称	描述	推荐值
<7>	reserved	保留	0x0
<6:4>	ICP_TRP<3:0>	CP上拉电流调节: 000: 1.6mA; 001: 3.2mA; 010: 4.8mA; ..... 111: 12.8mA;	0x1
<3>	reserved	保留	0x0
<2:0>	ICP_TRN<3:0>	CP下拉电流调节: 000: 1.6mA; 001: 3.2mA; 010: 4.8mA; ..... 111: 12.8mA;	0x1

**Reg0xD 寄存器详细信息**

位	名称	描述	推荐值
<7:5>	reserved	保留	0x0
<4>	ENB_PFD	鉴频鉴相器、电荷泵使能, 0有效	0x0
<3>	TIL_DNP	电荷泵电流下拉常关使能, 1有效	0x0
<2>	TIH_UPN	电荷泵电流上拉常关使能, 1有效	0x0
<1>	CP_UP25	电荷泵电流上拉常开使能, 1有效	0x0
<0>	CP_DN	电荷泵电流下拉常开使能, 1有效	0x0

**Reg0xE 寄存器详细信息**

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00

**Reg0xF 寄存器详细信息**

位	名称	描述	推荐值
<7>	ENP_IOS_CP10	PLL电荷泵偏移电流模块使能, 1有效	0x1
<6>	reserved	保留	0x0
<5:0>	IOSP_CP_TR10<5:0>	PLL电荷泵上拉偏移电流选择 000000: 10uA; 000001: 20uA; ..... 111111: 630uA;	0x00

## 9 寄存器详情

Reg0x10 寄存器详细信息

位	名称	描述	推荐值
<7:6>	reserved	保留	0x0
<5:0>	IOSN_CP_TR10<5:0>	PLL电荷泵下拉偏移电流选择 000000: 10uA; 000001: 20uA; ..... 111111: 630uA;	0x20

Reg0x11 寄存器详细信息

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00

Reg0x12 寄存器详细信息

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00

Reg0x13 寄存器详细信息

位	名称	描述	推荐值
<7>	PLL_LD_RST10	PLL锁定检测电路复位，1有效	0x0
<6>	PFD_IN_CTR10	PFD输入时序选择	0x1
<5:4>	PLL_LD_DEL_T10<1:0>	PLL锁定检测相位窗口调节 00: 1ns; 01: 2ns; 10: 5ns; 11: 10ns;	0x2
<3:2>	PLL_LD_CNT_T10<1:0>	PLL锁定检测计数器设置 00: 32; 01: 128; 10: 512; 11: 2048;	0x2
<1:0>	PFD_DT_T10<1:0>	PFD死区延时时间选择	0x0

## 9 寄存器详情

Reg0x14 寄存器详细信息

位	名称	描述	推荐值
<7:5>	reserved	保留	0x0
<4>	AFC_SEL10	AFC算法选择（手动模式设置为1）	0x0
<3:0>	保留	保留	0x0

Reg0x15 寄存器详细信息

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00

Reg0x16 寄存器详细信息

位	名称	描述	推荐值
<7:2>	reserved	保留	0x00
<1:0>	CMP_VT_VREF_H10<1:0>	PLL自动选段参考电压选择: 00: 0.96V 01: 1.08V 10: 1.2V 11: 1.32V	0x2

9 寄存器详情

Reg0x17 寄存器详细信息

位	名称	描述	推荐值
<7>	FRAC_BYPASS	PLL小数分频算法输出使能，0有效	0x0
<6>	ENB_XOBUF	PLL参考输入驱动使能，0有效	0x0
<5>	reserved	保留	0x0
<4>	ENB_BUF_DIVO	输出分频器驱动使能，0有效	0x0
<3>	ENB10_AFC	PLL AFC频率自动校准模块使能，0有效	0x0
<2>	reserved	保留	0x0
<1>	RSTN_SDM	PLL SDM小数分频复位，0有效	0x1
<0>	RSTN_DIV10	PLL分频器复位，0有效	0x1

Reg0x18 寄存器详细信息

位	名称	描述	推荐值
<7>	PD_LDO_DIV	PLL分频器LDO使能，0有效	0x0
<6:4>	LDO_VREF_DIV_T10<2:0>	PLL分频器LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.10V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0x3
<3>	ENB10_BG	PLL BG使能，0有效	0x0
<2:0>	BG_TC_T10<2:0>	PLL BG温度系数调节 000至100: 正温度系数逐渐变大; 111至101: 负温度系数逐渐变大; 000: 497mV~497mV; 100: 442mV~457mV; 101: 557mV~538mV;	0x0

9 寄存器详情

Reg0x19 寄存器详细信息

位	名称	描述	推荐值
<7>	PD_LDO_XO	PLL参考驱动放大器LDO使能，0有效	0x0
<6>	reserved	保留	0x0
<5:4>	LDO_VREF_XO_T10<1:0>	PLL参考驱动放大器LDO输出电压调节 00: 1.02V; 01: 0.98V; 10: 0.94V; 11: 0.86V;	0x0
<3>	PD_LDO_DRI	PLL输出驱动放大器LDO使能，0有效	0x0
<2:0>	LDO_VREF_DRI_T10<2:0>	PLL输出驱动放大器LDO输出电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0x3

Reg0x1A 寄存器详细信息

位	名称	描述	推荐值
<7>	PD_LDO_VT	PLL VT LDO使能，0有效	0x0
<6>	PD_LDO_10GVCO	VCO LDO使能，0有效	0x0
<5:3>	reserved	保留	0x0
<2:0>	LDO_VREF_VCO_T10<2:0>	PLL VCO LDO输出电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 111: 0.98V; 110: 0.94V; 101: 0.9V; 100: 0.86V;	0x3

9 寄存器详情

Reg0x1B 寄存器详细信息

位	名称	描述	推荐值
<7:4>	reserved	保留	0x0
<3>	PD_LDO_PFDCP	PFDCP电源使能, 0有效	0x0
<2:0>	LDO_VREF_PFDCP_T10<2:0>	PLL PFDCP LDO输出电压调节 000: 2.5V; 001: 2.6V; 010: 2.7V; 011: 2.8V; 111: 2.4V; 110: 2.3V; 101: 2.2V; 100: 2.1V;	0x5

Reg0x1C 寄存器详细信息

位	名称	描述	推荐值
<7>	ENB_DRI_P	输出驱动正相端使能, 0有效	0x0
<6>	ENB_DRI_N	输出驱动负相端使能, 0有效	0x0
<5>	ENB_VCOBUF	VCO输出驱动模块使能, 0有效	0x0
<4>	ENB_VCOBUF2DIV	分频器驱动使能, 0有效	0x0
<3>	reserved	保留	0x0
<2>	ENB_PRE2	第二级预分频器使能, 0有效	0x0
<1>	ENB_PRE1	第一级预分频器使能, 0有效	0x0
<0>	PD_LDO_PRE	预分频器LDO使能, 0有效	0x0

Reg0x1D 寄存器详细信息

位	名称	描述	推荐值
<7:2>	reserved	保留	0x00
<1:0>	LDO_SPI_TR10<1:0>	数字算法模块LDO电压调节	0x3

Reg0x1E 寄存器详细信息

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00

9 寄存器详情

Reg0x1F 寄存器详细信息

位	名称	描述	推荐值
<7:5>	reserved	保留	0x0
<4>	SEL_DIVO	输出分频器选择, 0: 不分频; 1: 分频	0x0
<3:0>	ODIV<11:8>	输出分频比高4位	0x0

Reg0x20 寄存器详细信息

位	名称	描述	推荐值
<7:0>	ODIV<7:0>	输出分频比低8位	0x00

Reg0x21 寄存器详细信息

位	名称	描述	推荐值
<7:0>	N_LoopSt<7:0>	AFC间隔时间设置低8位, $t=T_{ref} \times N\_LoopSt<15:0>$	0x00

Reg0x22 寄存器详细信息

位	名称	描述	推荐值
<7:0>	N_LoopSt<15:8>	AFC间隔时间设置高8位, $\Delta t=T_{ref} \times N\_LoopSt<15:0>$	0x64*

\*AFC选频结束至下次AFC自动启动间隔时间 $\Delta t=T_{ref} \times N\_LoopSt<15:0>=256\mu s$  (@ $N\_LoopSt<15:0>=0x6400$ ,  $T_{ref}=10ns$ )

Reg0x23 寄存器详细信息

位	名称	描述	推荐值
<7:0>	N_VcoSt<7:0>	AFC频段切换间隔时间设置, $\Delta t=T_{ref} \times (N\_VcoSt<7:0>+1)$	0x05*

$\Delta t=T_{ref} \times (N\_VcoSt<7:0>+1)=60ns$  (@ $T_{ref}=10ns$ )

9 寄存器详情

Reg0x24 寄存器详细信息

位	名称	描述	推荐值
<7:4>	XOBUF_DCC_P<3:0>	参考驱动放大器上拉能力调节	0x0
<3:0>	XOBUF_DCC_N<3:0>	参考驱动放大器下拉能力调节	0x0

Reg0x25 寄存器详细信息

位	名称	描述	推荐值
<7:6>	TR_IB_BUF20G_3<1:0>	VCO 20G驱动3偏置电流调节	0x0
<5:4>	TR_IB_MUX20G<1:0>	输出MUX 20G偏置电流调节	0x0
<3:2>	TR_IB_MUX10G<1:0>	输出MUX 10G偏置电流调节	0x0
<1:0>	TR_IB_MUX5G<1:0>	输出MUX 5G偏置电流调节	0x0

Reg0x26 寄存器详细信息

位	名称	描述	推荐值
<7:6>	TR_IB_BUF10G<1:0>	VCO 10G驱动偏置电流调节	0x0
<5:4>	TR_IB_BUF20G_0<1:0>	VCO 20G驱动偏置电流调节	0x0
<3:2>	TR_IB_BUF20G_1<1:0>	VCO 20G驱动1偏置电流调节	0x0
<1:0>	TR_IB_BUF20G_2<1:0>	VCO 20G驱动2偏置电流调节	0x0

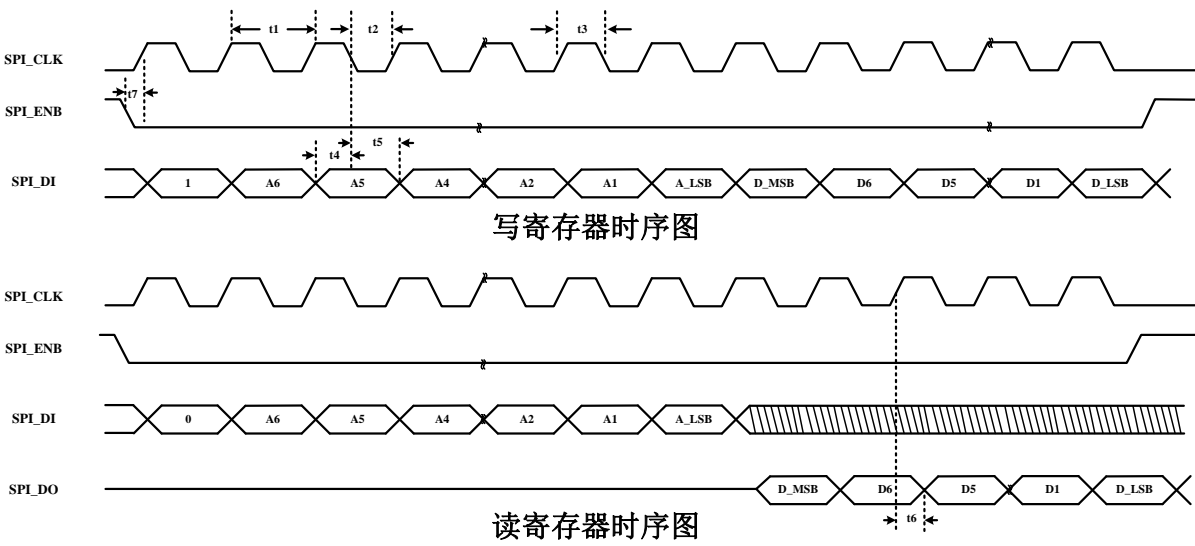
Reg0x27 寄存器详细信息

位	名称	描述	推荐值
<7:0>	reserved	保留	0x00



10 SPI时序说明

芯片串口数据控制器（SPI）主要包括串口时钟输入（SPI\_CLK）、串口数据写入（SPI\_DI）、串口数据输出（SPI\_DO）以及串口使能部分（SPI\_ENB），其配置时序如图所示：



SPI时间参数表

参数	符号	最小值	典型值	最大值	单位
SPI_CLK频率	$f_{SCLK}$	-	-	40	MHz
SPI_CLK周期	t1	25	-	-	ns
SPI_CLK低电平脉宽	t2	10	-	-	ns
SPI_CLK高电平脉宽	t3	10	-	-	ns
SPI_DI建立时间	t4	2.5	-	-	ns
SPI_DI保持时间	t5	2.5	-	-	ns
SPI_CLK上升沿到SPI_DO生效的延迟时间	t6	2.5	-	-	ns
SPI_ENB下降沿到SPI_CLK上升沿建立时间	t7	10	-	-	ns

# 11 频率计算公式

本芯片工作时，输出本振射频频率计算如下：

$$f_{VCO} = f_{PFD} \times (N_{int} + N_{frac})$$

$$f_{LO} = \frac{f_{VCO}}{N_{DIVO}}$$

其中：

$f_{PFD}$ 为鉴相频率，等于输入参考时钟倍频或分频后频率；寄存器reg0x7<5>配置参考分频器使能，寄存器reg0x7<1:0>，reg08<7:0>配置参考分频器分频比；寄存器reg0x7<6>配置参考倍频器使能；

$f_{LO}$ 为LO端口输出本振频率；

$f_{VCO}$ 为VCO输出频率；

$N_{DIVO}$ 为输出分频器DIV\_O的分频比，由寄存器reg0x1F<4>配置输出分频器使能，由寄存器reg0x1F<3:0>，reg0x20<7:0>配置输出分频比；

$N_{int}$ 为整数分频比，由寄存器reg0x0<3:0>配置整数分频比高4位、寄存器reg0x1<7:0>配置整数分频比低8位；在小数模式下，最小值min=35d，最大值max=2<sup>12</sup>-5=FFCh=4091d；在整数模式下，最小值min=16d，最大值max=2<sup>12</sup>-1=FFFh=4095d；

$N_{frac}$ 为小数分频比，由寄存器reg0x2<7:0>、寄存器reg0x3<7:0>、寄存器reg0x4<7:0>配置小数分频比DIV\_FRAC<23:0>，小数分频比计算如下：

$$N_{frac} = \frac{DIV\_FRAC < 23:0 >}{2^{24}}$$

# 12 频率配置示例

以8GHz输出频率为例，参考输入频率为100MHz，鉴相频率50MHz，在整数模式下，参考分频比 $R_{div}$ =2，整数分频比 $N_{int}$ =320，小数分频模块关闭，输出分频比 $N_{DIVO}$  = 2，即：

寄存器	Reg0x6 <5>	Reg0x7 <1:0>, Reg0x8 <7:0>	Reg0x0 <3:0>, Reg0x1 <7:0>	Reg0x2<7:0>, Reg0x3<7:0>, Reg0x4<7:0>	Reg0x1F <4>	Reg0x1F <3:0>, Reg0x20 <7:0>	Reg0x17 <7>, Reg0x17 <1>
名称	PD10_DIV R	RDIV<9:0 >	DIV_INT <11:0>	DIV_FRAC <23:0>	SEL_DIVO	ODIV<9:0>	FRAC_BYPAS S, RSTN_SDM
配置	0x1	0x002	0x140	0x000000	0x1	0x002	0x1, 0x0
说明	参考分频 比使能	参考分频 比	整数分频 比	小数分频比	输出分频选 择	输出 分频比	小数调制器 旁路

## 12 频率配置示例

小数模式下，以4GHz+1KHz本振输出频率为例，参考输入频率为100MHz，鉴相频率为50MHz，参考分频比 $R_{div}=2$ ，整数分频比 $N_{int}=320$ ，小数分频比 $N_{frac}=0.00008$ ，输出分频比 $N_{DIVO} = 4$ ，寄存器设置DIV\_FRAC<23:0>为0x00053E，设置Reg0x17<7>为0x0，Reg0x17<1>为0x1，小数调制器打开，即：

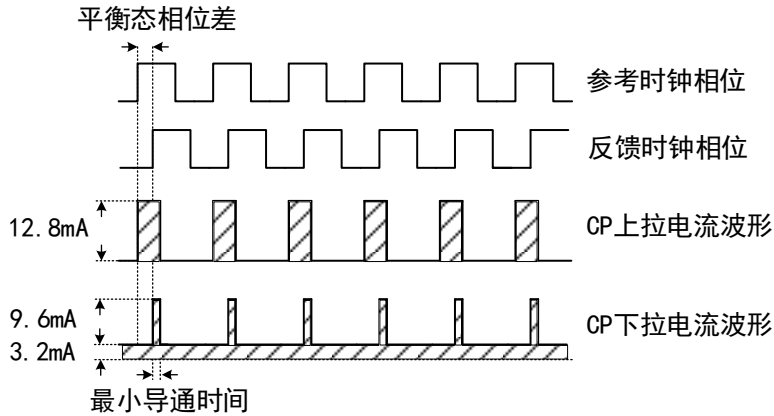
寄存器	Reg0x6<5>	Reg0x7<1:0>, Reg0x8<7:0>	Reg0x0<3:0>, Reg0x1<7:0>	Reg0x2<7:0>, Reg0x3<7:0>, Reg0x4<7:0>	Reg0x1F<4>	Reg0x1F<1:0>, Reg0x20<7:0>	Reg0x17<7>, Reg0x17<1>
名称	PD10_DIVR	RDIV<9:0>	DIV_INT<11:0>	DIV_FRAC<23:0>	SEL_DIVO	ODIV<9:0>	FRAC_BYPASS, RSTN_SDM
配置	0x1	0x002	0x140	0x00053E	0x1	0x004	0x0, 0x1
说明	参考分频比使能	参考分频比	整数分频比	小数分频比	输出分频选择	输出分频比	小数调制器打开

## 13 电荷泵电流拉偏及锁定检测设置

为保证电荷泵具有良好的线性度，降低带内噪声和杂散，可通过拉偏电荷泵上拉/下拉电流，改变电荷泵周期内上拉/下拉电流的导通时间来实现。

电荷泵电流拉偏通过寄存器Reg0xF和Reg0x10设置，额外在电荷泵输出VC端注入特定的上拉或下拉电流，使得平衡态电荷泵上拉或下拉电流导通时间增加，从而处于相对更线性的区域。此方法可额外注入的上拉/下拉电流最大值约为630uA，在电荷泵电流本身较大时，对电荷泵导通时间的调整效果有限，且会引入额外的电流噪声；

## 13 电荷泵电流拉偏及锁定检测设置（续）



但上拉/下拉电流偏差过大，可能导致锁相环锁定至其他频点。如上图，由于恒定下拉电流的存在，平衡时环路通过调整参考时钟与反馈时钟相位差，使得上拉电流和下拉电流总电荷泵注入量相同。另一方面，环路也可以通过降低振荡频率，从而降低反馈时钟频率的方式来增加上拉电流总电荷泵注入量，以达到上拉/下拉注入电荷泵相同的状态，从而使得锁相环处于另一种亚稳态（此时振荡器输出频率为周期性变化状态），导致输出信号频率错误。因此，建议频率锁定过程中先不开启电流拉偏功能，延迟一段时间待环路基本稳定后再打开电流拉偏功能。

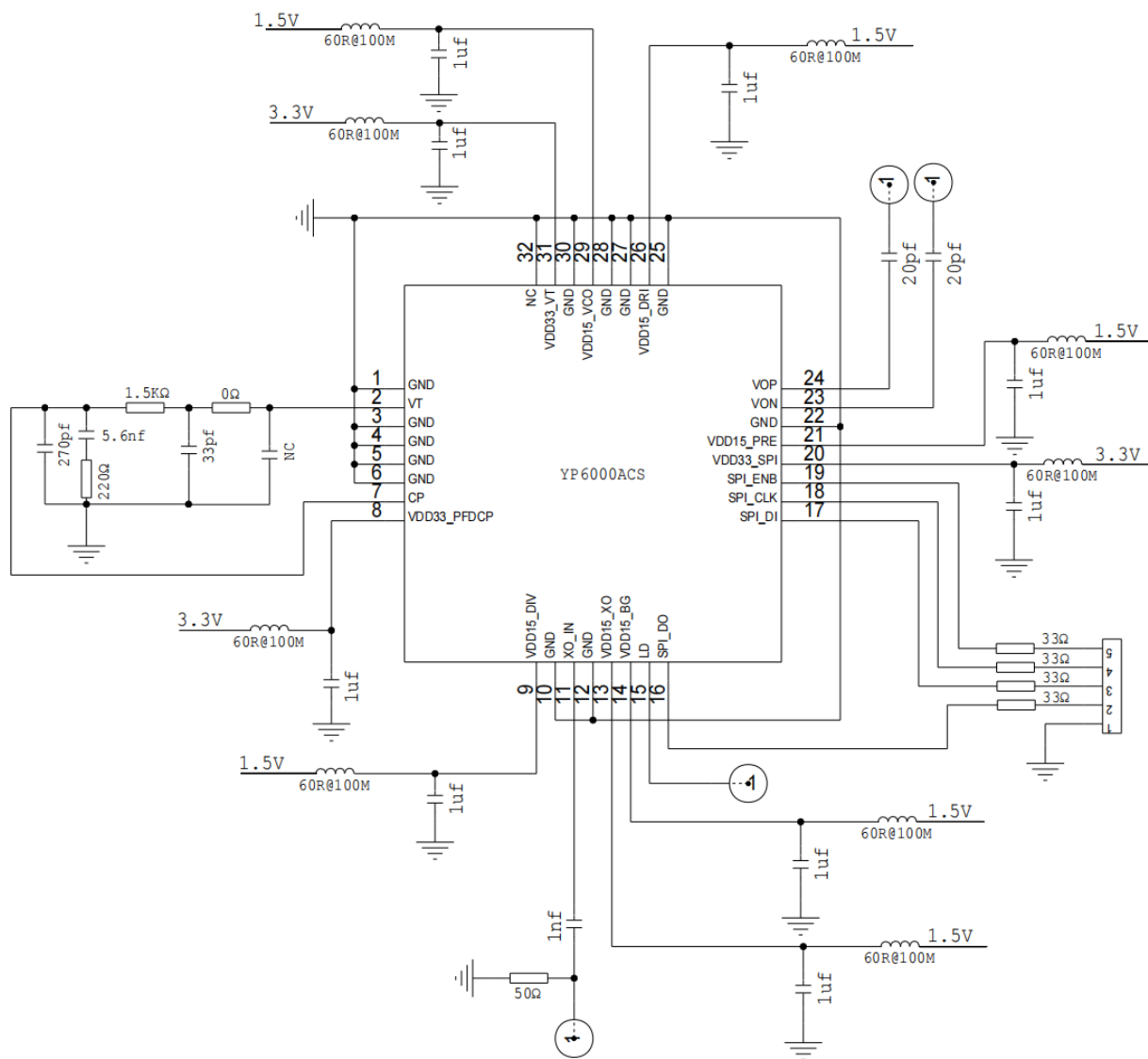
此外，存在上拉/下拉电流偏差时，参考时钟与反馈时钟存在固定相位差，在不考虑电荷泵周期内最小导通时间的情况下，此相位差（导通时间差）与上拉/下拉电流偏差的关系为，

$$\Delta\varphi = 2\pi \frac{\Delta I_{CP}}{I_{CP}}$$

$$\Delta t = T_{PFD} \frac{\Delta I_{CP}}{I_{CP}}$$

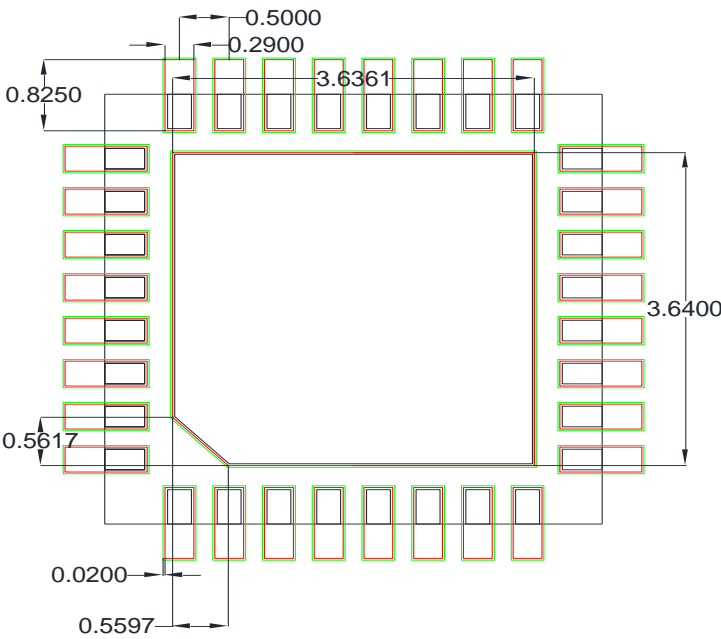
而芯片内部环路锁定判定是一段时间内（此段时间等于寄存器Reg0x13<3:2>配置的计数值与鉴相周期的乘积），参考时钟与反馈时钟的相位差（时间差）均小于寄存器Reg0x13<5:4>中设定值。因此，当存在电荷泵电流拉偏时，需保证Reg0x13<5:4>中设定值需小于鉴相周期，并且大于上式中由于拉偏电流导致的恒定时间差，否则锁定指示功能不能正常工作，会影响AFC判定过程，导致环路不能正常锁定。

## 芯片应用原理图



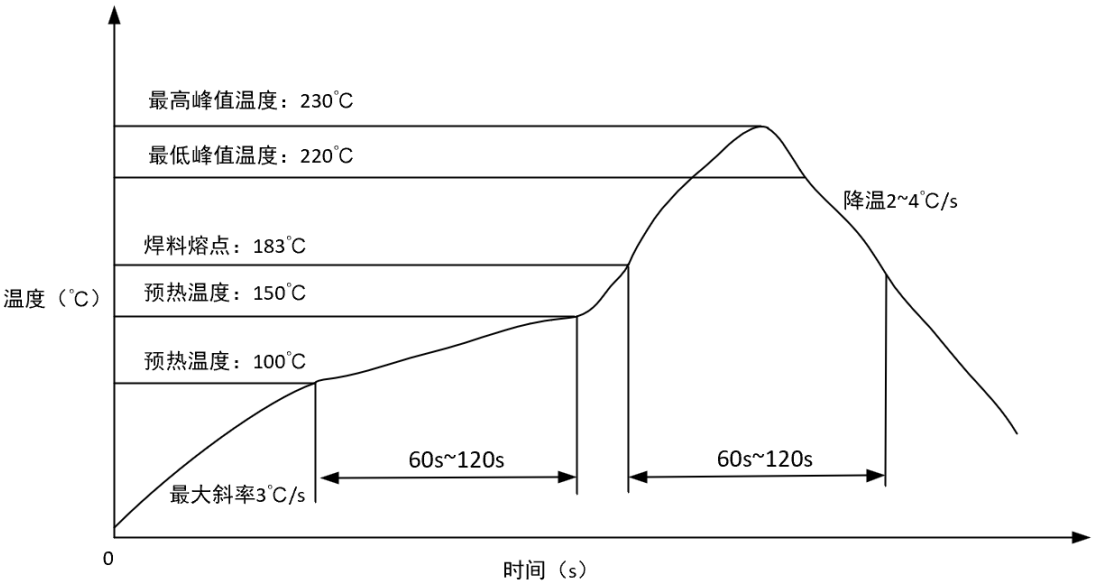
# 14 PCB及相关工艺信息

推荐焊盘尺寸：



推荐焊装工艺1：

- 芯片焊接采用锡铅焊料(Sn63Pb37);
  - 芯片需烘烤除湿，温度：115℃±5℃，时间：24H；
  - 印制板需要烘烤除湿，温度：115℃±5℃，时间：2H。
- 回流焊曲线图如下：



## 14 PCB及相关工艺信息

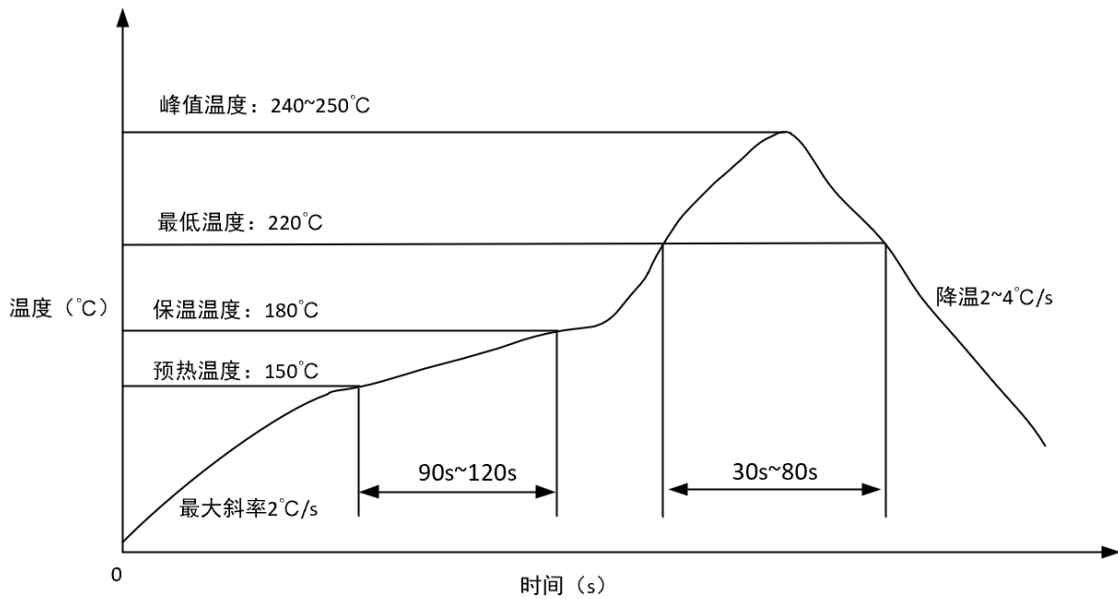
推荐焊装工艺2:

芯片焊接采用无铅焊料(Sn96.5Ag3Cu0.5);

芯片需烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 24H;

印制板需要烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 2H。

回流焊曲线图如下:



## 14 PCB及相关工艺信息

### 使用操作规程及注意事项：

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

### 推荐采用操作措施：

- 器件应在防静电的工作台上操作，或带指套操作；
- 试验设备和器具应接地；
- 不能触摸器件引线；
- 器件应存放在防静电材料制成的容器中（如：集成电路专用盒）；
- 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- 相对湿度尽可能保持在  $50\% \pm 20\%$ 。

### 运输与存储：

芯片存储环境温度是：-65℃到+150℃。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

### 开箱与检查：

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。



15 版本更新记录

日期	版本信息	版本说明	备注
2024.7.30	20240730-V1.0	初始版本1	

16 订购信息

产品型号	封装形式	质量等级	工作温度
YP6000ACS	QFN5*5-32L	N1级	-55℃~125℃
YP6000ACS-G	QFN5*5-32L	宽温级	-55℃~125℃