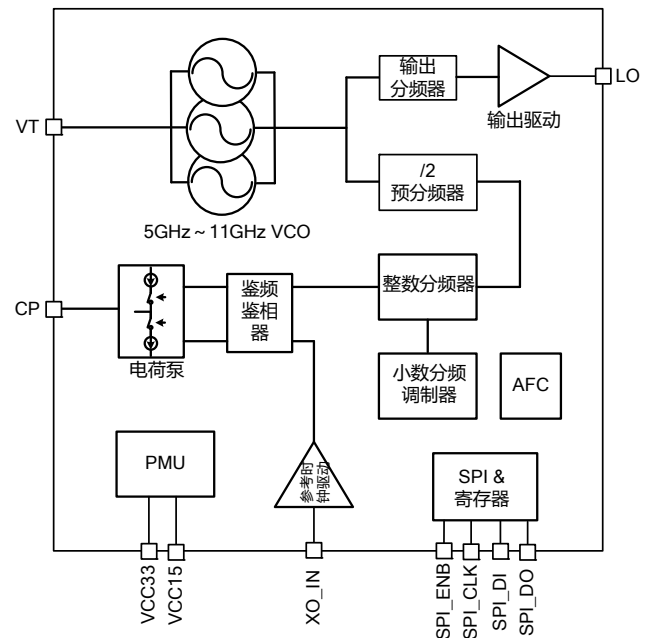


## 特征

- 输出频率范围: 0.01GHz ~ 11.2GHz
- 集成VCO频率范围: 5.6GHz ~ 11.2GHz
- 输出分频器分频范围:  $2^*$  (1 ~ 1023)
- 整数分频器分频范围: 16 ~ 4095
- 输入参考频率范围: 10MHz ~ 120MHz
- 相噪:  $\leq -106\text{dBc/Hz}$  @100kHz offset, 10GHz
- VCO相噪:  $\leq -123\text{dBc/Hz}$  @1MHz offset, 10GHz
- 杂散:  $\leq -75\text{dBc}$  (带外)
- AFC频率锁定时间:  $< 20\mu\text{s}$
- 集成24位小数调制器
- 集成SPI、片上LDO
- 电源电压: 3.3V/1.5V
- 工作电流:  $\leq 250\text{mA}$
- 封装外形: QFN-5\*5-32L

## 框图



## 产品简介

- YP3000BRS为一款基于CMOS工艺的集成VCO的低相噪、低杂散、宽带频率综合器芯片。内部VCO频率覆盖5.6GHz ~ 11.2GHz，通过输出分频器实现0.01GHz ~ 11.2GHz频率覆盖。
- 芯片内部包含鉴频鉴相器、电荷泵、VCO、整数分频器、小数调制器、输出分频器及驱动、电源管理、AFC、SPI接口电路及寄存器等。
- 芯片通过外部环路低通滤波器实现相噪与环路带宽、跳频稳定时间的灵活调节；片内集成快速AFC算法，跳频稳定时间小于20us。
- 芯片可应用于测试测量、低功耗无线通信、数据转换器等。
- 封装外形为QFN-5\*5-32L，整体工作电流小于250mA。
- 版本信息: 20230925-V1.0

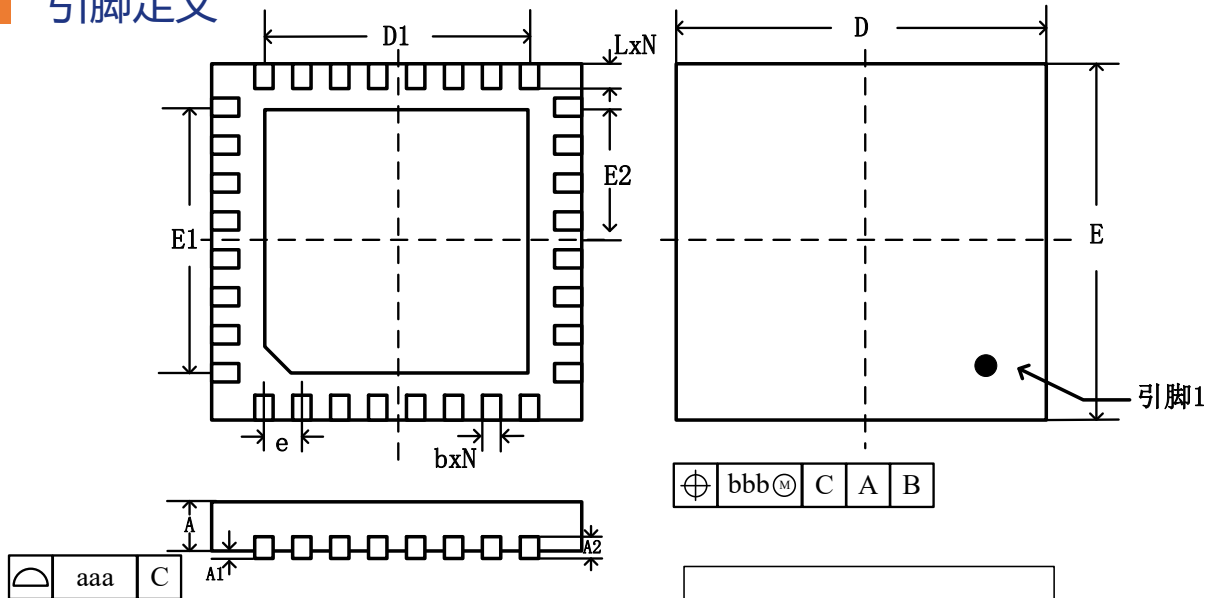
## 主要性能指标

参数	测试条件	最小值	典型值	最大值	单位
参考时钟频率范围( $f_{REF}$ )	-	10	-	120	MHz
参考时钟输入摆幅 ( $V_{REF}$ )	-	0.5	1	2	VPP
分频器分频范围 ( $N_{DIV}$ )	整数模式	16	-	4095	-
	小数模式	19	-	4091	-
输出分频器范围 ( $N_{DIVO}$ )	-	2*1	-	2*1023	-
内部VCO频率范围 ( $f_{VCO}$ )	-	5.6	-	11.2	GHz
输出频率范围 ( $f_{LO}$ )*	-	0.01	-	11.2	GHz
输出功率 ( $P_{LO}$ )	单端	-7	0	10	dBm
电荷泵电流 ( $I_{CP}$ )	-	1.6	12.8	12.8	mA
电荷泵电流调节步长	-	-	1.6	-	mA
电荷泵单边带相位噪声 @100MHz参考	1kHz	-	-135	-	dBc/Hz
	10kHz	-	-143	-	
	100kHz	-	-147	-	
VCO开环相位噪声 @10GHz	10kHz	-	-70	-	dBc/Hz
	100kHz	-	-98	-	
	1MHz	-	-125	-	
	10MHz	-	-148	-	
归一化噪底 (FoM)	整数模式	-	227	-	dBc/Hz
	小数模式	-	225	-	
杂散 (Spur)	$\geq 1$ MHz频偏	-	-75	-	dBc
	$\leq 1$ kHz频偏	-	-40	-	
调频步进 ( $f_{STEP}$ )	-	-	$2*f_{REF}/2^{24}$	-	Hz
调频稳定时间 (tstb)	-	-	-	20	us
工作电压 (VCC15)	1.5V电源	1.4	1.5	3.6	V
工作电压 (VCC33)	3.3V电源	3	3.3	3.6	V
工作电流 (VCC15)	1.5V电源	-	200	-	mA
工作电流 (VCC33)	3.3V电源	-	30	-	mA
工作温度	-	-40	-	85	°C

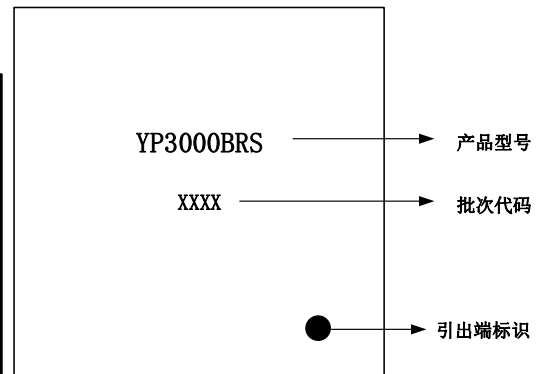
## 绝对最大额定值

参数	符号	数值	单位
电源电压	VDD15, VDD33	3.6	V
参考时钟输入摆幅	VPP_REF	2	V
SPI信号电平	VSPI_ENB, VSPI_CLK, VSPI_DI	-0.3~VDD33+0.3	V
控制信号电平	VCSB	-0.3~VDD15+0.3	V
VCO输入控制电压	VT	-0.3~2.5V	V
贮存温度	T <sub>mg</sub>	-65~150	°C
静电保护	V <sub>ESD</sub>	500	V

## 引脚定义



SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.20		
b	0.18	0.24	0.30
D	4.90	5.00	5.10
D1	3.45	3.60	3.75
E	4.90	5.00	5.10
E1	3.45	3.60	3.75
e	0.50		
L	0.30	0.40	0.50
N	32.00		
aaa	0.08		
bbb	0.10		



芯片封装外形图

## 引脚定义

序号	引脚名称	引脚功能说明
1	GND	地
2	GND	地
3	VT	VCO调谐电压输入端
4	GND	地
5	GND	地
6	GND	地

## 引脚定义

引脚定义 (续)

序号	引脚名称	引脚功能说明
7	GND	地
8	GND	地
9	CP	电荷泵输出端
10	VDD33_PFD	3.3V电源
11	VDD15_BG/XO	1.5V电源
12	XO_IN	参考信号输入端, 外部隔直
13	VDD15_DIV	1.5V电源
14	LD	PLL锁定指示输出端, 3.3V电压域
15	SPI_DO	SPI数据输出端, 3.3V电压域
16	SPI_DI	SPI数据输入端, 3.3V电压域
17	SPI_CLK	SPI使能时钟端, 3.3V电压域
18	SPI_ENB	SPI使能控制端, 3.3V电压域
19	VDD33_SPI	3.3V电源
20	VDD15_DRI	1.5V电源
21	VOP	PLL 正相输出端, 外部隔直
22	VON	PLL负相输出端, 外部隔直
23	GND	地
24	GND	地
25	GND	地
26	VDD15_PRE	1.5V电源
27	GND	地
28	VDD15_VCO	1.5V电源
29	GND	地
30	VDD15_VCO	1.5V电源
31	GND	地
32	VDD33_VT	3.3V电源

## 寄存器概览

寄存器概览

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	默认值
0x0	保留				整数分频器分频比配置高4位				0x00
0x1	整数分频器分频比配置低8位								0x28
0x2	小数分频比配置高8位								0x00
0x3	小数分频比配置中8位								0x00
0x4	小数分频比配置低8位								0x00
0x5	保留				小数分 频算法 初始相 位使能	保留	小数分频算法初始 相位选择		0x0A
0x6	SPI手动选择VCO BAND（需配合reg17<3>=1, reg14<4>=1）								0x00
0x7	保留		参考分 频器使 能	保留			参考分频器高两位		0x00
0x8	参考分频器低8位								0x00
0x9	四核VCO BUFFER独立使能				四核VCO独立使能				0x00
0xA	保留	VCO使 能	保留		VCO快 速启动 使能	高段 VCO VT端使 能	低段 VCO VT端使 能	保留	0x00
0xB	VCO BUF偏置电流调节			VCO偏置电流偏置调节			VCO OUTBUF偏 置电阻调节		0x00
0xC	CP电流选择								0x00
0xD	电荷泵电流下拉常开使能（优先级高于常关使能）								0x03
0xE	电荷泵电流上拉常开使能（优先级高于常关使能）								0x00
0xF	电荷泵 偏移电 流使能	保留	电荷泵上拉偏移电流选择						0x00
0x10	保留		电荷泵下拉偏移电流选择						0x00
0x11	电荷泵电流上拉常关使能（优先级低于常开使能）								0x00
0x12	电荷泵电流下拉常关使能（优先级低于常开使能）								0x00
0x13	PLL锁 定检测 电路使 能	PFD输 入时序 选择	PLL锁定检测相位 窗口调节		PLL锁定检测计数 器设置		PFD死区延时时间 选择		0x68
0x14	保留		AFC计 数模式 选择	AFC算 法选择	保留				0x00

## 寄存器概览

寄存器概览 (续)

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	默认值
0x15	保留								0x00
0x16	保留						PLL自动选段参考电压设置		0x02
0x17	小数分频算法输出使能	参考输入驱动使能	保留	预分频器使能	AFC使能	保留	SDM小数分频复位	PLL分频器复位	0x03
0x18	分频器LDO使能	分频器LDO输出电压调节			PLL BG使能	PLL BG温度系数调节			0x30
0x19	参考驱动LDO使能	参考驱动放大器LDO输出电压调节			输出驱动放大器LDO使能	输出驱动放大器LDO输出电压调节			0x33
0x1A	VT LDO使能	VCO LDO使能	保留			VCO LDO参考电压调节			0x03
0x1B	保留				PFDCP LDO使能	PFDCP LDO参考电压调节			0x05
0x1C	保留			预分频器LDO使能				输出驱动使能	0x00
0x1D	保留						数字算法LDO电压调节		0x00
0x1E	保留	数字算法LDO参考电压温度系数调节			保留				0x00
0x1F	保留			输出分频器使能	保留		输出分频器高两位		0x00
0x20	输出分频器低8位								0x00
0x21	AFC两次间隔时间设置低八位								0x00
0x22	AFC两次间隔时间设置高八位								0x04
0x23	AFC频段切换间隔时间设置								0x05

## 寄存器详情

寄存器默认值配置为4GHz频率输出，100MHz鉴相，整数一般模式。

### Reg0x0 寄存器详细信息

位	名称	描述	默认值
<7:4>	Reserved	保留	0x0
<3:0>	DIV_INT<11:8>	整数分频器分频比配置高4位	0x0

### Reg0x1 寄存器详细信息

位	名称	描述	默认值
<7:0>	DIV_INT<7:0>	整数分频器分频比配置低8位	0x28

### Reg0x2 寄存器详细信息

位	名称	描述	默认值
<7:0>	DIV_FRAC<23:16>	小数分频比配置高8位	0x00

### Reg0x3 寄存器详细信息

位	名称	描述	默认值
<7:0>	DIV_FRAC<15:8>	小数分频比配置中8位	0x00

### Reg0x4 寄存器详细信息

位	名称	描述	默认值
<7:0>	DIV_FRAC<7:0>	小数分频比配置低8位	0x00



## 寄存器详情

### Reg0x5 寄存器详细信息

位	名称	描述	默认值
<7:4>	reserved	保留	0x0
<3>	AUTOSEED	PLL小数分频算法初始相位使能, 上升沿有效	0x1
<2>	reserved	保留	0x0
<1:0>	SEED_SEL<1:0>	PLL小数分频算法初始相位选择 00: 24'b0; 01: 24'b1; 10: 24'hb29d08; 11: 24'h50f1cd;	0x2

### Reg0x6 寄存器详细信息

位	名称	描述	默认值
<7:0>	SPI_BAND_S<7:0>	SPI手动选择VCO BAND输出	0x00

### Reg0x7 寄存器详细信息

位	名称	描述	默认值
<7:6>	reserved	保留	0x0
<5>	PD10_DIVR	参考分频器使能, 1有效	0x0
<4:2>	reserved	保留	0x0
<1:0>	RDIV<9:8>	参考分频器比高2位	0x0

## 寄存器详情

**Reg0x8 寄存器详细信息**

位	名称	描述	默认值
<7:0>	RDIV<3:0>	参考分频比低8位	0x0

**Reg0x9 寄存器详细信息**

位	名称	描述	默认值
<7:4>	ENB10_VCOBUF<3:0>	四核VCOBUF单独使能, 0有效	0x0
<3:0>	ENB10_VCO<3:0>	四核VCO单独使能, 0有效	0x0

**Reg0xA 寄存器详细信息**

位	名称	描述	默认值
<7>	reserved	保留	0x0
<6>	SEL_VCO	VCO使能	0x0
<5:4>	保留	保留	0x0
<3>	ENB_VCO_QKSTUP	VCO快速启动使能, 0有效	0x0
<2>	ENB_10GVT	高段VCO VT端接入使能, 0有效	0x0
<1>	ENB_8GVT	低端VCO VT端接入使能, 0有效	0x0
<0>	reserved	保留	0x0

## 寄存器详情

Reg0xB 寄存器详细信息

位	名称	描述	默认值
<7:5>	TR10_IVCOBUF<2:0>	VCOBUF偏置电流选择: 000:250uA; 001:200uA; 010:150uA; 011:100uA; 100:450uA; 101:400uA; 110:350uA; 111:300uA;	0x0
<4:2>	TR10_IVCO<2:0>	VCO偏置电流选择: 101:12.5mA; 011:16.8mA; 111:19.8mA; 000: 20.6mA; 010:23.3mA; 100:22.3mA; 110:24.3mA;	0x0
<1:0>	TR_BUF_RES<1:0>	VCO OUTBUF偏置电阻选择: 00:100Ω; 01:200Ω; 10:135Ω; 11:400Ω;	0x0

Reg0xC 寄存器详细信息

位	名称	描述	默认值
<7:0>	ENB10_PFD25<7:0>	CP电流调节: 11111110: 1.6mA; 11111100: 3.2mA; 11111000: 4.8mA; 11110000: 6.4mA; 11100000: 8.0mA; 11000000: 9.6mA; 10000000: 11.2mA; 00000000: 12.8mA;	0xF0

Reg0xD 寄存器详细信息

位	名称	描述	默认值
<7:0>	CP_DN25<7:0>	电荷泵电流下拉常开使能, 1有效 (优先级高于常关使能)	0x3

## 寄存器详情

### Reg0xE 寄存器详细信息

位	名称	描述	默认值
<7:0>	CP_UP25<7:0>	电荷泵电流上拉常开使能 (优先级高于常关使能)	0x00

### Reg0xF 寄存器详细信息

位	名称	描述	默认值
<7>	ENP_IOS_CP10	PLL电荷泵偏移电流模块使能, 0有效	0x0
<6>	reserved	保留	0x0
<5:0>	IOSP_CP_TR10<5:0>	PLL电荷泵上拉偏移电流选择 000000: 10uA; 000001: 20uA; ..... 111111: 630uA;	0x00

### Reg0x10 寄存器详细信息

位	名称	描述	默认值
<7:6>	reserved	保留	0x0
<5:0>	IOSN_CP_TR10<5:0>	PLL电荷泵下拉偏移电流选择 000000: 10uA; 000001: 20uA; ..... 111111: 630uA;	0x00

### Reg0x11 寄存器详细信息

位	名称	描述	默认值
<7:0>	TIH_UPN25<7:0>	电荷泵电流上拉常关使能 (优先级低于常开使能)	0x00

### Reg0x12 寄存器详细信息

位	名称	描述	默认值
<7:0>	TIL_DNP25<7:0>	电荷泵电流下拉常关使能 (优先级低于常开使能)	0x00

## 寄存器详情

### Reg0x13 寄存器详细信息

位	名称	描述	默认值
<7>	PLL_LD_RST10	PLL锁定检测电路复位, 1有效	0x0
<6>	PFD_IN_CTR10	PFD输入时序选择	0x1
<5:4>	PLL_LD_DEL_T10<1:0>	PLL锁定检测相位窗口调节 00: 1ns; 01: 2ns; 10: 5ns; 11: 10ns;	0x2
<3:2>	PLL_LD_CNT_T10<1:0>	PLL锁定检测计数器设置 00: 32; 01: 128; 10: 512; 11: 2048;	0x2
<1:0>	PFD_DT_T10<1:0>	PFD死区延时时间选择	0x0

### Reg0x14 寄存器详细信息

位	名称	描述	默认值
<7:6>	reserved	保留	0x0
<5>	SEL10_AFC_M	AFC计数器模式选择 (参考频率低于50MHz时 设置为1)	0x0
<4>	AFC_SEL10	AFC算法选择 (手动模式设置为1)	0x0
<3:0>	保留	保留	0x0

### Reg0x15 寄存器详细信息

位	名称	描述	默认值
<7:0>	reserved	保留	0x00

### Reg0x16 寄存器详细信息

位	名称	描述	默认值
<7:2>	reserved	保留	0x00
<1:0>	CMP_VT_VREF_H10<1:0>	PLL自动选段参考电压选择: 00: 0.96V 01: 1.08V 10: 1.2V 11: 1.32V	0x2

## 寄存器详情

### Reg0x17 寄存器详细信息

位	名称	描述	默认值
<7>	FRAC_BYPASS	PLL小数分频算法输出使能, 0有效	0x0
<6>	ENB_XOBUF	PLL参考输入驱动使能, 0有效	0x0
<5>	reserved	保留	0x0
<4>	ENB_PRE	PLL预分频器使能, 0有效	0x0
<3>	ENB10_AFC	PLL AFC频率自动校准模块使能, 0有效	0x0
<2>	reserved	保留	0x0
<1>	RSTN_SDM	PLL SDM小数分频复位, 0有效	0x1
<0>	RSTN_DIV10	PLL分频器复位, 0有效	0x1

### Reg0x18 寄存器详细信息

位	名称	描述	默认值
<7>	PD_LDO_DIV	PLL分频器LDO使能, 0有效	0x0
<6:4>	LDO_VREF_DIV_T10<2:0>	PLL分频器LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.10V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0x3
<3>	ENB10_BG	PLL BG使能, 0有效	0x0
<2:0>	BG_TC_T10<2:0>	PLL BG温度系数调节 000至100: 正温度系数逐渐变大; 111至101: 负温度系数逐渐变大; 000: 497mV~497mV; 100: 442mV~457mV; 101: 557mV~538mV;	0x0

## 寄存器详情

### Reg0x19 寄存器详细信息

位	名称	描述	默认值
<7>	PD_LDO_XO	PLL参考驱动放大器LDO使能, 0有效	0x0
<6:4>	LDO_VREF_XO_T10<2:0>	PLL参考驱动放大器LDO输出电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 111: 0.98V; 110: 0.94V; 101: 0.9V; 100: 0.86V;	0x3
<3>	PD_LDO_DRI	PLL输出驱动放大器LDO使能, 0有效	0x0
<2:0>	LDO_VREF_DRI_T10<2:0>	PLL输出驱动放大器LDO输出电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0x3

### Reg0x1A 寄存器详细信息

位	名称	描述	默认值
<7>	PD_LDO_VT	PLL VT LDO使能, 0有效	0x0
<6>	PD_LDO_10GVCO	VCO LDO使能, 0有效	0x0
<5:3>	reserved	保留	0x0
<2:0>	LDO_VREF_VCO_T10<2:0>	PLL VCO LDO输出电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 111: 0.98V; 110: 0.94V; 101: 0.9V; 100: 0.86V;	0x3

## 寄存器详情

### Reg0x1B 寄存器详细信息

位	名称	描述	默认值
<7:4>	reserved	保留	0x0
<3>	PD_LDO_PFDCP	PFDCP电源使能, 0有效	0x0
<2:0>	LDO_VREF_PFDCP_T10<2:0>	PLL PFDCP LDO输出电压调节 000: 2.5V; 001: 2.6V; 010: 2.7V; 011: 2.8V; 111: 2.4V; 110: 2.3V; 101: 2.2V; 100: 2.1V;	0x5

### Reg0x1C 寄存器详细信息

位	名称	描述	默认值
<7:5>	reserved	保留	0x0
<4>	PD_LDO_PRE	预分频器LDO使能	0x0
<3:1>	reserved	保留	0x0
<0>	ENB_DRI	输出驱动使能	0x0

### Reg0x1D 寄存器详细信息

位	名称	描述	默认值
<7:2>	reserved	保留	0x00
<1:0>	LDO_SPI_TR10<1:0>	数字算法模块LDO电压调节	0x0

### Reg0x1E 寄存器详细信息

位	名称	描述	默认值
<7:0>	reserved	保留	0x00



## 寄存器详情

### Reg0x1F 寄存器详细信息

位	名称	描述	默认值
<7:5>	reserved	保留	0x0
<4>	SEL_DIVO	输出分频器选择, 0: 不分频; 1: 分频	0x0
<3:2>	reserved	保留	0x0
<1:0>	ODIV<9:8>	输出分频比高2位, 输出分频比 =2*ODIV<9:0>	0x0

### Reg0x20 寄存器详细信息

位	名称	描述	默认值
<7:0>	ODIV<7:0>	输出分频比低8位, 输出分频比 =2*ODIV<9:0>	0x00

### Reg0x21 寄存器详细信息

位	名称	描述	默认值
<7:0>	N_LoopSt<7:0>	AFC间隔时间设置低8位, $t=T_{ref} * N\_LoopSt<15:0>$	0x00

### Reg0x22 寄存器详细信息

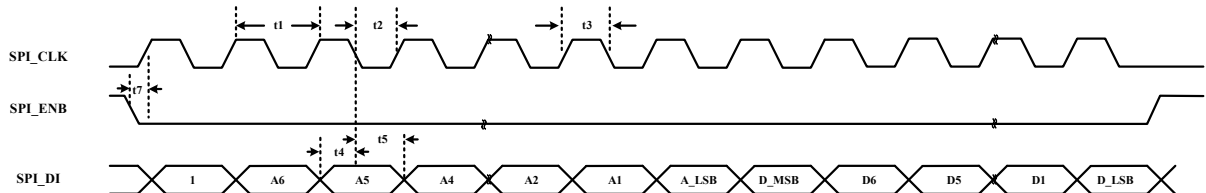
位	名称	描述	默认值
<7:0>	N_LoopSt<15:8>	AFC间隔时间设置高8位, $t=T_{ref} * N\_LoopSt<15:0>$	0x04

### Reg0x23 寄存器详细信息

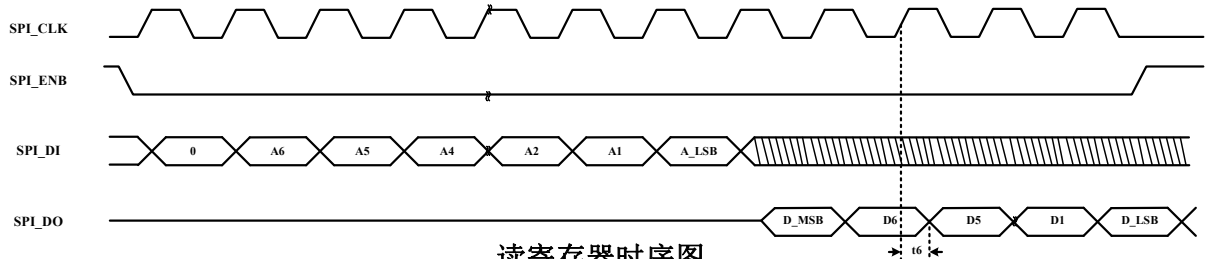
位	名称	描述	默认值
<7:0>	N_VcoSt<7:0>	AFC频段切换间隔时间设置, $t=T_{ref} * (N\_VcoSt<7:0> + 1)$	0x05

## 寄存器时序说明

芯片串口数据控制器（SPI）主要包括串口时钟输入（SPI\_CLK）、串口数据写入（SPI\_DI）以及串口使能部分（SPI\_ENB），其配置时序如图所示：



写寄存器时序图



读寄存器时序图

SPI时间参数表

参数	符号	最小值	典型值	最大值	单位
SPI_CLK频率	$f_{\text{SCLK}}$	-	-	40	MHz
SPI_CLK周期	t1	25	-	-	ns
SPI_CLK低电平脉宽	t2	10	-	-	ns
SPI_CLK高电平脉宽	t3	10	-	-	ns
SPI_DI建立时间	t4	2.5	-	-	ns
SPI_DI保持时间	t5	2.5	-	-	ns
SPI_CLK上升沿到SPI_DO生效的延迟时间	t6	2.5	-	-	ns
SPI_ENB下降沿到SPI_CLK上升沿建立时间	t7	10	-	-	ns

## 频率计算公式

本芯片工作时，VCO后级接射频÷2预分频器，输出本振射频频率计算如下：

$$f_{VCO} = \frac{f_{REF}}{R_{div}} \times (N_{int} + N_{frac}) \times 2$$

$$f_{LO} = \frac{f_{VCO}}{N_{DIVO}}$$

其中：

$f_{REF}$ 为XO\_REF端口输入的参考频率；

$f_{LO}$ 为LO端口输出本振频率；

$f_{VCO}$ 为VCO输出频率；

$R_{div}$ 为参考分频比，由寄存器reg0x7<5>配置参考分频器使能，寄存器reg0x7<1:0>，reg0x8<7:0>配置参考分频器分频比；

$N_{DIVO}$ 为输出分频器DIV\_O的分频比，由寄存器reg0x1F<4>配置输出分频器使能，由寄存器reg0x1F<1:0>，reg0x20<7:0>配置输出分频比， $N_{DIVO}$ 为配置数的2倍；

$N_{int}$ 为整数分频比，由寄存器reg0x0<3:0>配置整数分频比高4位、寄存器

reg0x1<7:0>配置整数分频比低8位；在小数模式下，最小值min=19d，最大值

max=2<sup>12</sup>-5=FFCh=4091d；在整数模式下，最小值min=16d，最大值max=

2<sup>12</sup>-1=FFFh=4095d；

$N_{frac}$ 为小数分频比，由寄存器reg0x2<7:0>、寄存器reg0x3<7:0>、寄存器

reg0x4<7:0>配置小数分频比DIV\_FRAC<23:0>，小数分频比计算如下：

$$N_{frac} = \frac{DIV\_FRAC < 23:0 >}{2^{24}}$$

## 频率配置示例

以8GHz输出频率为例，参考输入频率为100MHz，鉴相频率50MHz，在整数模式下，参考分频比 $R_{div}=2$ ，整数分频比 $N_{int}=80$ ，小数分频模块关闭，输出分频比 $N_{DIVO}=1$ ，即：

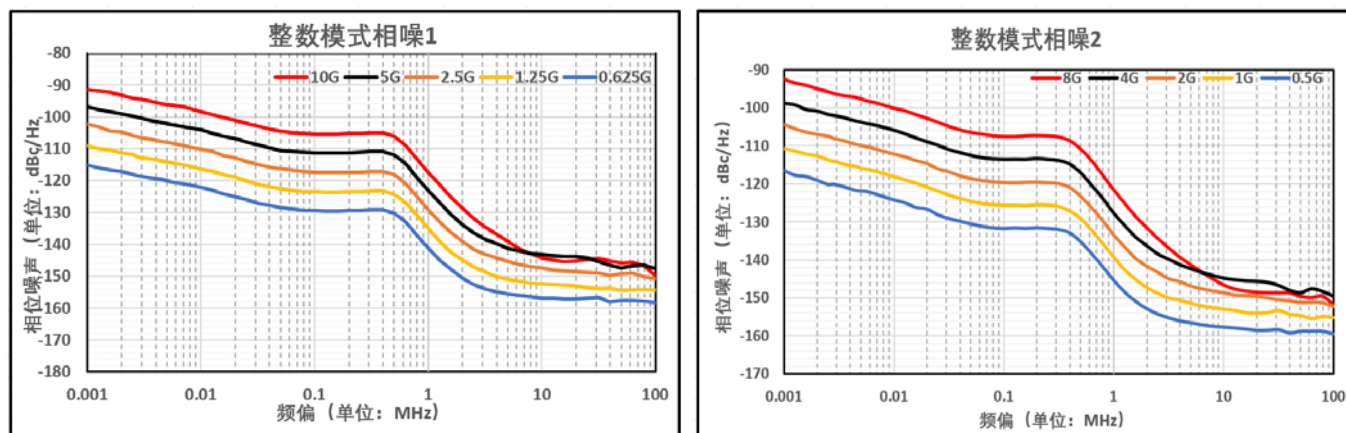
寄存器	Reg0x6 <5>	Reg0x7 <1:0>, Reg0x8 <7:0>	Reg0x0 <3:0>, Reg0x1 <7:0>	Reg0x2<7:0>, Reg0x3<7:0>, Reg0x4<7:0>	Reg0x1F <4>	Reg0x1F <1:0>, Reg0x20 <7:0>	Reg0x17 <7>, Reg0x17 <1>
名称	PD10_DIVR	RDIV<9:0>	DIV_INT<11:0>	DIV_FRAC<23:0>	SEL_DIVO	ODIV<9:0>	FRAC_BYPASS, RSTN SDM
配置	0x1	0x002	0x050	0x000000	0x0	0x000	0x1, 0x0
说明	参考分频比使能	参考分频比	整数分频比	小数分频比	输出分频选择	输出分频比	小数调制器旁路

## 频率配置示例

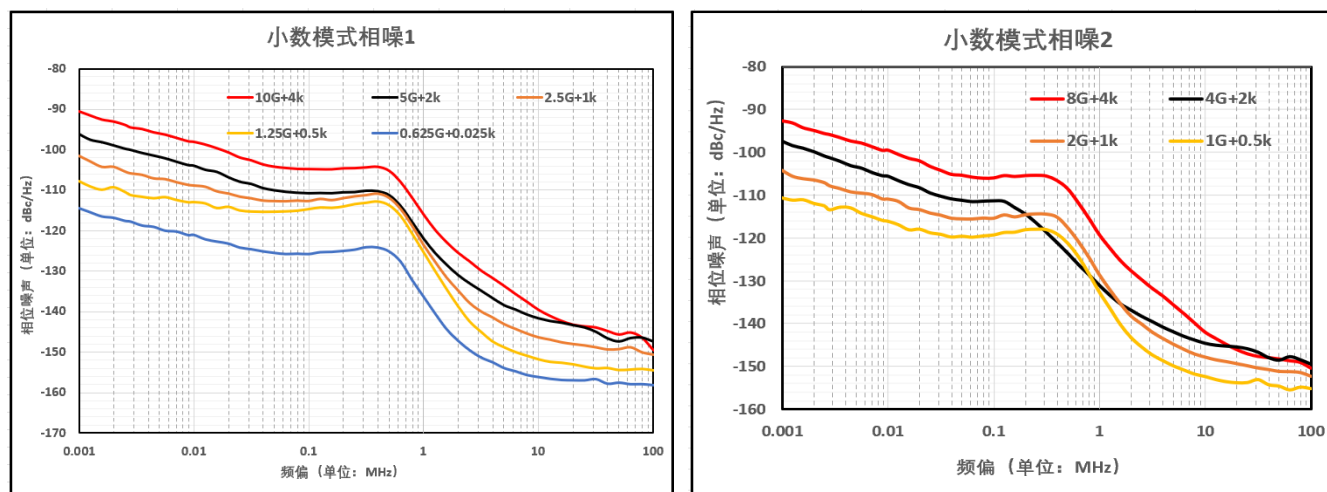
小数模式下，以4GHz+1KHz本振输出频率为例，参考输入频率为100MHz，鉴相频率为50MHz，参考分频比 $R_{div}=2$ ，整数分频比 $N_{int}=80$ ，小数分频比 $N_{frac}=0.00002$ ，输出分频比 $N_{DIVO}=2$ ，寄存器设置DIV\_FRAC<23:0>为0x00014F，设置Reg0x17<7>为0x0，Reg0x17<1>为0x1，小数调制器打开，即：

寄存器	Reg0x6 <5>	Reg0x7 <1:0>, Reg0x8 <7:0>	Reg0x0 <3:0>, Reg0x1 <7:0>	Reg0x2<7:0>, Reg0x3<7:0>, Reg0x4<7:0>	Reg0x1F <4>	Reg0x1F <1:0>, Reg0x20 <7:0>	Reg0x17<7>, Reg0x17<1>
名称	PD10_DI VR	RDIV<9: 0>	DIV_INT <11:0>	DIV_FRAC <23:0>	SEL_DIVO	ODIV<9:0 >	FRAC BYPAS S, RSTN SDM
配置	0x1	0x002	0x050	0x00014F	0x1	0x001	0x0, 0x1
说明	参考分频 比使能	参考分频 比	整数分频 比	小数分频比	输出分频选 择	输出 分频比	小数调制器打 开

## 测试结果

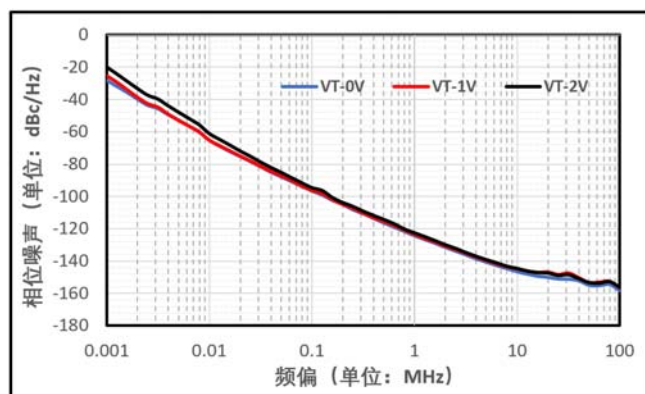


图一 相位噪声（整数模式）

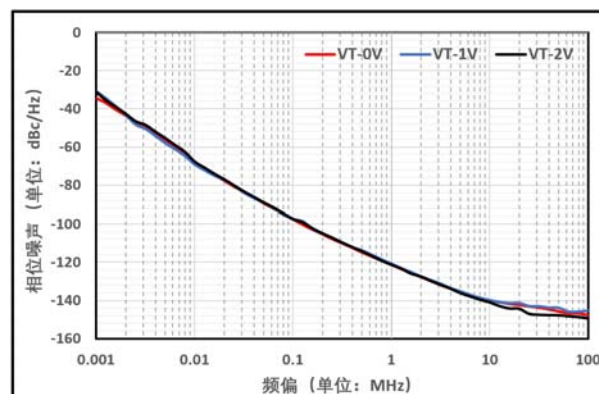


图二 相位噪声（小数模式）

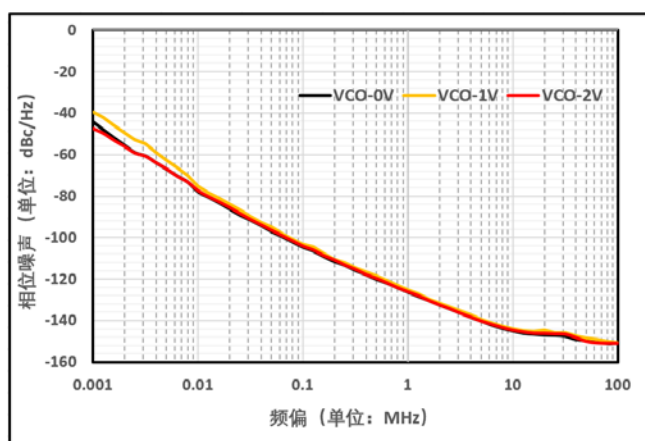
## 测试结果



图三 10G VCO开环相噪

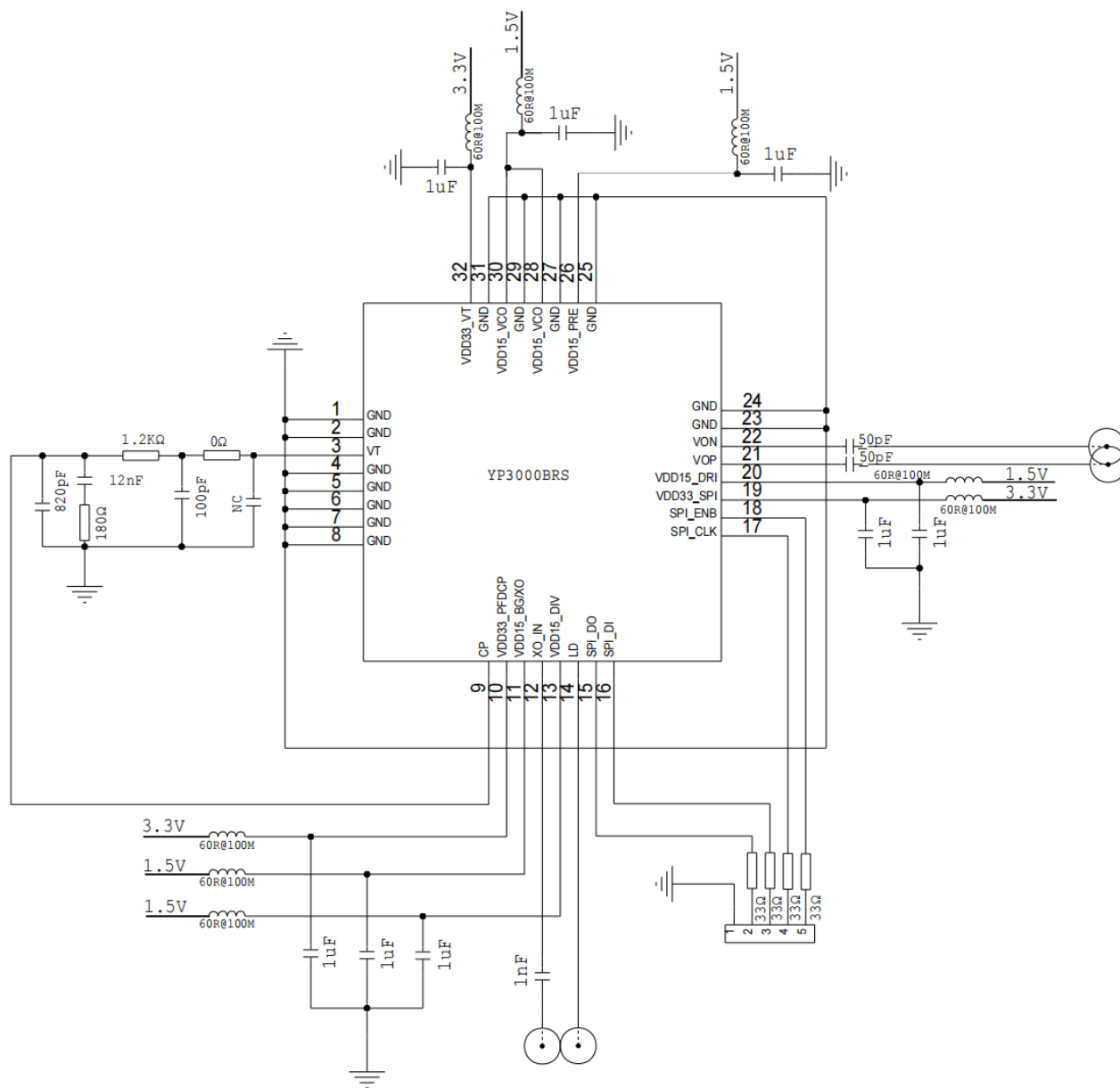


图四 8G VCO开环相噪



图五 6G VCO开环相噪

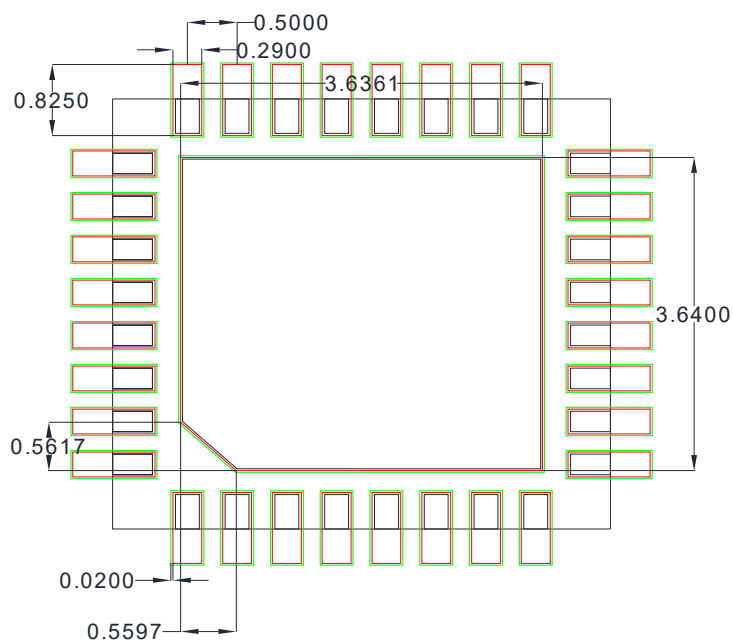
## 应用



芯片应用原理图

## 应用

推荐焊盘尺寸:



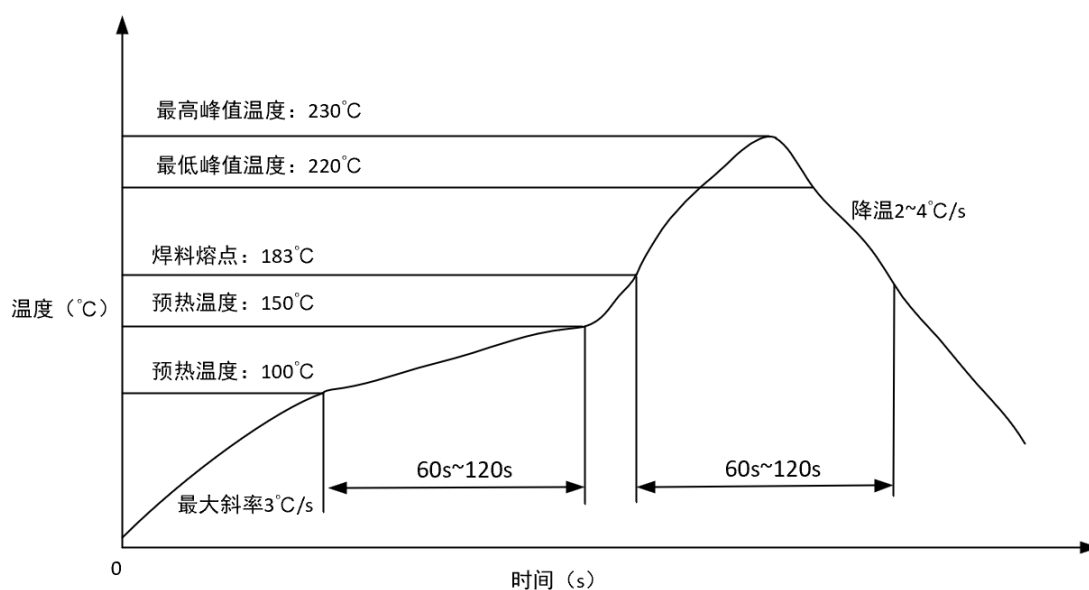
推荐焊装工艺1:

芯片焊接采用锡铅焊料(Sn63Pb37);

芯片需烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 24H;

印制板需要烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 2H。

回流焊曲线图如下:





## 应用

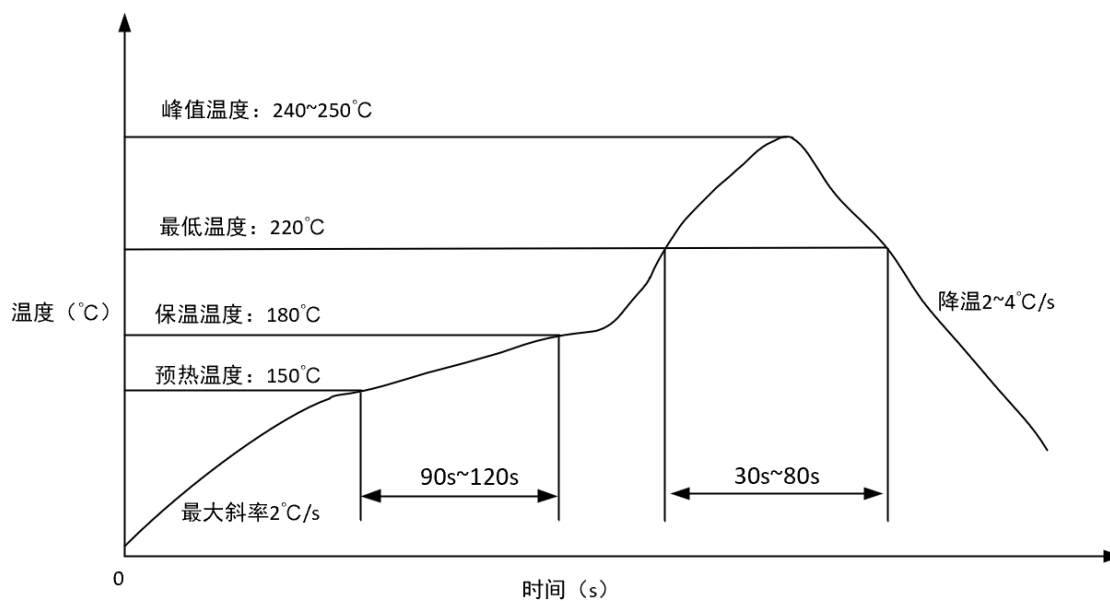
推荐焊装工艺2:

芯片焊接采用无铅焊料(Sn96.5Ag3Cu0.5);

芯片需烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 24H;

印制板需要烘烤除湿, 温度:  $115^{\circ}\text{C} \pm 5^{\circ}\text{C}$ , 时间: 2H。

回流焊曲线图如下:



## 应用

使用操作规程及注意事项：

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐采用操作措施：

- 器件应在防静电的工作台上操作，或带指套操作；
- 试验设备和器具应接地；
- 不能触摸器件引线；
- 器件应存放在防静电材料制成的容器中（如：集成电路专用盒）；
- 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- 相对湿度尽可能保持在  $50\% \pm 20\%$ 。

运输与存储：

芯片存储环境温度是：-65℃到+150℃。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

开箱与检查：

开箱使用芯片时，请注意观察芯片管壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片管壳及引脚。确定管壳无损坏，无伤痕，管脚整齐，无缺失，无变形。