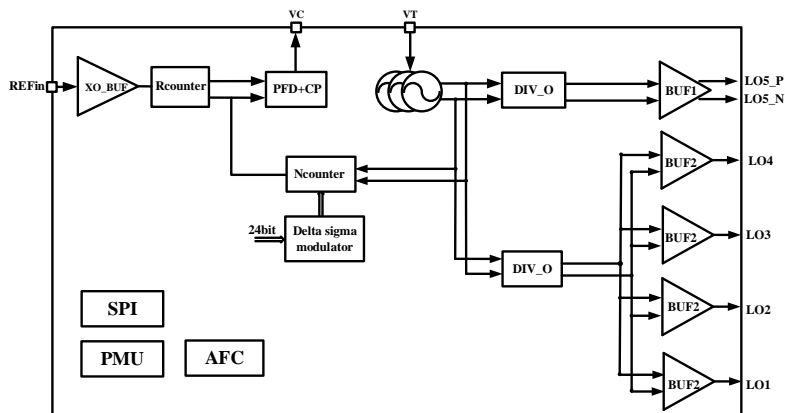


特征

- 输出频率范围：20MHz~2600MHz
- VCO频率范围：1.3GHz~2.6GHz
- 参考频率范围：10MHz~300MHz
- 参考分频范围：1~1023
- 整数分频范围：16~4095
- 输出分频器分频范围：1~64
- 幅度一致性： $\leq \pm 1\text{dB}$ (LO1~LO4通道)
- 相位一致性： $\leq \pm 3^\circ$ (LO1~LO4通道)
- 相位噪声：
 - $\leq -102\text{dBc/Hz@1KHz offset}$
 - $\leq -107\text{dBc/Hz@10KHz offset}$
 - $\leq -110\text{dBc/Hz@100KHz offset}$
 - $\leq -125\text{dBc/Hz@1MHz offset}$
(1.3GHz载波频率)
- 杂散： $\leq -70\text{dBc}$ (带外)
- 电源电压：3.3V
- 工作电流： $< 85\text{mA}$
- 芯片封装形式：QFN6×6-48L

框图



产品简介

- 本产品为一款多路输出的S波段频率合成器芯片，其中四路 (LO1~LO4) 为单端匹配50Ω输出，一路 (LO5) 为差分匹配100Ω输出，均可实现20MHz~2600MHz的本振输出频率范围。
- 芯片主要由参考输入缓冲放大器、参考分频器、鉴频鉴相器、电荷泵、整数分频器、小数调制器、压控振荡器、自动频率校准电路 (AFC)、电源管理 (PMU)、SPI等模块构成，其中小数调制器具有24bit数据调节位，可以实现亚Hz的频率步进。
- 芯片通过SPI接口灵活配置频率源输出频率及内部各模块的工作状态，锁相环环路滤波器采用外接方式，可灵活调节锁相环相位噪声与锁定时间。
- 应用于无线通信方向等。
- 版本信息：20230407-V1.0

主要性能指标

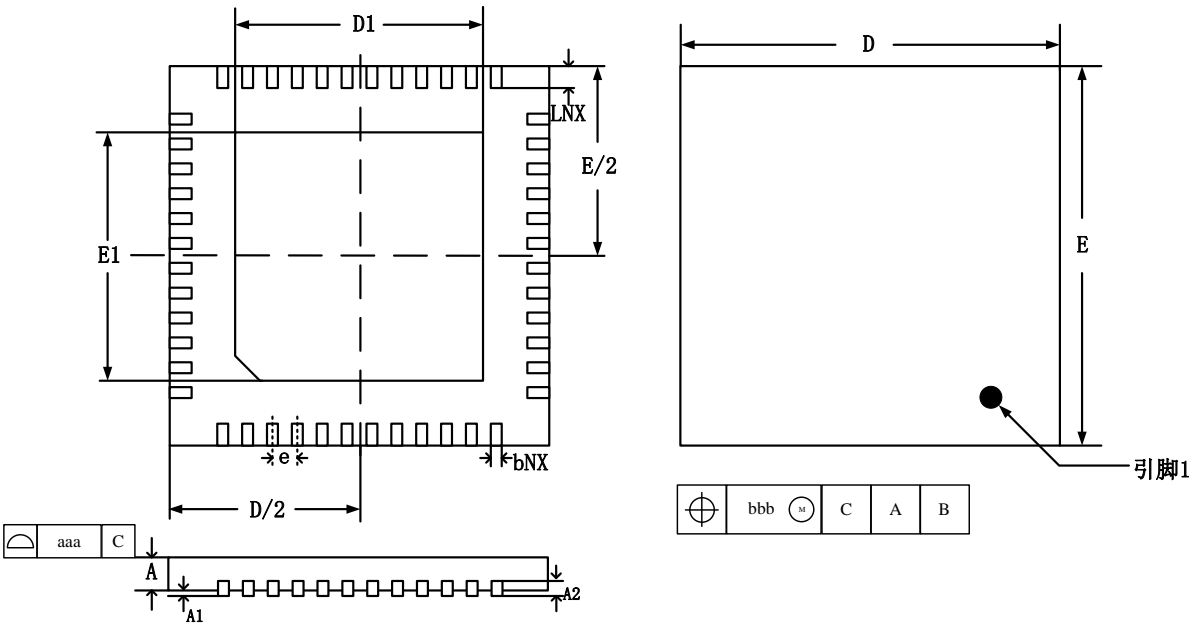
序号	技术指标	符号	条件	最小值	典型值	最大值	单位
1	电源电压	V_{CC}		3	3.3	3.6	V
2	输入参考频率	f_{REF}		10	-	300	MHz
3	参考分频比	R_{div}		1	-	1023	
4	整数分频比	N_{div}	整数模式下	16	-	4095	
			小数模式下	19	-	4091	
5	输出分频比	N_{divo}	LO1~LO5	1	-	64	
6	输出频率	f_{RF}	LO1~LO5	20	-	2600	MHz
7	输出功率	P_{RF}	LO1~LO5	-5	-	3	dBm
8	幅度一致性		LO1~LO4	-1	-	+1	dBm
9	相位一致性		LO1~LO4	-3	-	+3	°
10	相位噪声	PN	@100Hz, 1.3GHz			-92	dBc/Hz
			@1kHz, 1.3GHz			-102	dBc/Hz
			@10kHz, 1.3GHz			-107	dBc/Hz
			@100kHz, 1.3GHz			-110	dBc/Hz
			@1MHz, 1.3GHz			-125	dBc/Hz
11	杂散抑制	spur	整数杂散, 带外	-70	-	-	dBc
			边界杂散, 带内	-45	-	-	dBc
12	调频步进	f_{STEP}			$f_{REF}/2^{24}$		Hz
13	锁定时间	tstb				40	μs
14	工作电流	I_{CC}				85	mA
15	工作温度	Ta		-55		85	°C
16	贮存温度	Tmg		-65		150	°C

绝对最大额定值

参数	符号	数值
工作电压	VCC_VCO、VCC_AFC、VCC_DIV、 VCC_XO、VCC_PFDCP	3.6V
参考时钟输入摆幅	VPP_REF	2V
SPI信号电平	V _{SPI_ENB} , V _{SPI_CLK} , V _{SPI_DI}	-0.3~3.6V
工作温度	T _a	-55℃~85℃
最大结温	T _j	125℃
贮存温度	T _{mg}	-65℃~150℃

外形尺寸

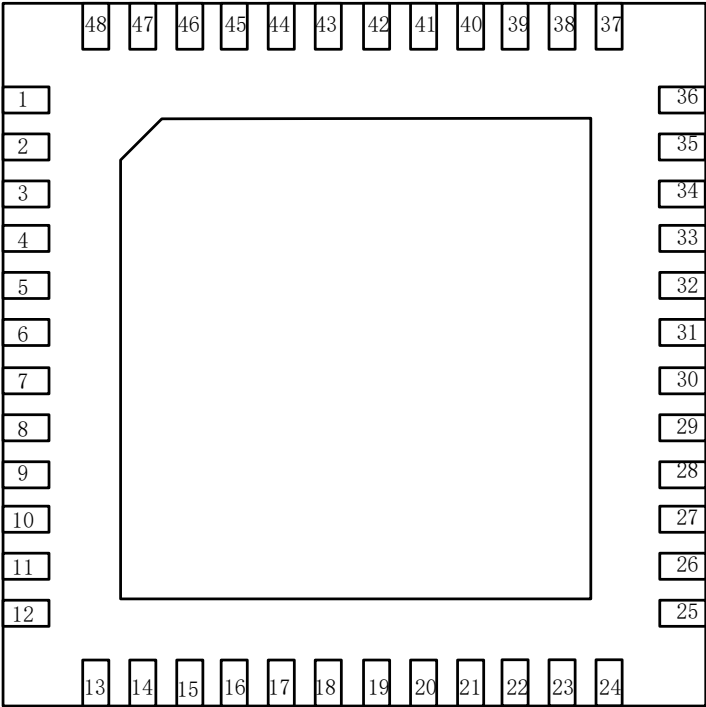
芯片封装采用QFN6×6 48LEAD形式。



SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.20REF		
b	0.15	0.20	0.25
D	5.95	6.00	6.05
D1	3.95	-	4.20
E	5.95	6.00	6.05
E1	3.95	-	4.20
e	0.40BSC		
L	0.30	0.40	0.50
N	48.00		
aaa	0.08		
bbb	0.10		

芯片封装外壳图

引脚定义



芯片引脚说明

芯片引脚定义

序号	符号	功能	描述
1	NC	悬空	悬空
2	VT_PLL	本振VCO调谐电压输入端	控制VCO频率,频率随输入电压增大而增大
3	NC	悬空	悬空
4	NC	悬空	悬空
5	NC	悬空	悬空
6	NC	悬空	悬空
7	NC	悬空	悬空
8	VDD10_VCO	本振VCO LDO输出	VCO模块内部LDO输出端
9	NC	悬空	悬空
10	NC	电源	VCO电源输入端, 3.3V
11	NC	悬空	悬空

引脚定义

芯片引脚定义 (续)

序号	符号	功能	描述
12	NC	悬空	悬空
13	NC	悬空	悬空
14	NC	悬空	悬空
15	NC	悬空	悬空
16	NC	悬空	悬空
17	NC	悬空	悬空
18	NC	悬空	悬空
19	NC	悬空	悬空
20	NC	悬空	悬空
21	LO5_P	LO5正端输出	本振LO5正端输出端
22	LO5_N	LO5负端输出	本振LO5负端输出端
23	NC	悬空	悬空
24	NC	悬空	悬空
25	LO4	LO4输出	本振LO4输出端
26	NC	悬空	悬空
27	LO3	LO3输出	本振LO3输出端
28	NC	悬空	悬空
29	LO2	LO2输出	本振LO2输出端
30	NC	悬空	悬空
31	LO1	LO1输出	本振LO1输出端
32	VCC_AFC	电源	AFC模块模拟部分电源输入端，3.3V
33	SPI_DI	SPI数据	SPI数据输入端
34	SPI_CLK	SPI时钟	SPI时钟输入端
35	SPI_ENB	SPI使能	SPI使能控制端
36	NC	悬空	悬空
37	VCC_DIV	电源	分频器模块电源输入端，3.3V
38	NC	悬空	悬空
39	VCC_XO	电源	参考放大器电源输入端，3.3V

引脚定义

芯片引脚定义 (续)

序号	符号	功能	描述
40	NC	悬空	悬空
41	PLL_LATCH	本振环路锁相检测输出	判断PLL环路是否锁定，若输出为高电平，则环路锁定；如输出为低电平，则环路失锁。
42	NC	悬空	悬空
43	REF_IN	参考输入	参考输入端
44	MUX_OUT	本振环路测试口	可测试参考分频信号和反馈分频信号性能
45	VCC_PFD	电源	本振PFD、CP电源输入端，3.3V
46	NC	悬空	悬空
47	NC	悬空	悬空
48	VC_PLL	本振电荷泵输出	本振电荷泵输出端，外接环路滤波器。

寄存器概览

寄存器默认值配置为1.3GHz频率输出，50MHz鉴相，整数模式。

寄存器概览

Reg	寄存器功能概述	默认值
0x0	锁相环带隙基准源与锁相环LO1~LO4通驱动放大器LDO输出电压控制	0x03
0x1	锁相环分频器LDO输出电压与压控振荡器LDO输出电压控制	0x03
0x2	锁相环LO5通道输出驱动放大器LDO输出电压控制	0x05
0x3	模块使能寄存器，包括VCO输出BUF使能、参考分频器使能、参考分频输出驱动使能、参考输入驱动使能、PFDCP使能、SDM使能、整数分频器使能	0x21
0x4	保留	0x00
0x5	锁相环小数功能使能、小数分频算法初始相位使能、小数分频算法初始相位选择	0x32
0x6	锁相环小数分频设置	0x00
0x7		0x00
0x8		0x00
0x9	锁相环锁定相位窗口宽度调节、锁定窗口计数调节	0x00
0xA	锁相环电荷泵充放电大小调节	0x0F
0xB	锁相环电荷泵电流拉偏使能、电荷泵上拉偏电流大小设置	0x00
0xC	锁相环电荷泵下拉偏电流大小设置	0x00
0xD	锁相环振荡器使能，选择不同VCO工作	0x60
0xE	2.5GHz VCO偏置电流调节	0x04
0xF	2GHz VCO偏置电流调节	0x04
0x10	1.5GHz VCO偏置电流调节	0x04
0x11	保留	0x00
0x12	保留	0x00
0x13	PLL LO5通道输出驱动放大器偏置电流调节、输出分频器使能；LO1~LO4通道输出分频比配置	0x50
0x14	锁相环整数分频比设置	0x01
0x15		0x0A
0x16	保留	0x00
0x17	保留	0x00

寄存器概览

寄存器概览（续）

Reg	寄存器功能概述	默认值
0x18	测试口选择寄存器	0x00
0x19	PLL LO1~LO4通道输出驱动放大器偏置电流调节、输出分频器使能；LO5通道输出分频比配置	0x00
0x1A	AFC模块自动选段窗口电压选择，VCO不同频段选择	0x17
0x1B	AFC数字部分判别周期调节，通过调节输入时钟的分频比改变判别时间，时钟分频比调节高8位。	0xFF
0x1C	AFC模块使能，时钟分频比调节高2位。	0x80
0x1D	保留	0x00
0x1E	保留	0x00
0x1F	LO1~LO5输出通道使能	0x00
0x20	锁相环参考分频比设置	0x02
0x21		0x00

寄存器详情

Reg0x0详细信息

Bit(s)	名称	描述	默认值
<7>	ENB10_BG	PLL BG使能, 0有效	0
<6:4>	BG_TC_T10<2:0>	PLL BG温度系数调节 000至100: 正温度系数逐渐变大; 111至101: 负温度系数逐渐变大; 000: 497mV~497mV; 100: 442mV~457mV; 101: 557mV~538mV;	0
<3>	CLKINV_DIVR	参考分频器反相时钟输入使能, 1开启, 0关闭	0
<2:0>	VREF_DRI1_T10<2:0>	PLL LO1~LO4通道驱动放大器LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 111: 0.98V; 110: 0.94V; 101: 0.9V; 100: 0.86V;	0x03

Reg0x1详细信息

Bit(s)	名称	描述	默认值
<7>	ENB10_LDO_DIV	PLL分频器LDO使能, 0有效	0
<6:4>	VREF_DIV_T10<2:0>	PLL分频器LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0
<3>	ENB10_LDO_VCO	PLL VCO LDO使能, 0有效	0
<2:0>	VREF_VCO_T10<2:0>	PLL VCO LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 111: 0.98V; 110: 0.94V; 101: 0.9V; 100: 0.86V;	0x03

寄存器详情

Reg0x2详细信息

Bit(s)	名称	描述	默认值
<7:4>	Reserved	Reserved	0
<3>	ENB10_LDO_DRI2	PLL LO5通道输出驱动放大器LDO使能, 0有效	0
<2:0>	VREF_DRI2_T10<2:0>	PLL LO5通道输出驱动放大器LDO参考电压调节 000: 1.02V; 001: 1.06V; 010: 1.1V; 011: 1.14V; 100: 1.18V; 101: 1.22V; 111: 0.98V; 110: 0.94V;	0x05

Reg0x3详细信息

Bit(s)	名称	描述	默认值
<7>	PLL_ENB10_VCOBUF	PLL VCO输出驱动使能, 0有效	0
<6>	PLL_ENB10_DIVR	PLL参考时钟除使能, 0有效	0
<5>	PLL_ENB10_REFO	PLL参考时钟输出驱动使能, 0有效	1
<4>	reserved	保留	0
<3>	PLL_ENB10_XOBUF	PLL参考时钟驱动放大器使能, 0有效	0
<2>	PLL_PD10_PFDPCP	PLL PFDPCP使能, 0有效	0
<1>	PLL_SDM_RSTN10	PLL小数分频SDM算法复位, 0: 关闭小数调制算法; 1: 打开小数调制算法	0
<0>	PLL_DIV_RSTN10	PLL分频器复位, 0: 关闭分频器, 1: 打开分频器	1

Reg0x4详细信息

Bit(s)	名称	描述	默认值
<7:0>	reserved	保留	0x00

寄存器详情

Reg0x5详细信息

Bit(s)	名称	描述	默认值
<7:6>	Reserved	保留	0x0
<5>	FRAC_BYPASS	PLL小数分频算法旁路, 0: 打开小数调制器; 1: 小数调制器旁路	0x1
<4>	PLL_AUTOSEED	PLL小数分频算法初始相位使能, 上升沿有效	0
<3:2>	Reserved	保留	0x0
<1:0>	PLL_SEED_S<1:0>	PLL小数分频算法初始相位选择 00: 24'b0; 01: 24'b1; 10: 24'hb29d08; 11: 24'h50f1cd;	0x2

Reg0x6详细信息

Bit(s)	名称	描述	默认值
<7:0>	PLL_SDM_I10<23:16>	PLL小数分频控制字高8位	0x00

Reg0x7详细信息

Bit(s)	名称	描述	默认值
<7:0>	PLL_SDM_I10<15:8>	PLL小数分频控制字中8位	0x00

Reg0x8详细信息

Bit(s)	名称	描述	默认值
<7:0>	PLL_SDM_I10<7:0>	PLL小数分频控制字低8位	0x00

寄存器详情

Reg0x9详细信息

Bit(s)	名称	描述	默认值
<7:4>	Reserved	保留	0
<3:2>	PLL_LD_DEL_T10<1:0>	PLL锁定检测相位窗口调节, 00: 3ns; 01: 10ns; 10: 30ns; 11: 90ns;	0
<1:0>	PLL_LD_CNT_S10<1:0>	PLL锁定检测计数器设置00: 32; 01: 128; 10: 512; 11: 2048;	0

Reg0xA详细信息

Bit(s)	名称	描述	默认值
<7:4>	Reserved	保留	0x0
<3:0>	PLL_ICP_T10<3:0>	PLL电荷泵电流选择 0000: 0.4mA; 0001: 0.6mA; 1111: 3.4mA;	0xF

Reg0xB详细信息

Bit(s)	名称	描述	默认值
<7>	PLL_ICP_OS_EN10	PLL电荷泵偏移电流使能, 1有效	0
<6>	Reserved	保留	0
<5:0>	PLL_ICP_OSP_T10<5:0>	PLL电荷泵上拉偏移电流选择 000000: 10uA; 000001: 20uA; 111111: 630uA;	0x00

Reg0xC详细信息

Bit(s)	名称	描述	默认值
<7:6>	Reserved	保留	0x0
<5:0>	PLL_ICP_OSN_T10<5:0>	PLL电荷泵下拉偏移电流选择 000000: 10uA; 000001: 20uA; 111111: 630uA;	0x00

注：电荷泵拉偏电流的大小可以改善小数分频模式下的杂散性能，在Reg0xB<7>，PLL_ICP_OS_EN10使能打开的情况下，可以调节Reg0xB<5:0>、Reg0xC<5:0>的拉偏电流用于改善小数模式下的杂散性能。

寄存器详情

Reg0xD详细信息

Bit(s)	名称	描述	默认值
<7>	Reserved	保留	0
<6>	PLL_ENB10_VCO2P5G	PLL 2P5GHz VCO使能, 0有效	1
<5>	PLL_ENB10_VCO2G	PLL 2GHz VCO使能, 0有效	1
<4>	PLL_ENB10_VCO1P5G	PLL 1P5GHz VCO使能, 0有效	0
<3:0>	Reserved	保留	0x0

注：选择一个VCO单独工作时，其余两个VCO使能需要关闭。

Reg0xE详细信息

Bit(s)	名称	描述	默认值
<7>	Reserved	保留	0
<6:4>	PLL_VCO2P5GBUF_IB_T10<2:0>	PLL 2P5GHz VCO驱动放大器偏置电流选择 000: 500uA (单端) ; 001: 400uA; 010: 300uA; 011: 200uA; 100: 900uA; 101: 800uA; 110: 700uA; 111: 600uA;	0x0
<3>	Reserved	保留	0
<2:0>	PLL_VCO2P5G_IB_T10<2:0>	PLL 2P5GHz VCO偏置电流选择 000: 750uA (单端) ; 001: 625uA; 010: 500uA; 011: 375uA; 100: 250uA; 101: 1125uA; 110: 1000uA; 111: 875uA;	0x4

寄存器详情

Reg0xF详细信息

Bit(s)	名称	描述	默认值
<7>	Reserved	保留	0
<6:4>	PLL_VCO2GBUF_IB_T10<2:0>	PLL 2GHz VCO驱动放大器偏置电流选择 000: 500uA (单端) ; 001: 400uA; 010: 300uA; 011: 200uA; 100: 900uA; 101: 800uA; 110: 700uA; 111: 600uA;	0x0
<3>	Reserved	保留	0
<2:0>	PLL_VCO2G_IB_T10<2:0>	PLL 2GHz VCO偏置电流选择 000: 1170uA (单端) ; 001: 1000uA; 010: 830uA; 011: 660uA; 100: 1850uA; 101: 1680uA; 110: 1510uA; 111: 1340uA;	0x4

Reg0x10详细信息

Bit(s)	名称	描述	默认值
<7>	Reserved	保留	0
<6:4>	PLL_VCO1P5GBUF_IB_T10<2:0>	PLL 1P5GHz VCO驱动放大器偏置电流选择 000: 500uA (单端) ; 001: 400uA; 010: 300uA; 011: 200uA; 100: 900uA; 101: 800uA; 110: 700uA; 111: 600uA;	0x0
<3>	Reserved	保留	0
<2:0>	PLL_VCO1P5G_IB_T10<2:0>	PLL 1P5GHz VCO偏置电流选择 000: 1170uA (单端) ; 001: 1000uA; 010: 830uA; 011: 660uA; 100: 1850uA; 101: 1680uA; 110: 1510uA; 111: 1340uA;	0x4

寄存器详情

Reg0x11详细信息

Bit(s)	名称	描述	默认值
<7:0>	Reserved	保留	0x00

Reg0x12详细信息

Bit(s)	名称	描述	默认值
<7:0>	Reserved	保留	0x00

Reg0x13详细信息

Bit(s)	名称	描述	默认值
<7>	Reserved	保留	0
<6:4>	PLL_DRI2_IB_T10<2:0>	PLL LO5输出驱动放大器偏置电流选择 000: 16mA (差分总电流) 001: 14.4mA; 010: 12.8mA; 011: 11.2mA; 100: 22.4mA; 101: 20.8mA; 110: 19.2mA; 111: 17.6mA;	0x5
<3>	PLL_ENB10_DIVO2	PLL LO5输出分频器使能, 0有效	0
<2:0>	PLL_DIVO1_S10<2:0>	LO1~LO4输出分频器分频比选择 000: 1; 001: 2; 010: 4; 011: 8; 100: 16; 101: 32; 110: 64; 111: Reserved;	0x0

Reg0x14详细信息

Bit(s)	名称	描述	默认值
<7:0>	PLL_NDIV10<11:4>	整数分频计数, 高八位	0x01

寄存器详情

Reg0x15详细信息

Bit(s)	名称	描述	默认值
<7:4>	Reserved	保留	0x0
<3:0>	PLL_NDIV10<3:0>	整数分频计数，低4位	0xA

Reg0x16详细信息

Bit(s)	名称	描述	默认值
<7:0>	reserved	保留	0x00

Reg0x17详细信息

Bit(s)	名称	描述	默认值
<7:0>	reserved	保留	0x00

Reg0x18详细信息

Bit(s)	名称	描述	默认值
<7:2>	reserved	保留	0x0
<1>	ENB10_MUX_OUT	参考分频或反馈分频选择输出测试口使能，0选择输出，1关闭测试口输出。	1
<0>	MUX_SEL	测试口选择，0输出参考分频信号；1输出反馈分频信号。	0

寄存器详情

Reg0x19详细信息

Bit(s)	名称	描述	默认值
<7>	ENB10_LDO_DRI1	LO1-LO4输出驱动放大器LDO使能, 0有效	0
<6:4>	PLL_DRI1_IB_T10<2:0>	LO1-LO4输出驱动放大器偏置电流选择 000: 250uA; 001: 275uA; 010: 200uA; 011: 225uA; 100: 350uA; 101: 375uA; 110: 300uA; 111: 325uA;	0x0
<3>	PLL_ENB10_DIVO1	LO1-LO4输出分频器使能, 0有效	0
<2:0>	PLL_DIVO2_S10<2:0>	LO5输出分频器分频比选择 000: 1; 001: 2; 010: 4; 011: 8; 100: 16; 101: 32; 110: 64; 111: Reserved;	0x0

Reg0x1A详细信息

Bit(s)	名称	描述	默认值
<7:6>	CMP_VREF_H10<1:0>	PLL自动选段高窗口电压选择: 00: 2.2V 01: 2.0V 10: 1.8V 11: 1.6V	0x0
<5:4>	CMP_VREF_L10<1:0>	PLL自动选段低窗口电压选择: 00: 0.4V 01: 0.6V 10: 0.8V 11: 1.0V	0x1
<3>	CMP_SEL	是否选择比较器的判断输出, 0是, 1否	0x0
<2:0>	SPI_BAND_S<2:0>	SPI选择VCO BAND, 1P5G VCO, 2G VCO, 2P5G VCO 频段分别为: 000:1.69~1.85GHz; 2.2~2.4GHz; 2.66~2.87GHz。 001: 1.61~1.74GHz; 2.09~2.28GHz; 2.54~2.73GHz。 010: 1.53~1.65GHz; 2.0~2.16GHz; 2.44~2.6GHz 011:1.45~1.56GHz; 1.92~2.06GHz; 2.35~2.5GHz。 100: 1.4~1.49GHz; 1.84~1.97GHz; 2.25~2.38GHz。 101: 1.35~1.43GHz; 1.78~1.89GHz; 2.18~2.3GHz。 110:1.3~1.38GHz; 1.72~1.84GHz; 2.12~2.13GHz。 111: 1.26~1.33GHz; 1.66~1.76GHz; 2.05~2.15GHz。	0x7

寄存器详情

Reg0x1B详细信息

Bit(s)	名称	描述	默认值
<7:0>	AFC_CLK_DIVN<7:0>	AFC时钟整数分频器，低八位	0xFF

Reg0x1C详细信息

Bit(s)	名称	描述	默认值
<7>	ENB10_AFC	AFC模块使能，0：打开AFC模块；1：关闭AFC模块	1
<6:4>	reserved	保留	0
<3:0>	AFC_CLK_DIVN<11:8>	AFC时钟整数分频器，高四位	0

Reg0x1D详细信息

Bit(s)	名称	描述	默认值
<7:0>	reserved	保留	0x00

Reg0x1E详细信息

Bit(s)	名称	描述	默认值
<7:0>	reserved	保留	0x00

寄存器详情

Reg0x1F详细信息

Bit(s)	名称	描述	默认值
<7:6>	reserved	保留	0
<5>	ENB10_OUTBUF	LO输出驱动放大器使能, 0有效	0
<4>	ENB10_LO5	LO5输出BUF使能, 0有效	0
<3>	ENB10_LO4	LO4输出BUF使能, 0有效	0
<2>	ENB10_LO3	LO3输出BUF使能, 0有效	0
<1>	ENB10_LO2	LO2输出BUF使能, 0有效	0
<0>	ENB10_LO1	LO1输出BUF使能, 0有效	0

Reg0x20详细信息

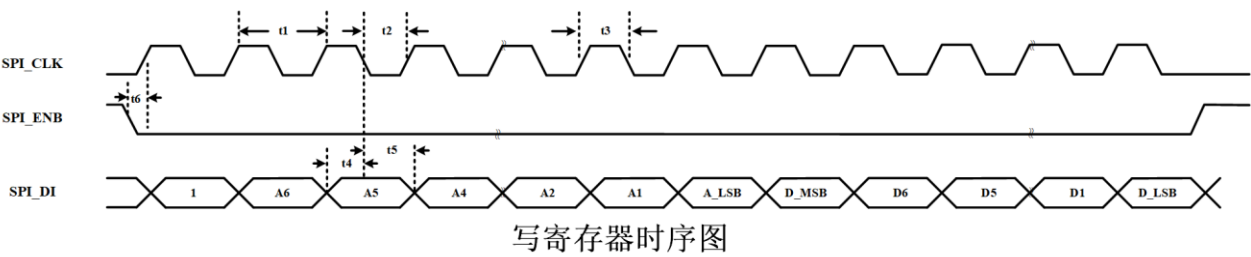
Bit(s)	名称	描述	默认值
<7:0>	PLL_RDIV<7:0>	PLL 参考分频比配置, 低八位	0x02

Reg0x21详细信息

Bit(s)	名称	描述	默认值
<7:2>	reserved	保留	0x0
<1:0>	PLL_RDIV<9:8>	PLL 参考分频比设置, 高位	0x0

SPI寄存器时序说明

芯片串口数据控制器（SPI）主要包括串口时钟输入（SPI_CLK）、串口数据写入（SPI_DI）以及串口使能部分（SPI_ENB），其配置时序如图所示：



时间参数

参数	符号	最小值	典型值	最大值	单位
SPI_CLK频率	f _{SCLK}	-	-	40	MHz
SPI_CLK周期	t1	25	-	-	ns
SPI_CLK低电平脉宽	t2	10	-	-	ns
SPI_CLK高电平脉宽	t3	10	-	-	ns
SPI_DI建立时间	t4	2.5	-	-	ns
SPI_DI保持时间	t5	2.5	-	-	ns
SPI_ENB下降沿到SPI_CLK上升沿建立时间	t6	10	-	-	ns

频率计算公式

本振频率计算如下：

$$f_{LO} = \frac{1}{N_{divo}} \frac{f_{ref}}{R_{div}} (N_{int} + N_{frac})$$

其中：

f_{LO} 为本振输出频率， f_{ref} 为参考输入频率；

N_{divo} 为输出分频比，通道LO1~LO4输出分频比由Reg0x13<2:0>进行配置，通道LO5输出分频比由Reg0x19<2:0>进行配置，分频比设置分别为÷1、÷2、÷4、÷8、÷16、÷32、÷64；

R_{div} 为参考分频比，等于寄存器Reg0x20、Reg0x21中PLL_RDIV<9:0>的值，最小值min=1d，最大值max=1023d；

N_{int} 为整数分频比，等于寄存器Reg0x14、Reg0x15中PLL_NDIV10<11:0>的值，在整数模式下，最小值min=16d，最大值max= $2^{12}-1=4095d$ ；在小数模式下，最小值min=19d，最大值max= $2^{12}-5=4091d$ ；

N_{frac} 为小数分频比，等于寄存器Reg0x6、Reg0x7、Reg0x8中PLL_SDM_I10<23:0>/ 2^{24} 的值，只适用于小数模式，最小值min=0d，最大值max= $(2^{24}-1) / 2^{24}$ 。

AFC功能说明

本产品含有频率自动校准模块（AFC），即锁相环在选定VCO的前提下，可以通过配置分频比（ R_{div} 、 N_{int} 、 N_{frac} 、 N_{divo} ）自动选择VCO频段。AFC的判别周期与锁相环的鉴相频率以及环路带宽相关，其中，鉴相频率 f_{PFD} 为AFC模块的输入时钟，判别周期等于鉴相频率（ f_{PFD} ）除以AFC时钟分频比（ N_{AFC_CLK} ），该分频比通过寄存器Reg0x1B <7:0>以及Reg0x1C<3:0>相结合的AFC_CLK_DIVN<11:0>进行配置，其计算公式为 $N_{AFC_CLK} = AFC_CLK_DIVN + 4$ 。自动选段窗口电压决定了AFC模块选择的VCO频率调谐电压范围，具体设置可以根据Reg0x1A寄存器配置说明以及VCO频率范围确定。

比如，当BW=300KHz，鉴相频率为50MHz时，AFC判别时间不小于 $5\mu s$ ，即AFC时钟分频比不小于250，可以设置Reg0x1B <7:0>=0xFF（即分频比为259）；调谐电压范围0.4V~2.2V，即高窗口电压设置为2.2V，低窗口电压设置为0.4V，可以设置Reg0x1A<7:4>=0x0。AFC模块配置示例如下：

AFC模块寄存器配置示例

寄存器	Reg0x1A<7:6>/<5:4>	Reg0x1C<7>	Reg0x1B <7:0> Reg0x1C<3:0>
名称	CMP_VREF_H10<1:0> CMP_VREF_L10<1:0>	ENB_AFC	AFC_CLK_DIVN<11:0>
配置	0x0/0x0	0	0x0FF
说明	自动选段高低窗口电压配置	AFC模块使能	AFC时钟分频比配置

若不使用AFC功能，可以关闭AFC模块（即：Reg0x1C<7>=0x01），再根据Reg0x1A寄存器中SPI_BAND_S<2:0>，各个VCO频段选择配置说明，直接通过SPI配置目标频率所在的VCO频段。

频率配置说明

以1.3GHz输出频率为例，参考输入频率为100MHz，鉴相频率为50MHz，其中参考分频比 $R_{div}=2$ ，整数分频比 $N_{div}=26$ ，输出分频比 $N_{divo}=1$ 。整数模式和小数模式配置示例如下：

(1) 整数模式

在整数模式下，需要关闭小数SDM调制器模块，即Reg0x3<1>：PLL_SDM_RSTN10置为低电平，Reg0x5<5>：FRAC_BYPASS置为高电平。然后通过寄存器Reg0xD选择目标频率所在的VCO，再结合上述频率计算公式说明，配置相应的分频比。

关键寄存器频率配置示例

寄存器	Reg0x3 <1>	Reg0x5 <5>	Reg0x6 <7:0> Reg0x7 <7:0> Reg0x8 <7:0>	Reg0xD <4>	Reg0x1 4<7:0> Reg0x1 5<3:0>	Reg0x1 3 <2:0>	Reg0x1 9 <2:0>	Reg0x2 0<7:0>/ Reg0x2 1<1:0>
名称	PLL_SDM_RSTN10	FRAC_BYPASS	PLL_SDM_I10<23:0>	PLL_ENB10_1P5GVCO	PLL_NDIV10<11:0>	PLL_DIVO1_S10<2:0>	PLL_DIVO2_S10<2:0>	PLL_RDIV<9:0>
配置	0	1	0x000000	0	0x001A	0x0	0x0	0x002
说明	关闭SDM	关闭小数分频	小数分频比	1.5GHz VCO使能	整数分频比	LO1~LO4通道输出分频比	LO5通道输出分频比	参考分频比

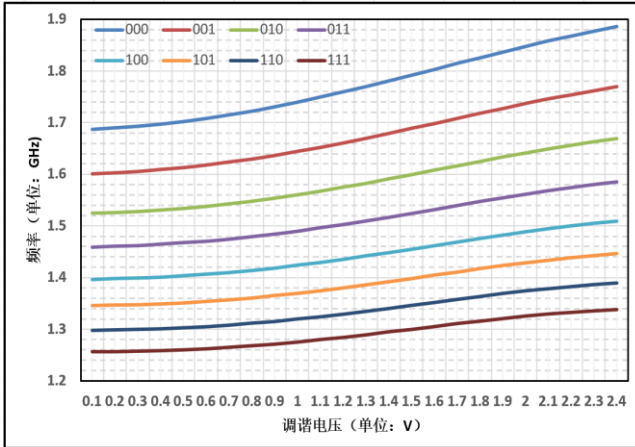
(2) 小数模式

小数模式下，需要打开小数SDM调制器模块，即Reg0x3<1>：PLL_SDM_RSTN10置为高电平，Reg0x5<5>：FRAC_BYPASS置为低电平。小数分频比通过寄存器Reg0x6、Reg0x7、Reg0x8中PLL_SDM_I10<23:0>进行配置，以1.3GHz+1KHz为例，即小数分频比 $N_{frac}=0.00002$ ，寄存器配置PLL_SDM_I10<23:0>=0x00014F。

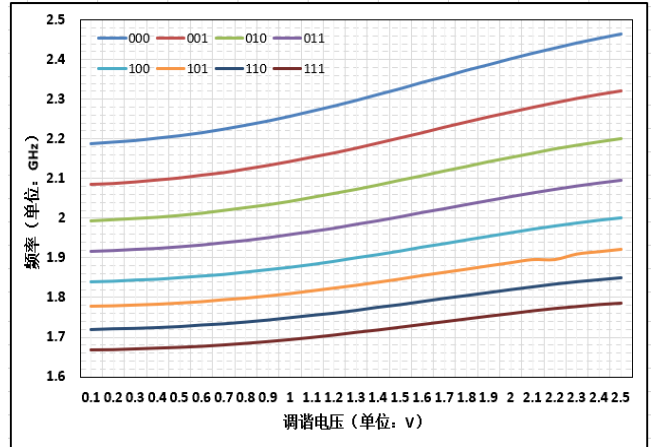
关键寄存器频率配置示例

寄存器	Reg0x3 <1>	Reg0x5 <5>	Reg0x6 <7:0> Reg0x7 <7:0> Reg0x8 <7:0>	Reg0xD <4>	Reg0x1 4<7:0> Reg0x1 5<3:0>	Reg0x1 3 <2:0>	Reg0x1 9 <2:0>	Reg0x2 0<7:0>/ Reg0x2 1<1:0>
名称	PLL_SDM_RSTN10	FRAC_BYPASS	PLL_SDM_I10<23:0>	PLL_ENB10_1P5GVCO	PLL_NDIV10<11:0>	PLL_DIVO1_S10<2:0>	PLL_DIVO2_S10<2:0>	PLL_RDIV<9:0>
配置	1	0	0x000014F	0	0x001A	0x0	0x0	0x002
说明	打开SDM	打开小数分频	小数分频比	1.5GHz VCO使能	整数分频比	LO1~LO4通道输出分频比	LO5通道输出分频比	参考分频比

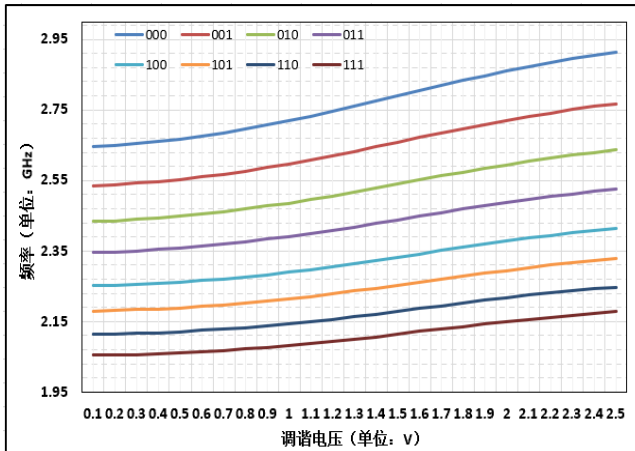
测试结果



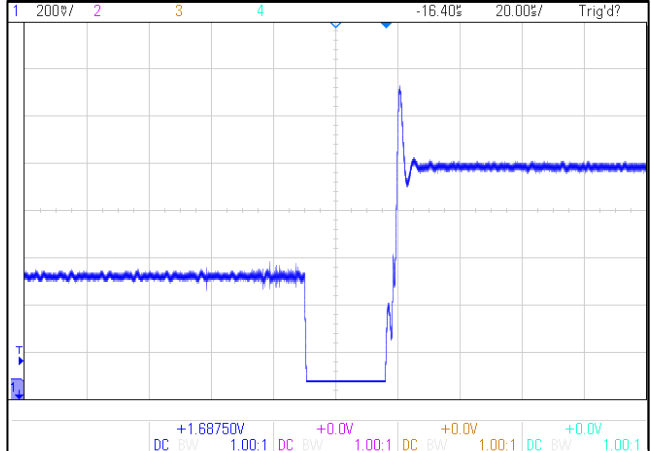
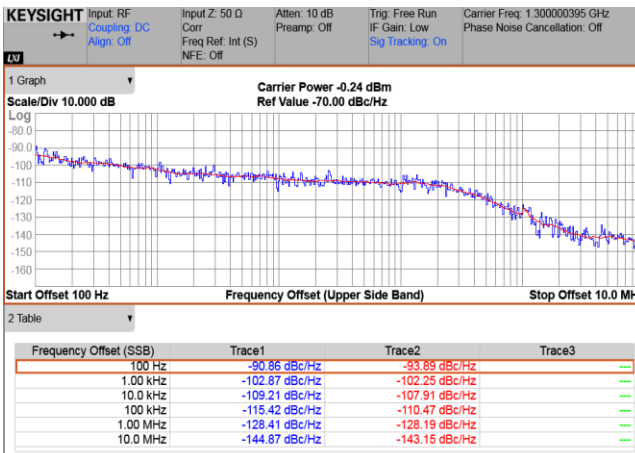
图一 1P5GHz VCO频率调谐范围



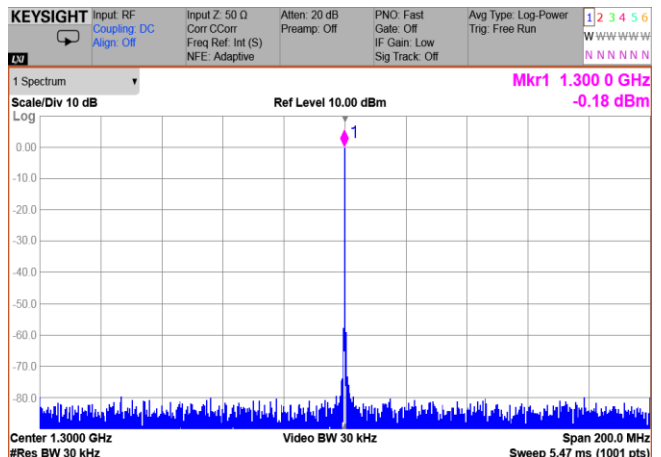
图二 2GHz VCO频率调谐范围



图三 2P5GHz VCO频率调谐范围

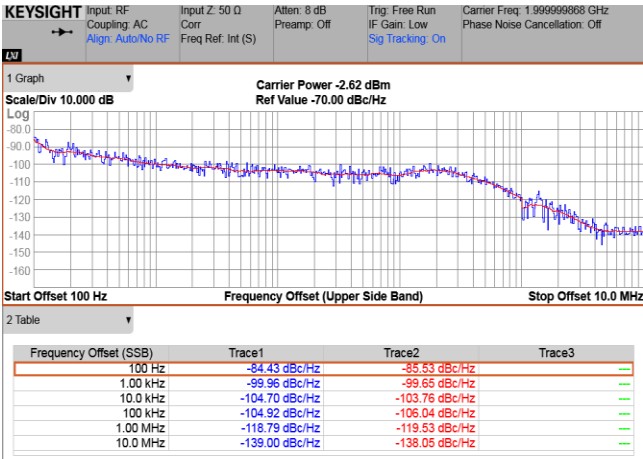
图四 锁定时间测试结果
(VCO最低频率至最高频率)

图五 本振频率1.3GHz输出时相位噪声测试曲线

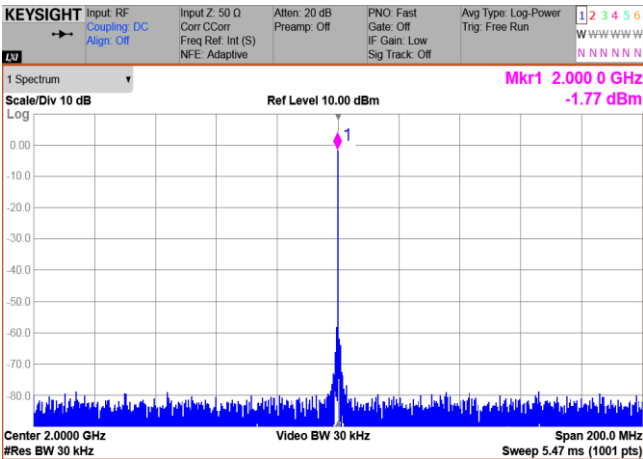


图六 本振频率1.3GHz输出时杂散测试结果

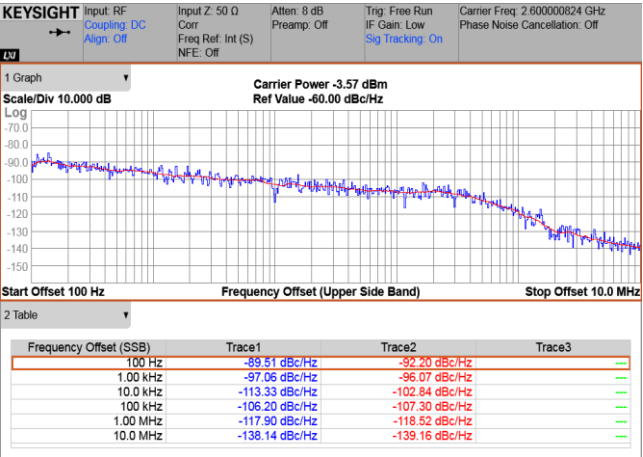
测试结果



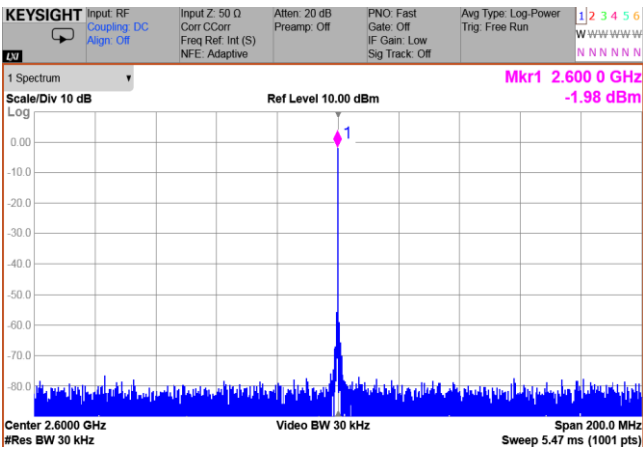
图七 本振频率2GHz输出时相位噪声测试曲线



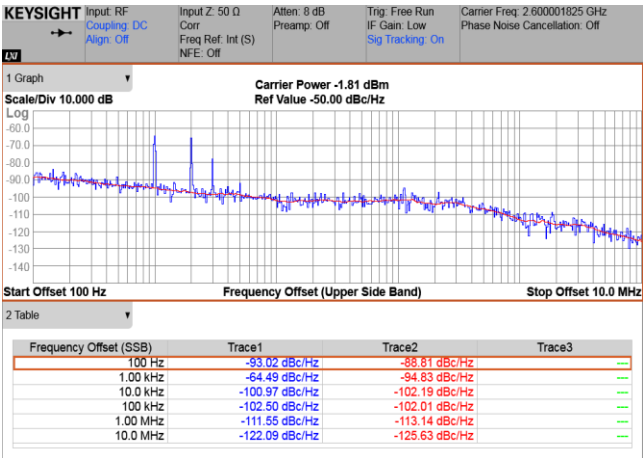
图八 本振频率2GHz输出时杂散测试结果



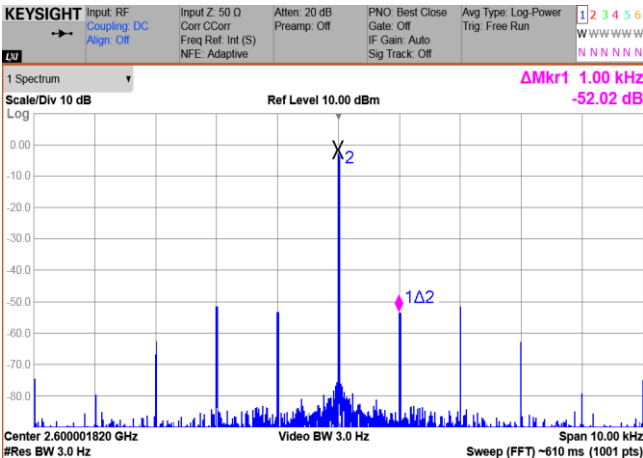
图九 本振频率2.6GHz输出时相位噪声测试曲线



图十 本振频率2.6GHz输出时杂散测试结果

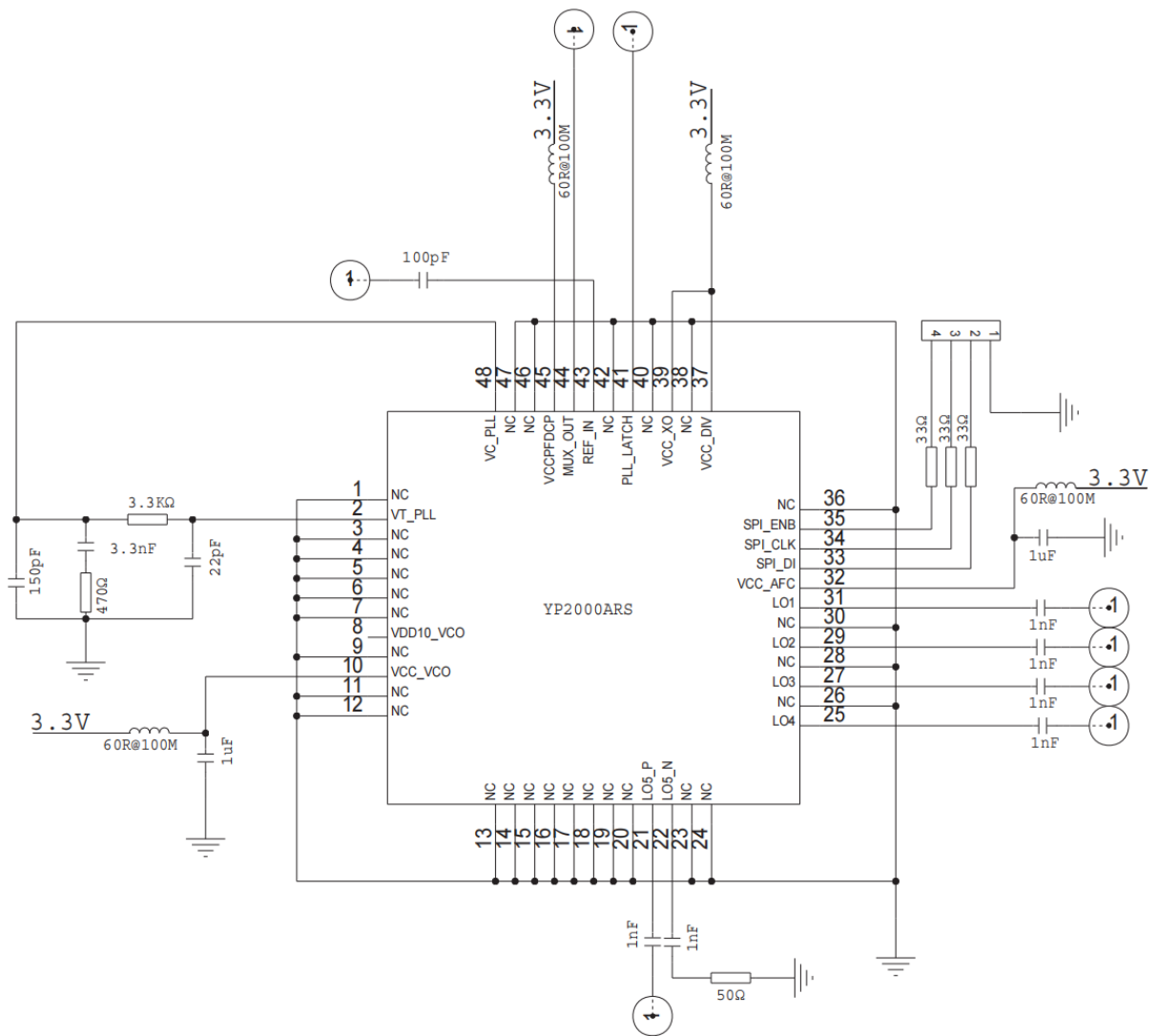


图十一 本振频率2.600001GHz小数相位噪声测试曲线



图十二 本振频率2.600001GHz小数边界杂散测试结果

应用



芯片应用原理图