



Politecnico di Milano

Dip. di Elettronica, Informazione e Bioingegneria

prof. Luca Breveglieri
prof. Gerardo Pelosi

prof.ssa Donatella Sciuto
prof.ssa Cristina Silvano

AXO – Architettura dei Calcolatori e Sistemi Operativi

Prova di lunedì 8 novembre 2021

Cognome _____ **Nome** _____

Matricola _____ **Firma** _____

Istruzioni

Si scriva solo negli spazi previsti nel testo della prova e non si separino i fogli.

Per la minuta si utilizzino le pagine bianche inserite in fondo al fascicolo distribuito con il testo della prova. I fogli di minuta, se staccati, vanno consegnati intestandoli con nome e cognome.

È vietato portare con sé libri, eserciziari e appunti, nonché cellulari e altri dispositivi mobili di calcolo o comunicazione. Chiunque fosse trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.

Non è possibile lasciare l'aula conservando il tema della prova in corso.

Tempo a disposizione 2 h : 00 m

Valore indicativo di domande ed esercizi, voti parziali e voto finale:

esercizio 1 (6 punti) _____

esercizio 2 (2 punti) _____

esercizio 3 (6 punti) _____

esercizio 4 (2 punti) _____

voto finale: (16 punti) _____

esercizio n. 1 – linguaggio macchina

prima parte – traduzione da C a linguaggio macchina

Si deve tradurre in linguaggio macchina simbolico (assemblatore) *MIPS* il frammento di programma C riportato sotto. Il modello di memoria è quello **standard MIPS** e le variabili intere sono da **32 bit**. Non si tenti di accoppiare od ottimizzare insieme istruzioni C indipendenti. Si facciano le ipotesi seguenti:

- il registro "frame pointer" *fp* **non è in uso**
- le variabili locali sono allocate nei registri, se possibile
- vanno **salvati** (a cura del chiamante o del chiamato, secondo il caso) **solo i registri necessari**

Si chiede di svolgere i quattro punti seguenti (usando le varie tabelle predisposte nel seguito):

1. **Si descriva** il segmento dei dati statici dando gli spiazziamenti delle variabili globali rispetto al registro global pointer *gp*, e **si traducano** in linguaggio macchina le dichiarazioni delle variabili globali.
2. **Si descriva** l'area di attivazione della funzione *vsign*, secondo il modello MIPS, e l'allocazione dei parametri e delle variabili locali della funzione *vsign* usando le tabelle predisposte
3. **Si traduca** in linguaggio macchina **il codice dello statement riquadrato nella funzione** *main*.
4. **Si traduca** in linguaggio macchina il codice **dell'intera funzione** *vsign* (vedi tab. 4 strutturata).

```
/* costanti e variabili globali */
#define N 5
int VECTOR [N]
int signature = 0

/* testate funzioni ausiliarie - ambo sono funzioni foglia */
int getstdin ( ) /* legge un intero da standard input */
int checksum (int *) /* calcola sommario (hash) di vettore */
/* funz. vsign - legge e firma vettore tramite una chiave */
int vsign (int key, int * base) {
    int count
    int * hash
    hash = base
    count = N
    do {
        count--
        VECTOR [count] = getstdin ( ) + count
    } while (count != 0) /* do */
    *hash = checksum (base)
    return (*hash - key)
} /* vsign */

/* programma principale */
int main ( ) {
    signature = vsign (getstdin ( ), VECTOR)
} /* main */
```

punto 1 – segmento dati statici (numero di righe non significativo)

contenuto simbolico	indirizzo assoluto iniziale (in hex)	spiazzamento rispetto a <i>gp</i> = 0x 1000 8000	
			indirizzi alti
...			
SIGNATURE			
VECTOR [4]			
...			
VECTOR [0]			indirizzi bassi

punto 1 – codice MIPS della sezione dichiarativa globale (numero di righe non significativo)

.data	0x 1000 0000	// segmento dati statici standard

punto 2 – area di attivazione della funzione VSIGN	
contenuto simbolico	spiazz. rispetto a stack pointer

indirizzi alti

indirizzi bassi

punto 2 – allocazione dei parametri e delle variabili locali di VSIGN nei registri	
parametro o variabile locale	registro

punto 3 – codice MIPS dello statement riquadrato in MAIN (num. righe non significativo)
// signature = vsign (getstdin (), VECTOR)
MAIN:

punto 4 – codice MIPS della funzione vsign (numero di righe non significativo)

```
VSIGN:    addiu    $sp, $sp,      // COMPLETARE -
          // direttive EQU e salvataggio registri - NON VANNO RIPORTATI
          // hash = base

          // count = N

DO:        // do
          // count--

          // VECTOR [count] = getstdin ( ) + count

          // while (count != 0)

          // *hash = checksum (base)

          // return (*hash - key)

          // rientro
```

seconda parte – assemblaggio e collegamento

Dati i due moduli assemblatore seguenti, **si compilino** le tabelle relative a:

1. i due moduli oggetto MAIN e AUXILIARY
2. le basi di rilocazione del codice e dei dati di entrambi i moduli
3. la tabella globale dei simboli e la tabella del codice eseguibile

modulo MAIN			modulo AUXILIARY		
	.data			.data	
BUF:	.space	28		.eqv	CONST, 5
	.text		SUM:	.word	10
	.globl	MAIN		.text	
MAIN:	move	\$a0, \$zero		.globl	AUX
	lw	\$a1, SUM	AUX:	beq	\$a0, \$a1, SKIP
	jal	AUX		jr	\$ra
	bne	\$v0, \$zero, MAIN	SKIP:	addi	\$a0, \$a0, CONST
	move	\$t0, \$v0		sw	\$a0, BUF
	addi	\$t0, \$t0, 1		jr	\$ra
	sw	\$t0, BUF			
	j	MAIN			

Regola generale per la compilazione di **tutte** le tabelle contenenti codice:

- i codici operativi e i nomi dei registri vanno indicati in formato simbolico
- tutte le costanti numeriche all'interno del codice vanno indicate in esadecimale, con o senza prefisso 0x, e di lunghezza giusta per il codice che rappresentano
esempio: un'istruzione come **addi \$t0, \$t0, 15** è rappresentata: **addi \$t0, \$t0, 0x000F**
- nei moduli oggetto i valori numerici che non possono essere indicati poiché dipendono dalla rilocazione successiva, vanno posti a zero e avranno un valore definitivo nel codice eseguibile

(1) – moduli oggetto					
modulo MAIN			modulo AUXILIARY		
dimensione testo: 20 hex (32 dec)			dimensione testo:		
dimensione dati: 1C hex (28 dec)			dimensione dati:		
testo			testo		
indirizzo di parola	istruzione (COMPLETARE)		indirizzo di parola	istruzione (COMPLETARE)	
0	ori	\$a0, \$zero, 0x 0000	0	beq	\$a0, \$a1,
4	lw	\$a1,	4	jr	\$ra
8	jal		8	addi	\$a0, \$a0,
C	bne	\$v0, \$zero,	C	sw	\$a0,
10	ori	\$t0, \$v0, 0x 0000	10	jr	\$ra
14	addi	\$t0, \$t0, 0x 0001	14		
18	sw	\$t0,	18		
1C	j		1C		
20			20		
24			24		
28			28		
2C			2C		
dati			dati		
indirizzo di parola	contenuto		indirizzo di parola	contenuto	
tabella dei simboli			tabella dei simboli		
tipo può essere <i>T</i> (testo) oppure <i>D</i> (dato)			tipo può essere <i>T</i> (testo) oppure <i>D</i> (dato)		
simbolo	tipo	valore	simbolo	tipo	valore
BUF			SUM		
MAIN			AUX		
			SKIP		
tabella di rilocalizzazione			tabella di rilocalizzazione		
indirizzo di parola	cod. operativo	simbolo	indirizzo di parola	cod. operativo	simbolo

(2) – posizione in memoria dei moduli			
modulo MAIN		modulo AUXILIARY	
base del testo:	0x 0040 0000	base del testo:	
base dei dati:	0x 1000 0000	base dei dati:	

(3) – tabella globale dei simboli				
simbolo	valore finale		simbolo	valore finale
BUF	0x 1000 0000		SUM	
MAIN	0x 0040 0000		AUX	
			SKIP	

NELLA TABELLA DEL CODICE ESEGUIBILE SI CHIEDONO SOLO LE ISTRUZIONI DEI MODULI MAIN E AUXILIARY CHE ANDRANNO COLLOCATE AGLI INDIRIZZI SPECIFICATI

(3) – codice eseguibile	
testo	
indirizzo	codice (con codici operativi e registri in forma simbolica)
...	
4	
8	
C	
...	
18	
1C	
...	
20	
28	
2C	
...	

esercizio n. 2 – logica digitale

Sia dato il circuito sequenziale composto da due bistabili master-slave di *tipo D* (D1, Q1 e D2, Q2, dove D è l'ingresso del bistabile e Q è lo stato / uscita del bistabile), e dotato di un ingresso **I** e un'uscita **U**. Il circuito è descritto dalle equazioni nel riquadro.

$$D1 = \neg(Q2 \text{ or } I)$$

$$D2 = Q1 \text{ xor } \neg(Q2 \text{ and } I)$$

$$U = Q2 \text{ and } I$$

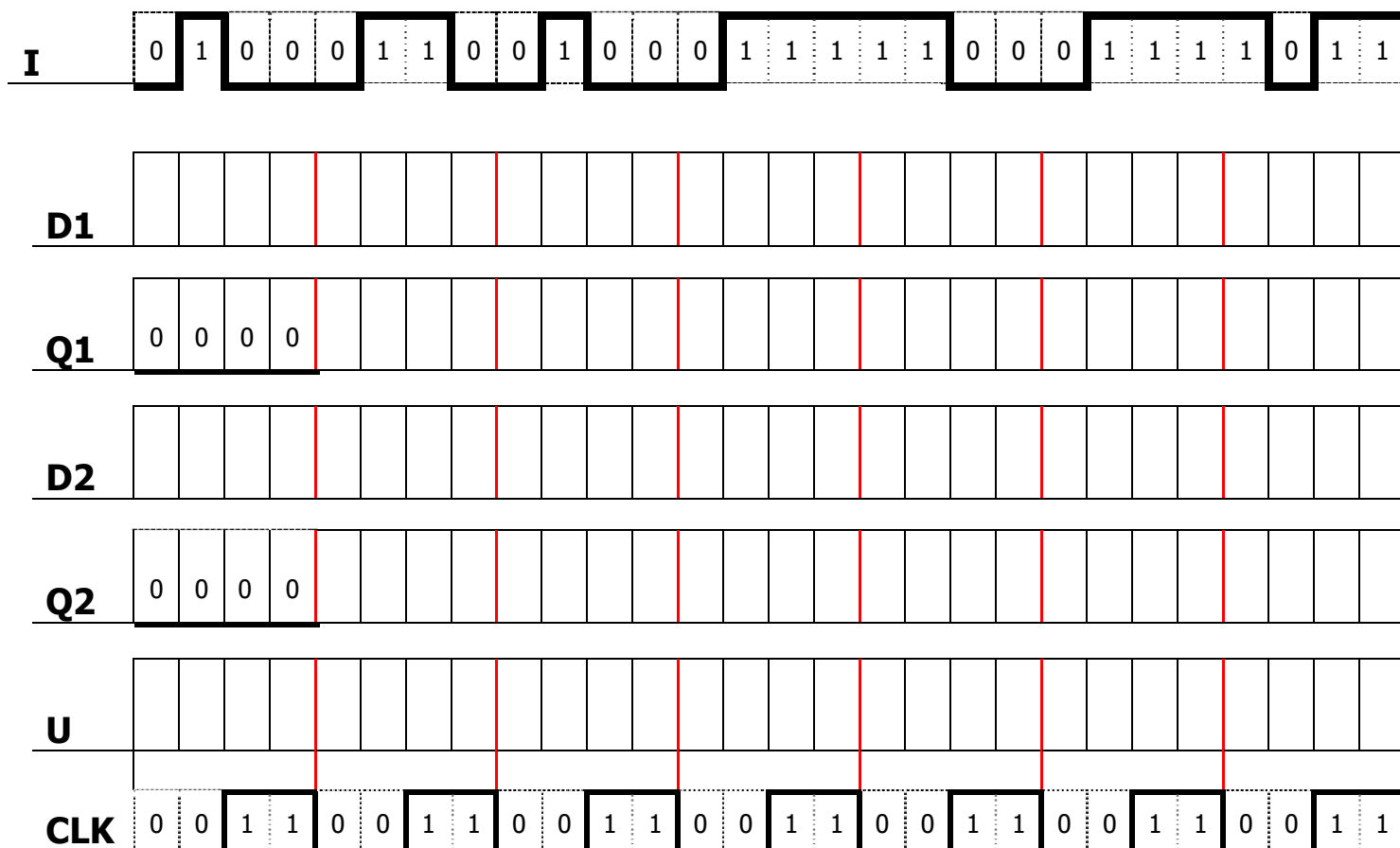
N.B. operatore XOR, uscita a 1 se e solo se solo uno degli ingressi è a 1

Si chiede di completare il diagramma temporale riportato qui sotto. Si noti che:

- si devono trascurare completamente i ritardi di propagazione delle porte logiche e i ritardi di commutazione dei bistabili
- i **bistabili** sono il tipo **master-slave** la cui struttura è stata trattata a lezione, **con uscita che commuta sul fronte di discesa del clock**

tabella dei segnali (diagramma temporale) da completare

- per i segnali D1, Q1, D2, Q2 e U, **si ricavi**, per ogni ciclo di clock, l'andamento della forma d'onda corrispondente riportando i relativi valori 0 o 1
- a solo scopo di chiarezza, per il segnale di ingresso I è riportata anche la forma d'onda per mettere in evidenza la corrispondenza tra questa e i valori 0 e 1 presenti nella tabella dei segnali complessiva
- si noti che nel primo intervallo i segnali Q1 e Q2 sono già dati (rappresentano lo stato iniziale)



esercizio n. 3 – microarchitettura del processore pipeline

prima parte – pipeline e segnali di controllo

Sono dati il seguente frammento di codice **macchina** MIPS (simbolico), che inizia l'esecuzione all'indirizzo indicato, e i valori iniziali per alcuni registri e parole di memoria.

indirizzo	codice MIPS
0x 0040 0800	lw \$t1, 0x 001A(\$t0)
	addi \$t2, \$t3, 32
	nop
	sw \$t1, 0x 1A1A(\$t0)
	beq \$t0, \$t2, 0x 0080

registro	contenuto iniziale
\$t0	0x 1001 3FF2
\$t1	0x 0001 0C0C
\$t2	0x 0001 8008
\$t3	0x 0010 80FA
memoria	contenuto iniziale
0x 1001 4004	
0x 1001 4008	
0x 1001 400C	0x 1001 1212
0x 1001 5A0C	0x 1001 1A1A

La pipeline è ottimizzata per la gestione dei conflitti di controllo, e si consideri il **ciclo di clock 5** in cui l'esecuzione delle istruzioni nei vari stadi è la seguente:

		ciclo di clock										
		1	2	3	4	5	6	7	8	9	10	11
istruzione	1 – lw	IF	ID	EX	MEM	WB						
	2 – addi		IF	ID	EX	MEM	WB					
	3 – nop			IF	ID	EX	MEM	WB				
	4 – sw				IF	ID	EX	MEM	WB			
	5 – beq					IF	ID	EX	MEM	WB		

1) **Calcolare** il valore dell'indirizzo di memoria dati nell'istruzione *lw* (load):

2) **Calcolare** il valore del risultato ($\$t3 + 32$) dell'istruzione *addi* (addizione con immediato):

3) **Calcolare** il valore dell'indirizzo di memoria dati nell'istruzione *sw* (store):

4) **Calcolare** il valore dell'indirizzo di destinazione del salto (si ricorda che l'offset specificato nella *beq* è a parola):

Completare le tabelle.

I campi di tipo *Istruzione* e *NumeroRegistro* possono essere indicati in forma simbolica, tutti gli altri in esadecimale (prefisso 0x implicito). Utilizzare **n.d.** se il valore non può essere determinato. N.B.: **tutti** i campi vanno completati con valori simbolici o numerici, tranne quelli precompilati con *********.

segnali all'ingresso dei registri di interstadio (subito prima del fronte di SALITA del clock --- ciclo 5)			
IF	ID	EX	MEM
registro IF/ID	registro ID/EX	registro EX/MEM	registro MEM/WB
	.WB.MemtoReg	.WB.MemtoReg	.WB.MemtoReg
	.WB.RegWrite	.WB.RegWrite	.WB.RegWrite
	.M.MemWrite	.M.MemWrite	
	.M.MemRead	.M.MemRead	
	.M.Branch	.M.Branch	
.PC	.PC	.PC *****	
.istruzione	.(Rs)		
	.(Rt)	*****	
	.Rt	*****	.R
	.Rd *****		
	.imm/offset esteso	.ALU_out *****	.ALU_out
	.EX.ALUSrc	.Zero *****	.DatoLetto *****
	.EX.RegDest		

segnali relativi al RF (subito prima del fronte di DISCESA interno al ciclo di clock – ciclo 5)		
RF.RegLettura1	RF.DatoLetto1	RF.RegScrittura
RF.RegLettura2	RF.DatoLetto2	RF.DatoScritto
segnali relativi al RF (subito prima del fronte di DISCESA interno al ciclo di clock – ciclo 6)		
RF.RegLettura1	RF.DatoLetto1	RF.RegScrittura
RF.RegLettura2	RF.DatoLetto2	RF.DatoScritto

seconda parte – gestione di conflitti e stalli

Si consideri la sequenza di istruzioni sotto riportata eseguita in modalità pipeline:

		ciclo di clock									
	istruzione	1	2	3	4	5	6	7	8	9	10
1	add \$t1, \$t0, \$t1	IF	ID	EX	MEM	WB					
2	add \$t2, \$t1, \$t2		IF	ID	EX	MEM	WB				
3	lw \$t0, 0x 00AA(\$t2)			IF	ID	EX	MEM	WB			
4	sw \$t0, 0x 00BB(\$t2)				IF	ID	EX	MEM	WB		
5	beq \$t0, \$t2, 0x 0089					IF	ID	EX	MEM	WB	

La pipeline è ottimizzata per la gestione dei conflitti di controllo.

punto 1

- Definire **tutte** le dipendenze di dato completando la **tabella 1** della pagina successiva (colonne "**punto 1a**") indicando quali generano un conflitto, e per ognuna di queste quanti stalli sarebbero necessari per risolvere tale conflitto (stalli teorici), considerando la pipeline **senza** percorsi di propagazione.
- Disegnare in **diagramma A** il diagramma temporale della pipeline senza propagazione di dato, con gli stalli **effettivamente** risultanti, e riportare il loro numero in **tabella 1** (colonne "**punto 1b**").

diagramma A

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1. add																
2. add																
3. lw																
4. sw																
5. beq																

punto 2

Si faccia l'ipotesi che la pipeline sia dotata dei percorsi di propagazione **EX / EX**, **MEM / EX** e **MEM / MEM**:

- Disegnare in **diagramma B** il diagramma temporale della pipeline, indicando i percorsi di propagazione che possono essere attivati per risolvere i conflitti e gli eventuali stalli da inserire affinché la propagazione sia efficace.
- Indicare in **tabella 1** (colonne "**punto 2b**") i percorsi di propagazione attivati e gli stalli associati, e il ciclo di clock in cui sono attivi i percorsi di propagazione.

diagramma B

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1. add															
2. add															
3. lw															
4. sw															
5. beq															

tabella 1

punto 1a					punto 1b	punto 2b	
N° istruzione	N° istruzione da cui dipende	registro coinvolto	conflitto (si/no)	N° stalli teorici	N° stalli effettivi	stalli + percorso di propagazione	ciclo di clock in cui è attivo il percorso

esercizio n. 4 – domande su argomenti vari

memoria cache

Si consideri una gerarchia di memoria composta dalla memoria centrale di **1 Giga byte** indirizzabile a **byte** con **parole da 32 bit**, una memoria **cache istruzioni** a **indirizzamento diretto** e una memoria **cache dati set-associativa** a **4 vie** da **1 Mega byte** ciascuna, con blocchi da **512 byte**. Il bus dati è a **32 bit**. Il tempo di accesso alle cache è pari a **1 ciclo di clock**. Il tempo di accesso alla memoria centrale è pari a **10 cicli di clock**. Rispondere alle domande seguenti:

1. Indicare la struttura degli indirizzi di memoria per le due memorie cache.
2. Calcolare il tempo necessario per caricare un blocco in caso di fallimento (miss).
3. Calcolare il tempo medio di accesso alla memoria di un programma in cui in media il **25 %** delle istruzioni eseguite richiede un accesso in lettura o scrittura a un dato. Il **miss rate** (frequenza di fallimento) della cache **istruzioni** è pari allo **1 %**, mentre per la cache **dati** è pari al **5 %**.

Domanda 1:

numero di bit per indirizzare un byte in memoria centrale:

numero di bit per indirizzare un byte nel blocco:

cache istruzioni:

numero di blocchi in cache:

struttura indirizzo per cache istruzioni:

numero di bit per indirizzare un byte nel blocco:

numero di bit per indirizzare un blocco in cache:

numero di bit di etichetta:

cache dati:

numero di insiemi in cache:

struttura indirizzo per cache dati:

numero di bit per indirizzare un byte nel blocco:

numero di bit per indirizzare un insieme in cache:

numero di bit di etichetta:

Domanda 2:

numero di parole in un blocco:

penalità di fallimento (tempo di caricamento di un blocco in caso di miss):

Domanda 3:

T medio di accesso alla cache istruzioni:

T medio di accesso alla cache dati:

T medio di accesso alla memoria:

logica combinatoria

Si vuole progettare una rete combinatoria con tre ingressi **A**, **B** e **C**, rispettivamente, e un'uscita **U**.

L'uscita **U** vale **1** se i tre ingressi sono identici oppure se l'ingresso **A** vale **0**; altrimenti l'uscita **U** vale **0**. Progettare la rete come **somma di prodotti** (SOP) rispondendo alle seguenti domande.

Completare la tabella sottostante con i valori dell'uscita U. Per facilitare lo svolgimento, le colonne ABC che rappresentano gli ingressi della rete sono già state completate.

ABC	U
000	
001	
010	
011	
100	
101	
110	
111	

Scrivere l'espressione della prima forma canonica di U in funzione di A, B e C, senza ricorrere a semplificazioni o minimizzazioni:

U (A, B, C) = _____

Trasformare l'espressione in prima forma canonica ricavata al punto precedente – **tramite le proprietà dell'algebra di commutazione** – in modo da ottenere una nuova espressione costituita da soli termini prodotto, con un numero ridotto di termini e con termini prodotto costituiti da al più due variabili, così da diminuire il costo di realizzazione della rete. Si indichino le singole operazioni svolte, e il nome oppure la forma della proprietà utilizzata (numero di righe non significativo).

U (A, B, C)	proprietà

spazio libero per continuazione o brutta copia