



**Politecnico di Milano**

**Dip. di Elettronica, Informazione e Bioingegneria**

**prof. Luca Breveglieri**  
**prof. Gerardo Pelosi**

**prof.ssa Donatella Sciuto**  
**prof.ssa Cristina Silvano**

## **AXO – Architettura dei Calcolatori e Sistemi Operativi**

**PRIMA PARTE – venerdì 15 luglio 2022**

**Cognome** \_\_\_\_\_ **Nome** \_\_\_\_\_

**Matricola** \_\_\_\_\_ **Firma** \_\_\_\_\_

### **Istruzioni**

Si scriva solo negli spazi previsti nel testo della prova e non si separino i fogli.

Per la minuta si utilizzino le pagine bianche inserite in fondo al fascicolo distribuito con il testo della prova. I fogli di minuta, se staccati, vanno consegnati intestandoli con nome e cognome.

È vietato portare con sé libri, eserciziari e appunti, nonché cellulari e altri dispositivi mobili di calcolo o comunicazione. Chiunque fosse trovato in possesso di documentazione relativa al corso – anche se non strettamente attinente alle domande proposte – vedrà annullata la propria prova.

Non è possibile lasciare l'aula conservando il tema della prova in corso.

Tempo a disposizione 1 h : 30 m

### **Valore indicativo di domande ed esercizi, voti parziali e voto finale:**

**esercizio 1 (6 punti)** \_\_\_\_\_

**esercizio 2 (2 punti)** \_\_\_\_\_

**esercizio 3 (6 punti)** \_\_\_\_\_

**esercizio 4 (2 punti)** \_\_\_\_\_

**voto finale: (16 punti)** \_\_\_\_\_

## esercizio n. 1 – linguaggio macchina

### prima parte – traduzione da C a linguaggio macchina

Si deve tradurre in linguaggio macchina simbolico (assemblatore) *MIPS* il frammento di programma C riportato sotto. Il modello di memoria è quello **standard MIPS** e le variabili intere sono da **32 bit**. Non si tenti di accoppiare od ottimizzare insieme istruzioni C indipendenti. Si facciano le ipotesi seguenti:

- il registro “frame pointer” *fp* **non è in uso**
- le variabili locali sono allocate nei registri, se possibile
- vanno **salvati** (a cura del chiamante o del chiamato, secondo il caso) **solo i registri necessari**

**Si chiede** di svolgere i quattro punti seguenti (usando le varie tabelle predisposte nel seguito):

1. **Si descriva** il segmento dei dati statici dando gli spiazziamenti delle variabili globali rispetto al registro global pointer *gp*, e **si traducano** in linguaggio macchina le dichiarazioni delle variabili globali.
2. **Si descriva** l’area di attivazione della funzione *altsum*, secondo il modello MIPS, e l’allocazione dei parametri e delle variabili locali della funzione *altsum* usando le tabelle predisposte.
3. **Si traduca** in linguaggio macchina **il codice degli statement riquadrati nella funzione** *main*.
4. **Si traduca** in linguaggio macchina il codice **dell’intera funzione** *altsum* (vedi tab. 4 strutturata).

```
/* costanti e variabili globali */
#define N 10
int value = 0
int NUMBERS [N]
int * ptr

int altsum (int * num, int sign) {          /* funzione altsum */
    int idx, tmp, res
    idx = 0
    while (idx < N) {
        tmp = num [idx]
        if (sign > 0) {
            res = res + tmp
        } else {
            res = res - tmp
        } /* if */
        idx++
        sign = -sign
    } /* while */
    return res
} /* altsum */

/* programma principale */
int main ( ) {
    ptr = &value
    *ptr = altsum (NUMBERS, 1)
} /* main */
```

**punto 1** – segmento dati statici (numero di righe non significativo)

contenuto simbolico	indirizzo assoluto iniziale (in hex)	spiazzamento rispetto a <i>gp</i> = <b>0x 1000 8000</b>	
...			indirizzi alti
PTR			
NUMBERS [N – 1]			
...			
NUMBERS [0]			
VALUE			indirizzi bassi

**punto 1** – codice MIPS della sezione dichiarativa globale (numero di righe non significativo)

<code>.data    0x 1000 0000    // segmento dati statici standard</code>

<b>punto 2 – area di attivazione della funzione <code>ALTSUM</code></b>	
<b>contenuto simbolico</b>	<b>spiazz. rispetto a stack pointer</b>

indirizzi alti

indirizzi bassi

<b>punto 2 – allocazione dei parametri e delle variabili locali di <code>ALTSUM</code> nei registri</b>	
<b>parametro o variabile locale</b>	<b>registro</b>

<b>punto 3</b> – codice MIPS degli statement riquadrati in <b>MAIN</b> (num. righe non significativo)
<code>// ptr = &amp;value</code>
MAIN:
<code>// *ptr = altsum (NUMBERS, 1)</code>

**punto 4 – codice MIPS della funzione `ALTSUM` (numero di righe non significativo)**

```
ALTSUM:  addiu    $sp, $sp,          // COMPLETARE - crea area attivazione
        // direttive EQV e salvataggio registri - DA COMPLETARE
        .eqv    S0
        .eqv    S1
        .eqv    S2
        sw
        sw
        sw
        // idx = 0

WHILE:   // while (idx < N)

        // tmp = num [idx]

IF:      // if (sign > 0)

THEN:    // res = res + tmp

ELSE:    // res = res - tmp

ENDIF:   // idx++

        // sign = -sign

ENDWHILE: // return e chiusura funzione - NON RIPORTARE
```

## seconda parte – istruzione macchina

Si supponga che i due registri temporanei  $t1$  e  $t2$  del processore MIPS contengano **due valori interi in complemento a due**. Si vogliono realizzare le istruzioni MIPS *min* e *max*, così:

*min*  $\$t0, \$t1, \$t2$       // se  $t1 < t2$  allora  $t0 = t1$  altrimenti  $t0 = t2$   
*max*  $\$t0, \$t1, \$t2$       // se  $t1 \geq t2$  allora  $t0 = t1$  altrimenti  $t0 = t2$

Si scrivano due programmi assembler che effettuano le operazioni descritte. Il programma **non deve contenere pseudo-istruzioni**, e i registri  $t1$  e  $t2$  **non vanno modificati**. Se occorre, il programma può usare e modificare il registro *at* (assembler temporary).

Si usino le tabelle seguenti (numero di righe non significativo):

### PER MIN:

#	eventuale etichetta	istruzione macchina	commento sintetico
1			
2			
3			
4			
5			
6			

### PER MAX:

#	eventuale etichetta	istruzione macchina	commento sintetico
1			
2			
3			
4			
5			
6			

## esercizio n. 2 – logica digitale

### logica sequenziale

Sia dato il circuito sequenziale composto da due bistabili master-slave di *tipo D* (D1, Q1 e D2, Q2, dove D è l'ingresso del bistabile e Q è lo stato / uscita del bistabile), un ingresso **I** e un'uscita **U**, e descritto dalle equazioni nel riquadro.

$$D1 = I \text{ or } (!Q1 \text{ or } Q2)$$

$$D2 = !I \text{ and } (!Q1 \text{ or } !Q2)$$

$$U = Q1 \text{ xor } Q2$$

N.B. operatore XOR, uscita a 1 se e solo se solo uno degli ingressi è a 1

**Si chiede** di completare il diagramma temporale riportato qui sotto. Si noti che:

- si devono trascurare completamente i ritardi di propagazione delle porte logiche e i ritardi di commutazione dei bistabili
- i bistabili sono il tipo master-slave la cui struttura è stata trattata a lezione, con uscita che commuta sul fronte di discesa del clock

### tabella dei segnali (diagramma temporale) da completare

- per i segnali D1, Q1, D2, Q2 e U, **si ricavi**, per ogni ciclo di clock, l'andamento della forma d'onda corrispondente riportando i relativi valori 0 o 1
- a solo scopo di chiarezza, per il segnale di ingresso I è riportata anche la forma d'onda per evidenziare la corrispondenza tra questa e i valori 0 e 1 presenti nella tabella dei segnali complessiva
- notare che nel primo intervallo i segnali Q1 e Q2 sono già dati (rappresentano lo stato iniziale)

<b>I</b>	0	0	0	0	1	1	1	1	1	1	1	0	0	1	1	0	0	0	0	1	1	1	1	0	0	0	0	0
<b>D1</b>																												
<b>Q1</b>	0	0	0	0																								
<b>D2</b>																												
<b>Q2</b>	0	0	0	0																								
<b>U</b>																												
<b>CLK</b>	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1





## esercizio n. 3 – microarchitettura del processore pipeline

### prima parte – pipeline e segnali di controllo

Sono dati il seguente frammento di codice **macchina** MIPS (simbolico), che inizia l'esecuzione all'indirizzo indicato, e i valori iniziali per alcuni registri e parole di memoria.

indirizzo	codice MIPS	registro	contenuto iniziale
0x 0040 0800	lw \$t1, 0x0BBB(\$t4)	\$t0	0x 0110 A010
	sw \$t3, 0x0AA7(\$t2)	\$t1	0x 0000 1111
	nop	\$t2	0x 1060 3455
	add \$t5, \$t1, \$t2	\$t3	0x 0050 0000
	addi \$t6, \$t1, 0xA001	\$t4	0x 1060 0055
		<b>memoria</b>	<b>contenuto iniziale</b>
		0x 1060 0C10	0x 0044 0FFF
		0x 1060 0C14	0x 11FF 0040
		0x 1060 3EFC	0x 48F0 6610

La pipeline è ottimizzata per la gestione dei conflitti di controllo, e si consideri il **ciclo di clock 5** in cui l'esecuzione delle istruzioni nei vari stadi è la seguente:

		ciclo di clock										
		1	2	3	4	5	6	7	8	9	10	11
istruzione	1 – lw	IF	ID	EX	MEM	WB						
	2 – sw		IF	ID	EX	MEM	WB					
	3 – nop			IF	ID	EX	MEM	WB				
	4 – add				IF	ID	EX	MEM	WB			
	5 – addi					IF	ID	EX	MEM	WB		

1) **Calcolare** il valore dell'indirizzo di memoria dati nell'istruzione *lw* (load):

\_\_\_\_\_

2) **Calcolare** il valore dell'indirizzo di memoria dati nell'istruzione *sw* (store):

\_\_\_\_\_

3) **Calcolare** il valore del risultato ( $t1 + t2$ ) dell'istruzione *add* (addizione):

\_\_\_\_\_

4) **Calcolare** il valore del risultato ( $t1 + 0xA001$ ) dell'istruzione *addi* (addizione con immediato):

\_\_\_\_\_

**Completare** le tabelle.

I campi di tipo *Istruzione* e *NumeroRegistro* possono essere indicati in forma simbolica, tutti gli altri in esadecimale (prefisso 0x implicito). Utilizzare **n.d.** se il valore non può essere determinato. N.B.: **tutti** i campi vanno completati con valori simbolici o numerici, tranne quelli precompilati con \*\*\*\*\*.

<b>segnali all'ingresso dei registri di interstadio</b> <b>(subito prima del fronte di SALITA del clock --- ciclo 5)</b>			
<b>IF</b>	<b>ID</b>	<b>EX</b>	<b>MEM</b>
<i>registro IF/ID</i>	<i>registro ID/EX</i>	<i>registro EX/MEM</i>	<i>registro MEM/WB</i>
	.WB.MemtoReg	.WB.MemtoReg	.WB.MemtoReg
	.WB.RegWrite	.WB.RegWrite	.WB.RegWrite
	.M.MemWrite	.M.MemWrite	
	.M.MemRead	.M.MemRead	
	.M.Branch	.M.Branch	
.PC	.PC	.PC *****	
.istruzione	.(Rs)		
	.(Rt)	.(Rt) *****	
	.Rt	.R *****	.R *****
	.Rd		
	.imm/offset esteso *****	.ALU_out *****	.ALU_out
	.EX.ALUSrc	.Zero *****	.DatoLetto *****
	.EX.RegDest		

<b>segnali relativi al RF (subito prima del fronte di DISCESA interno al ciclo di clock – ciclo 5)</b>		
RF.RegLettura1	RF.DatoLetto1	RF.RegScrittura
RF.RegLettura2	RF.DatoLetto2	RF.DatoScritto

## seconda parte – gestione di conflitti e stalli

Si consideri la sequenza di istruzioni sotto riportata eseguita in modalità pipeline:

		ciclo di clock									
	istruzione	1	2	3	4	5	6	7	8	9	10
1	add \$t1, \$t3, \$t0	IF	ID	EX	MEM	WB					
2	add \$t0, \$t3, \$t1		IF	ID	EX	MEM	WB				
3	lw \$t3, 00AA(\$t0)			IF	ID	EX	MEM	WB			
4	sw \$t3, 00CC(\$t1)				IF	ID	EX	MEM	WB		

### punto 1

- Definire **tutte** le dipendenze di dato completando la **tabella 1** della pagina successiva (colonne "**punto 1a**") indicando quali generano un conflitto, e per ognuna di queste quanti stalli sarebbero necessari per risolvere tale conflitto (stalli teorici), **considerando la pipeline senza percorsi di propagazione**.
- Disegnare in **diagramma A** il diagramma temporale della pipeline senza propagazione di dato, con gli stalli **effettivamente** risultanti, e riportare il loro numero in **tabella 1** (colonne "**punto 1B**").

### diagramma A

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1. add																
2. add																
3. lw																
4. sw																

### punto 2

Si faccia l'ipotesi che la pipeline sia **ottimizzata** e dotata dei percorsi di propagazione: **EX / EX**, **MEM / EX** e **MEM / MEM**:

- Disegnare in **diagramma B** il diagramma temporale della pipeline, indicando i **percorsi di propagazione** che devono essere attivati per risolvere i conflitti e gli eventuali **stalli** da inserire affinché la propagazione sia efficace.
- Indicare in **tabella 1** (colonne "**punto 2B**") i percorsi di propagazione attivati e gli stalli associati, e il ciclo di clock in cui sono attivi i percorsi di propagazione.

## diagramma B

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

1.add \$t1															
2.add \$t0															
3.lw \$t3															
4.sw \$t3															

## tabella 1

punto 1A					punto 1B	punto 2B	
n° istruzione	n° istruzione da cui dipende	registro coinvolto	conflitto (si / no)	n° stalli teorici	n° stalli effettivi	stalli + percorso di propagazione	ciclo di clock in cui è attivo il percorso

## esercizio n. 4 – domande su argomenti vari

### logica combinatoria

Si consideri la funzione booleana di quattro variabili  $G(a, b, c, d)$  rappresentata dall'espressione seguente:

$$G(a, b, c, d) = \neg a \neg(b + c) + c \neg(a + b) + \neg a \neg c \neg(b + d) + c \neg b \neg(a + d)$$

Si trasformi – tramite le proprietà dell'algebra di commutazione – l'espressione di  $G$  in modo da ridurre il costo della sua realizzazione, indicando per nome la singola trasformazione svolta oppure la forma della proprietà utilizzata. Allo scopo si usi la tabella seguente (il numero di righe non è significativo).

espressione trasformata	proprietà
$\neg a \neg(b + c) + c \neg(a + b) + \neg a \neg c \neg(b + d) + c \neg b \neg(a + d)$	

**spazio libero per continuazione o brutta copia**

**spazio libero per continuazione o brutta copia**