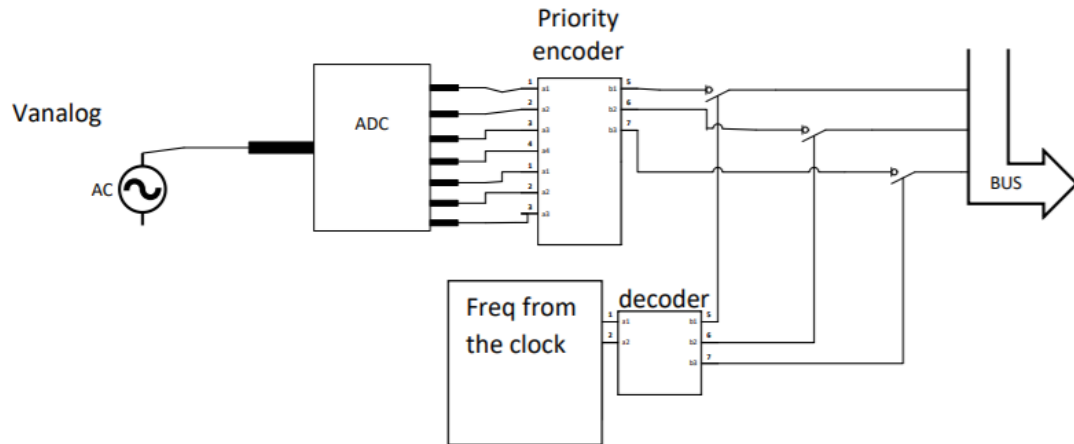


ADC Read In Series

מטרת הפרויקט:

נדרש לבנות ממיר אות אנלוגי לאות דיגיטלי הנקרא באופן טורי בצורה סכמטית ועל ידי המתגים כמתואר באיור הבא:

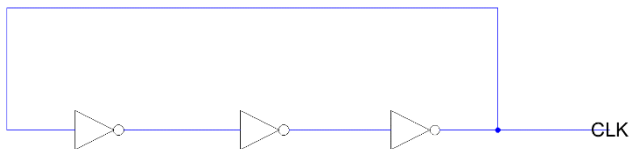


איור 1 - מעגל ה ADC

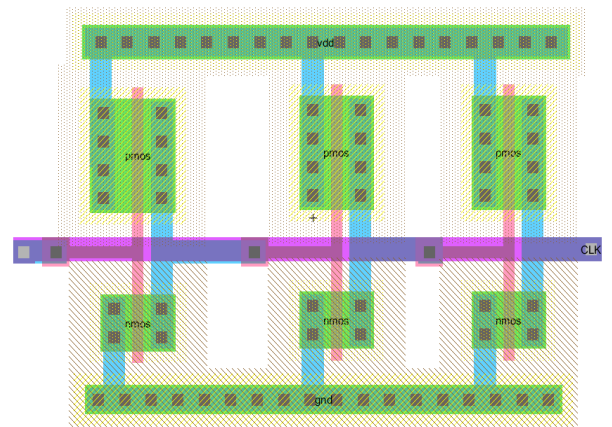
רכיבי המערכת:

Clock .1

- הClock בנוי מ3 inverters מחוברים בתור ובעלי משוב היוצר מתנד ובעקבות כך במוצא נקבל אות סינוסיאלי.



איור 3 - Schematic



איור 4 - Simulation

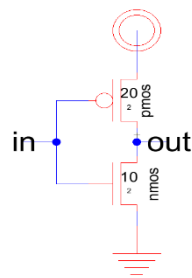
איור 2 - Layout

- על פי הגרף שבאיור 4 אכן ניתן לראות כי במוצא השעון יוצא אות סינסיאדלי.
- קוד הרכיב:

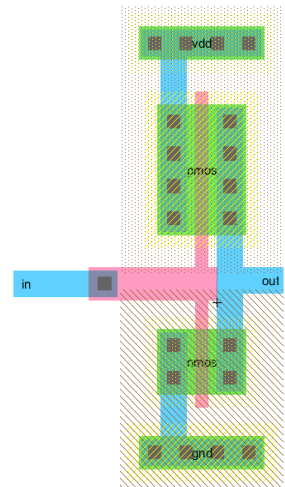
```
vdd vdd 0 dc 5
.tran 1u
.include c:\Electric\c5.txt
```

Inverter .2

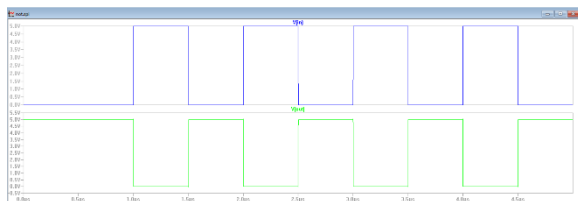
- ה inverter בנוי מטרנזיסטור nmos ומטרנזיסטור pmos אשר מחוברים ביניהם דרך Gate.



איור 6 - Schematic



איור 5 - Layout



איור 7 - Simulation

- בגרף אשר נמצא באיור 7 ניתן לראות את מתח הכניסה ומתח המוצא של המהפך וואכן ניתן לראות שהתוצאה תואמת את טבלת האמת של המהפך.

קוד הרכיב:

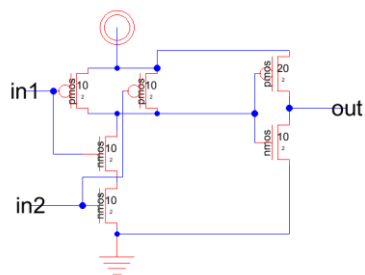
```

vdd vdd 0 dc 5
vin in 0 pulse 0 5 1u 1n 1n 0.5u 1u
.tran 5u
.include c:\Electric\c5.txt

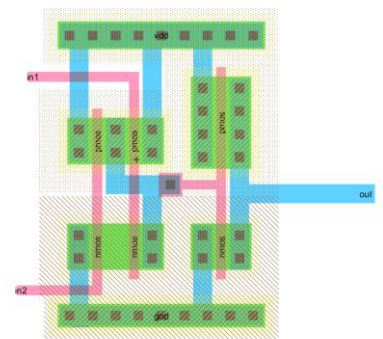
```

And2 .3

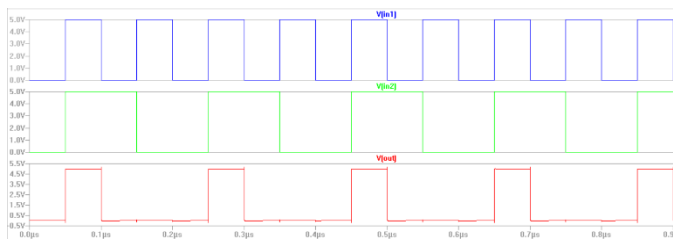
- רכיב זה מורכב מרכיב נאנד2 כאשר מחובר לו מהפך במוצא.



איור 9 - Schematic



איור 8 - Layout



איור 10 - Simulation

- על פי הגרף באיור 10 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב הנאנד2
- קוד הרכיב:

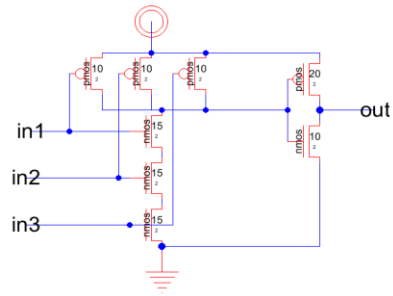
```

vdd vdd 0 dc 5
*vin1 in1 0 dc 5
*vin2 in2 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
.tran 1u
.include c:\electric\c5.txt

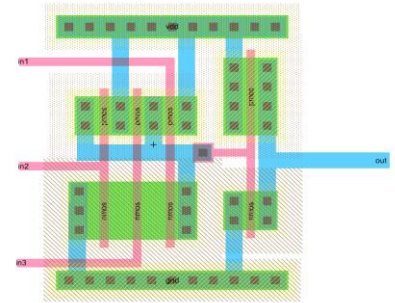
```

And3 .4

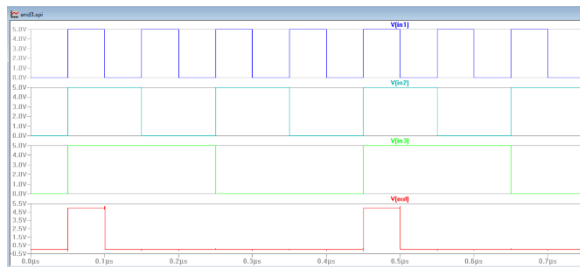
- רכיב זה מורכב מרכיב נאנד3 כאשר מחובר לו מהפך במוצא.



איור 12 - Schematic



איור 11 - Layout



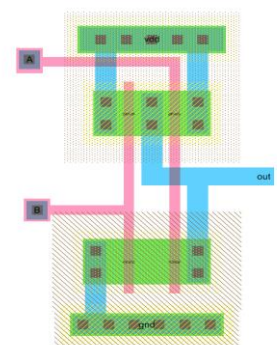
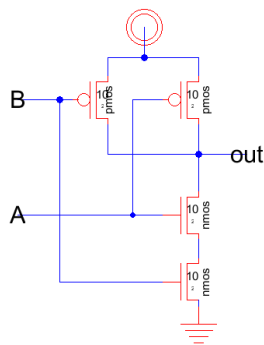
איור 13 - Simulation

- על פי הגרף באיור 13 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב האנד3 קוד הרכיב:

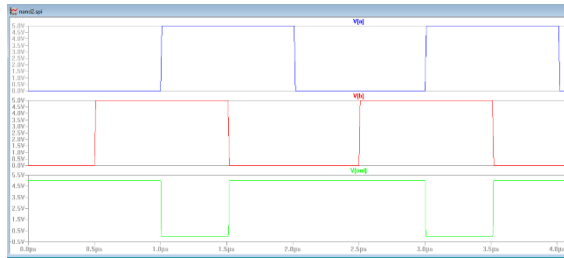
```
vdd vdd 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
vin3 in3 0 pulse (0 5 0.05u 10p 10p 0.2u 0.4u)
.tran 1u
.include c:\electric\c5.txt
```

5.2 Nand

- רכיב זה מורכב משני טרנזיסטורי בימוס המחוברים במקביל ומשני טרנזיסטורי אנמוס אשר מחוברים בטור.



איור 15 - Schematic



איור 16 - Simulation

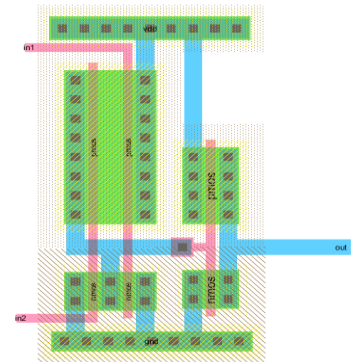
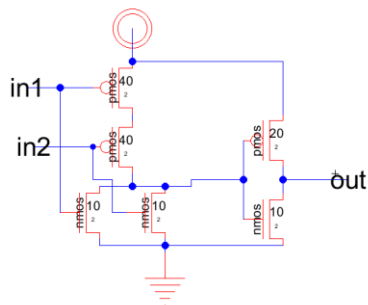
איור Layout
- 14

- על פי הגרף באיור 16 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב הנאנד2
- קוד הרכיב:

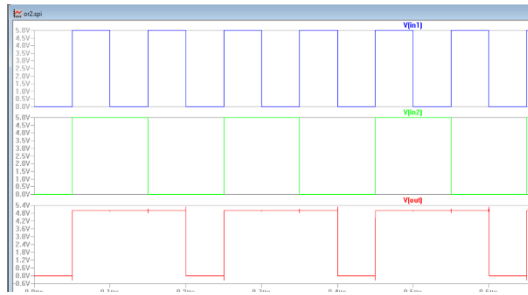
```
vdd vdd 0 dc 5
va a 0 pulse(0 5 1u 10n 10n 1u 2u)
vb b 0 pulse(0 5 0.5u 10n 10n 1u 2u)
.tran 5u
.include c:\Electric\c5.txt
```

OR2.6

- רכיב זה מורכב משני טרנזיסטורי בימס המחוברים בטור, משני טרנזיסטורי אנמס אשר מחוברים במקביל ורכיב מהפך במוצא.



איור 18 - Schematic



איור 19 - Simulation

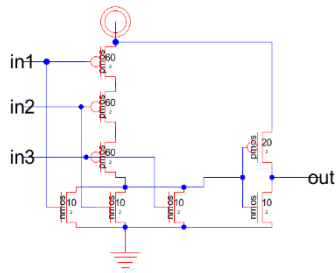
איור Layout
- 17

- על פי הגרף באיור 19 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב האוור2
- קוד הרכיב:

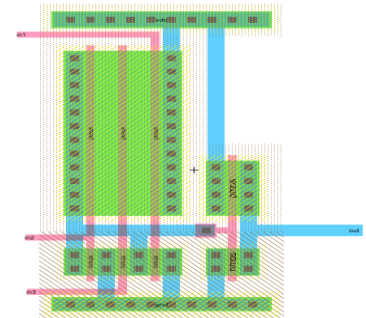
```
vdd vdd 0 dc 5
*vin1 in1 0 dc 5
*vin2 in2 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
.tran 1u
.include c:\electric\c5.txt
```

OR3.7

- רכיב זה מורכב משלושה טרנזיסטורי בימוס המחוברים בטור, משלוש טרנזיסטורי אנמוס אשר מחוברים במקביל ורכיב מהפך במוצא.



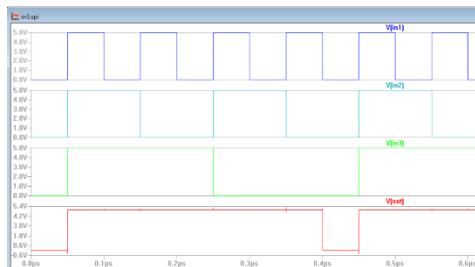
איור 21 - Schematic



איור Layout
- 20

- על פי הגרף באיור 22 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב האוור3
- קוד הרכיב:

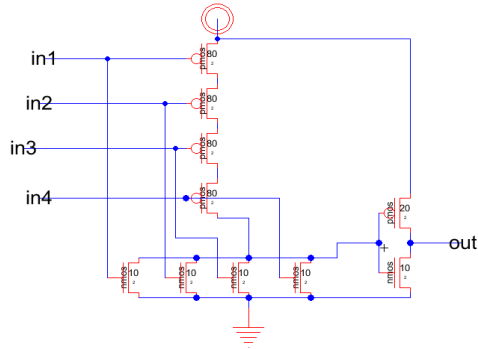
```
vdd vdd 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
vin3 in3 0 pulse (0 5 0.05u 10p 10p 0.2u 0.4u)
.tran 1u
.include c:\electric\c5.txt
```



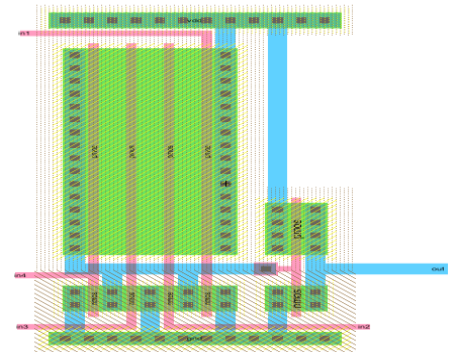
איור 22 - Simulation

OR4.8

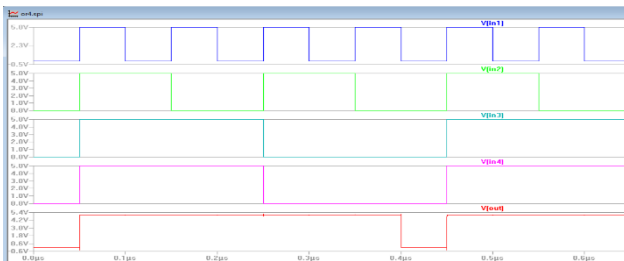
- רכיב זה מורכב מארבע טרנזיסטורי בימוס המחוברים בטור, מארבע טרנזיסטורי אנמוס אשר מחוברים במקביל ורכיב מהפך במוצא.



איור 24 - Schematic



איור 23 - Layout



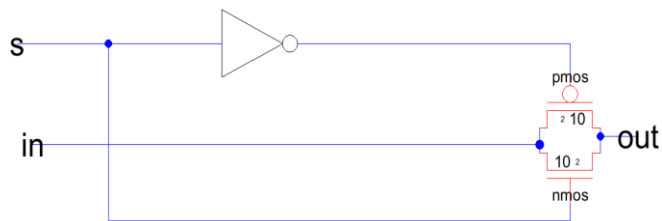
איור 25 - Simulation

- על פי הגרף באיור 25 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב האורר4
- קוד הרכיב:

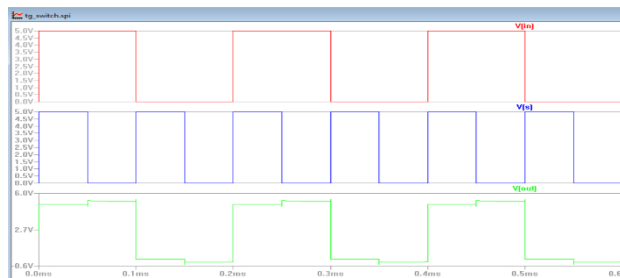
```
vdd vdd 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
vin3 in3 0 pulse (0 5 0.05u 10p 10p 0.2u 0.4u)
vin4 in4 0 pulse (0 5 0.05u 10p 10p 0.2u 0.4u)
.tran 1u
.include c:\electric\c5.txt
```

9. TG-Switch

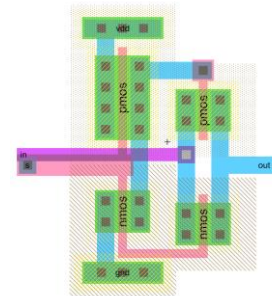
- בפרויקט זה התבקשנו לבנות שלושה מתגים בעלי 3 רגליים (כרגל כניסה, רגל מוצא ורגל בקרה).



איור 27 - Schematic



איור 28 - Simulation



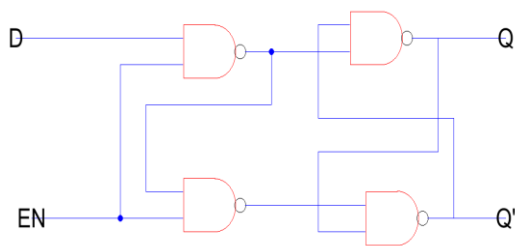
איור 26 - Layout

- על פי הגרף באיור 28 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של רכיב האורר4
- קוד הרכיב:

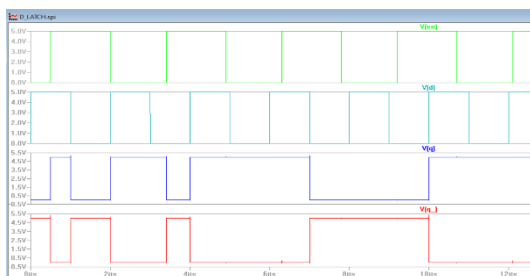
```
vdd vdd 0 dc 5
vs s 0 pulse (0 5 0.05u 10p 10p 0.05m 0.1m)
vin in 0 pulse (0 5 0.05u 10p 10p 0.1m 0.2m)
.tran 1m
cload out 0 10f
.include c:\electric5.txt
```

10. D-Latch

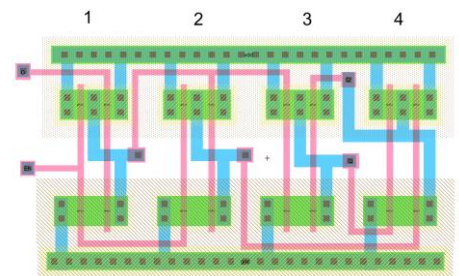
הרכיב בנוי ממעגלים, טרנזיסטור בימוס, טרנזיסטור אנמוס.



איור 30 - Schematic



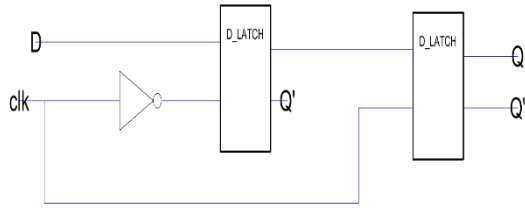
איור 29 - Layout



- על פי הגרף באיור 31 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של הרכיב
- קוד הרכיב:

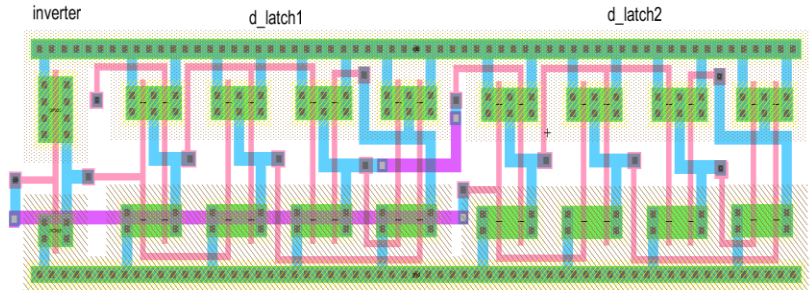
```
vdd vdd 0 dc 5
vin d 0 pulse 0 5 0 1n 1n 1u 2u
ven en 0 pulse 0 5 0.5u 1n 1n 1.5u 2.9u
.tran 20u
.include c:\Electric5.txt
```


איור 31 - Simulation

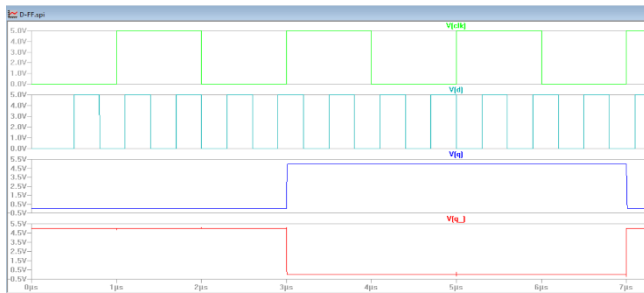


D-FF .11

מורכב משני רכיבי די-לאתש , רכיב זה הוא רכיב בעל יכולת אגירת מידע.



איור 33 - Schematic



איור 34 - Simulation

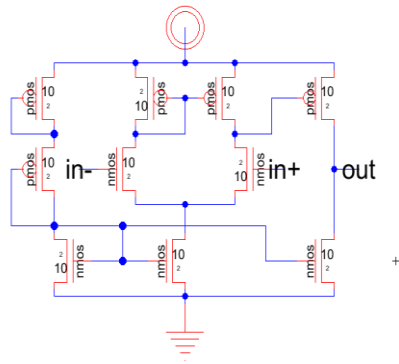
איור 32 - Layout

- על פי הגרף באיור 34 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של הרכיב
- קוד הרכיב:

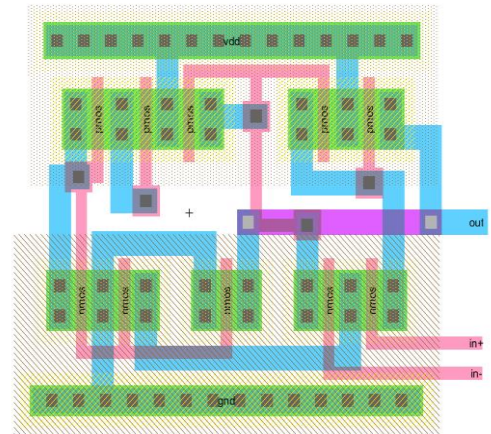
```
vdd vdd 0 dc 5
vclk clk 0 pulse (0 5 1u 100p 100p 1u 2u)
vD D 0 pulse (0 5 0.5u 100p 100p 0.3u 0.6u)
*vD D 0 dc 5
cload1 q 0 1p
cload2 qn 0 1p
.tran 10u
*.meas tin when v(clk)=2.5 cross 1
*.meas tout when v(q)=2.5 cross 1
*.meas tcp param tout-tin
.include c:\electric\c5.txt
```

Amplifier .12

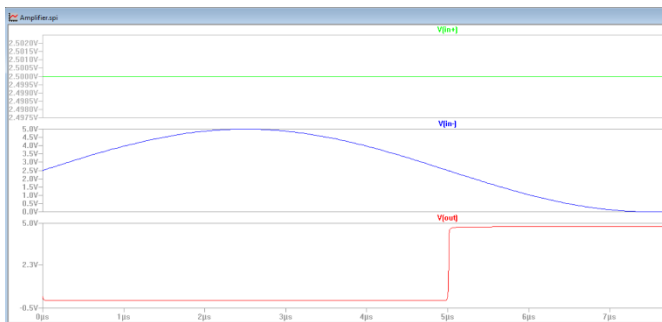
+V רכיב מגבר השרת מורכב לפי הסכמה המוצגת באיור 36. לרכיב זה יש שתי כניסות מתח: כניסה אחת למתח גבוה ו- V_{BE} כניסה השנייה למתח נמוך.



איור 36 - Schematic



איור 35 - Layout



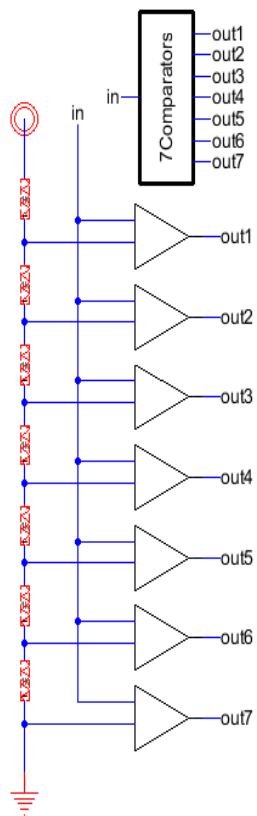
איור 37 - Simulation

- על פי הגרף באיור 37 אכן ניתן לראות כי מתח המוצא תואם את טבלת האמת של הרכיב
- קוד הרכיב:

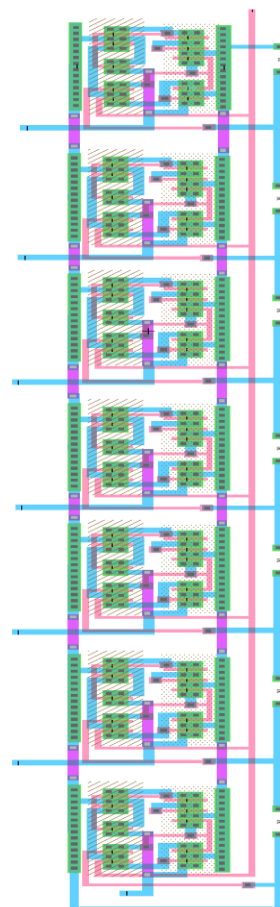
```
vdd vdd 0 dc 5
vin+ in+ 0 dc 2.5
vin- in- 0 sine(2.5 2.5 100000)
.tran 10u
*vin- in- 0 dc 2.5
*.dc vin- 0 5 1m
.include c:\electric\c5.txt
```

Comparators-7 ממיר אנלוגי :

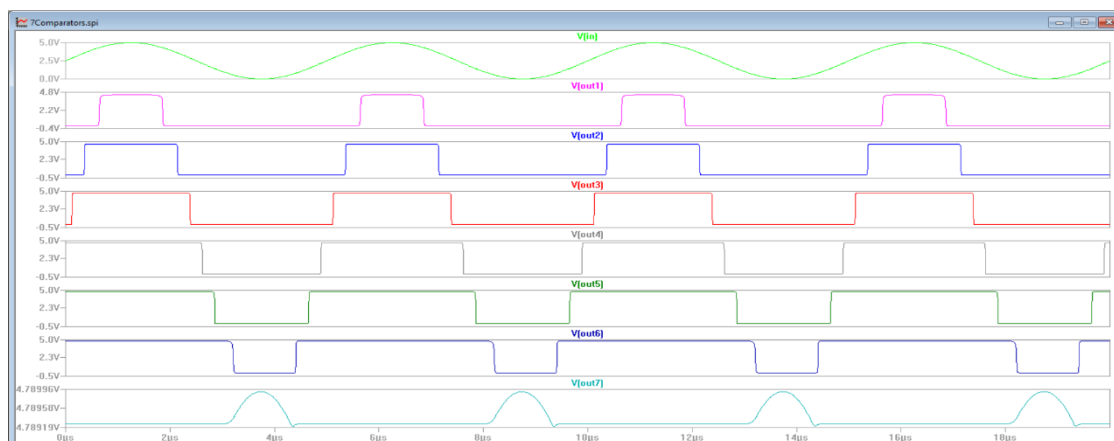
- רכיב זה ממיר אות אנאלוגי לאות דיגיטאלי בעזרת זוגות נגדים הפועלים כמחלקי מתח ומגברי שרת בצורת מגבר משווה.



איור 39 - Schematic



איור 38 - Layout

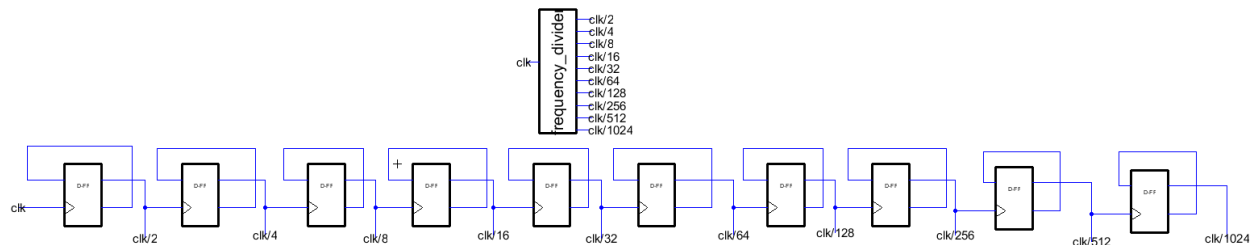


קוד הרכיב:

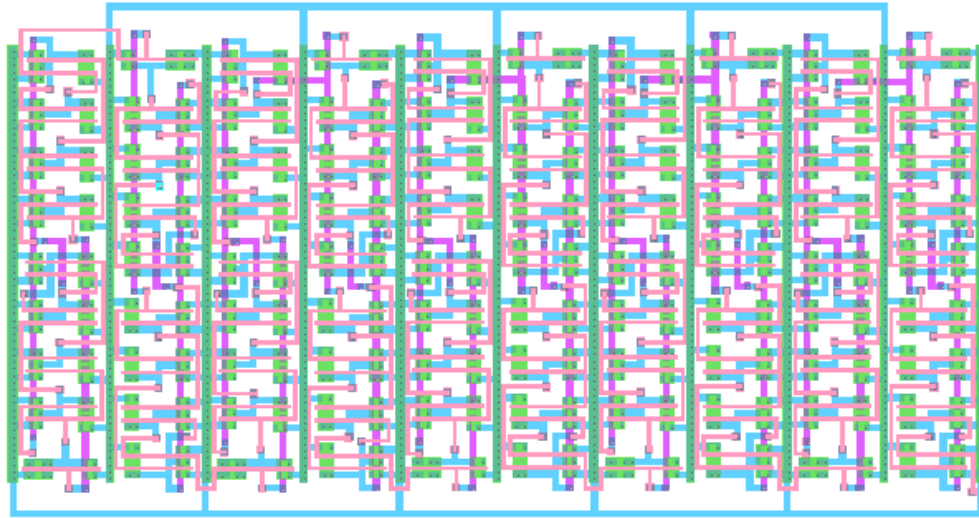
```
vdd vdd 0 dc 5
vin in 0 sine(2.5 2.5 200k)
.tran 20u
.include c:\electric\c5.txt
```

: Clock & Frequency Divider

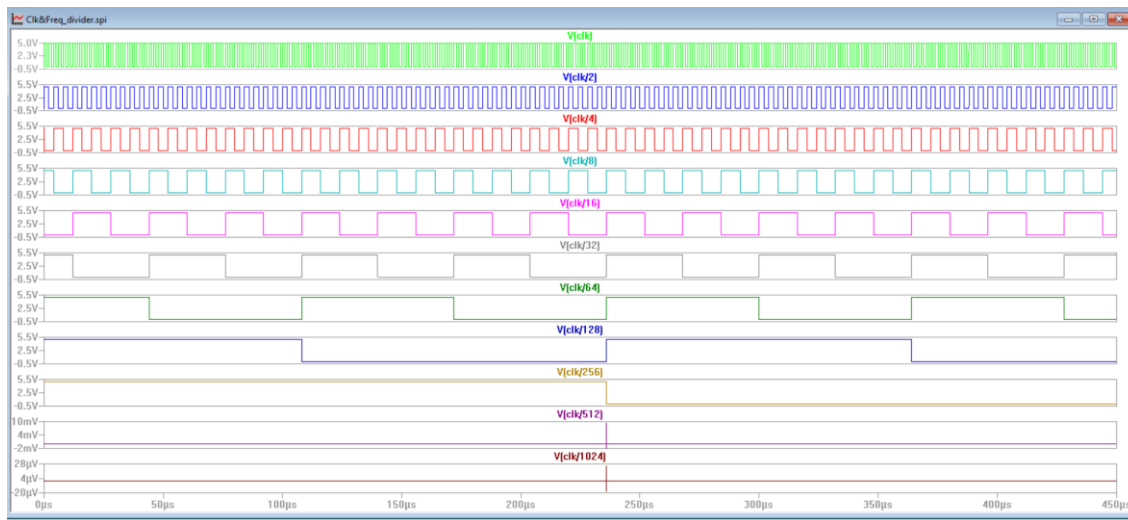
מחלק התדר בנוי מעשרה דלגלי D המשורשרים בחיבור טורי כך שכל דלגל מחלק ב-2 את תדר הכניסה שלו וכך תדר הכניסה בסופו של דבר מתחלק ב- $\frac{1}{2^n}$. כל דלגל d מעביר את המידע שבו רק כשאר השעון מקבל "1", כמו כן כל הדלגלים מקבלים את אותו השעון.



איור 41 - Schematic



איור 42- Layout



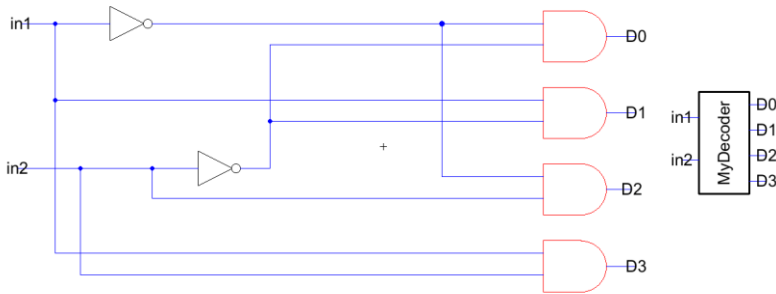
איור 43- Simulation

קוד הרכיב:

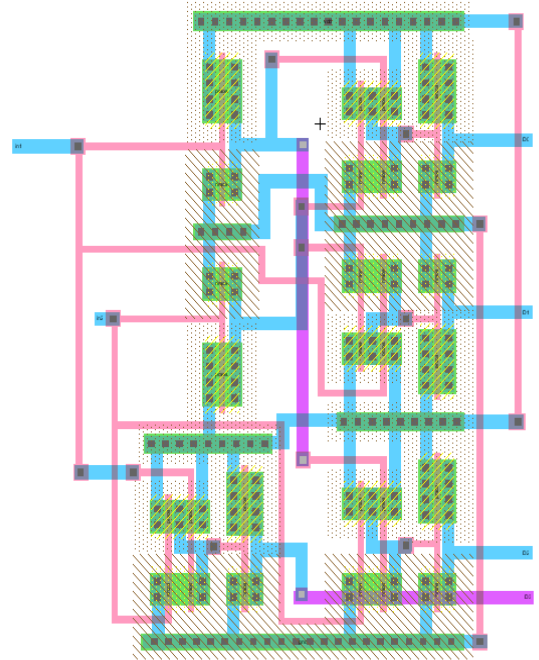
```
vdd vdd 0 dc 5
vgnd gnd 0 dc 0
vclk clk 0 pulse 0 5 0 1n 1n 1u 2u
.tran 450u
.include c:\Electric\c5.txt
```

: Decoder

הוא רכיב הממיר מספר בינארי לפלט מתאים. זהו רכיב בעל n כניסות ו- 2^n יציאות כאשר היציאה הנבחרת מקבלת "1" לגוי ושאר היציאות נמצאות ב"0" לוגי. הרכיב בנוי לפי הסכימה באיור 45.



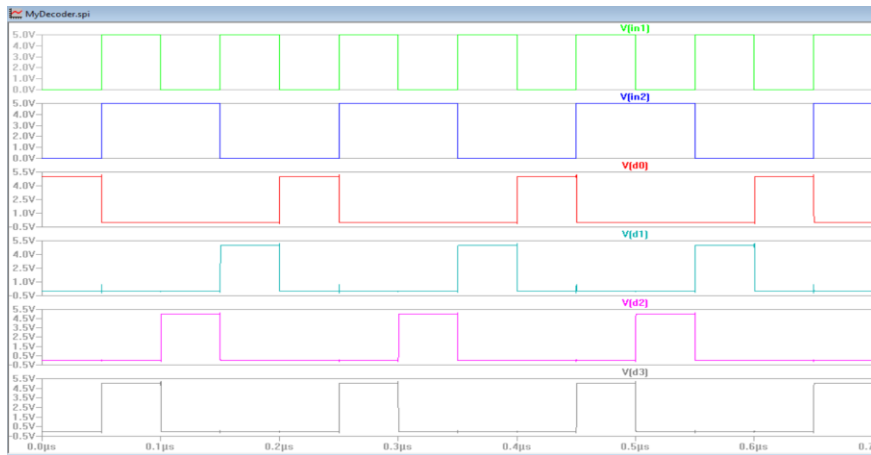
איור 45- Schematic



איור 44- Layout

קוד הרכיב:

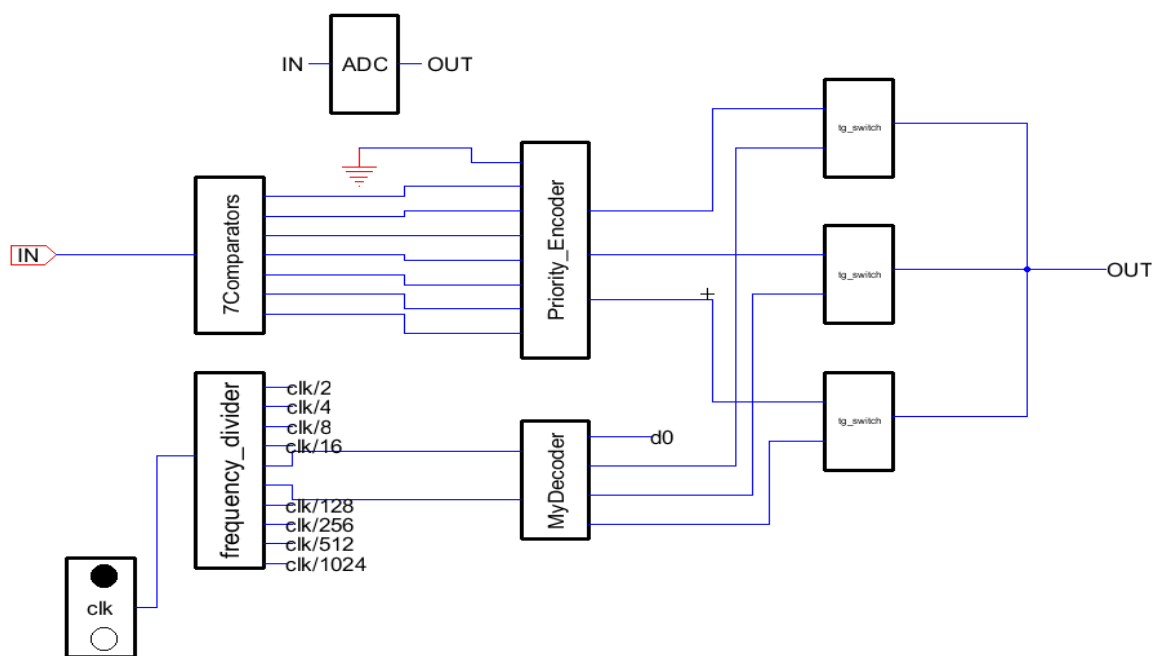
```
vdd vdd 0 dc 5
vin1 in1 0 pulse (0 5 0.05u 10p 10p 0.05u 0.1u)
vin2 in2 0 pulse (0 5 0.05u 10p 10p 0.1u 0.2u)
.tran 1u
.include c:\electric\c5.txt
```



איור 46- Simulation

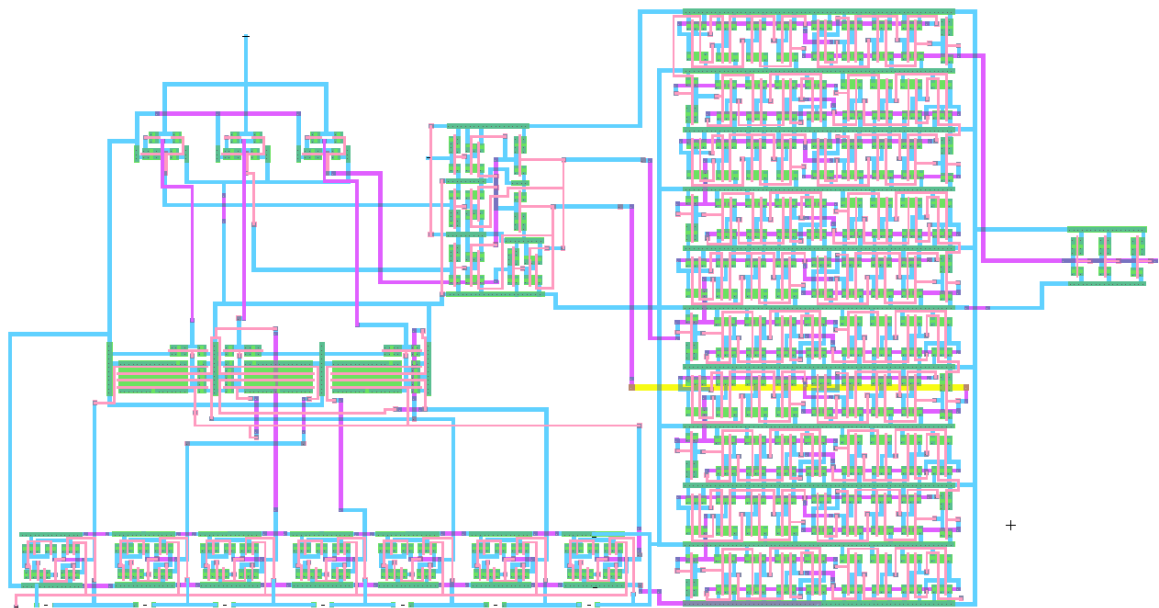
ADC PROJECT-כלל המערכת :

המערכת הכוללת (המתוארת באיור 1) מעבירה את המוצאים של המקודד עדיפות בשליטת מוצא המפענח 2X4 שמקבל את הכניסות שלו ממחלקי תדר שונים עבור כניסת שעון מסוימת. המוצאים מוכנסים ל SWITCH-TG אשר מאפשר לקבל במוצא ביט של האות הדיגיטלי.

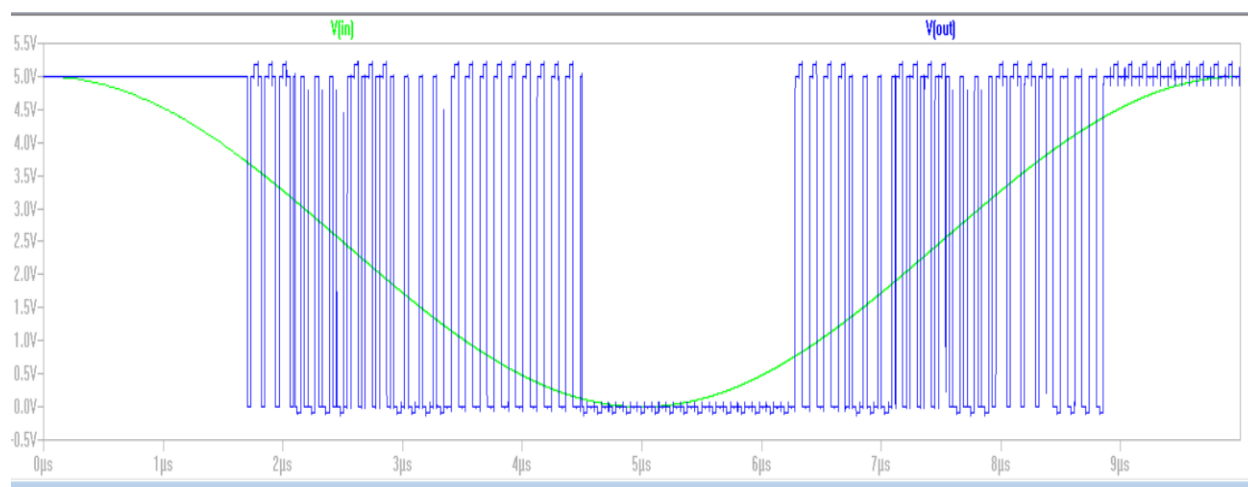


להלן סכמת המערכת:

איור 47- Schematic-



איור 48- Layout



איור 46- Simulation

קוד המערכת :

```
vdd vdd 0 dc 5  
vin1 IN 0 sine(2.5 2.5 100000 0 1 90)  
.tran 10u  
cload out 0 10f  
.include c:\electric\c5.txt
```