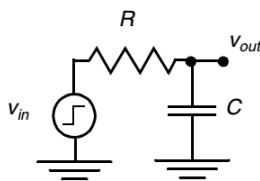


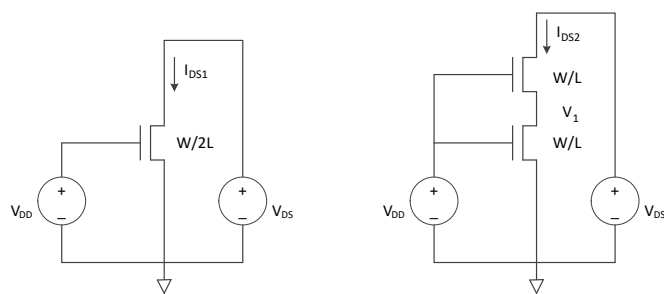
Fundamental of VLSI 2023

1. Q: PMOS 和 NMOS 晶体管有相同的 W, L 尺寸, 并且他们的 V_{gs}, V_{ds} 也相同, 该电压使 PMOS 和 NMOS 同时处于饱和工作区, 请问哪个晶体管的饱和电流更高, 为什么?
2. Q: MOS 管的沟道设计长度 L_d 为何与沟道实际长度 L (有效沟长) 不同, 原因何在?
3. Q: 论述静态 CMOS 反相器的工作原理及其优点。
4. Q: 论述栅漏电容的密勒效应。
5. Q: 什么是 MOS 器件的体偏置效应, 给出在体偏置条件下的 MOS 的阈值电压 V_T 。
6. Q: 什么是扇入和扇出, 说出扇入和扇出不能太大的原理。
7. Q: 说明门延时的概念。
8. Q: 简述门的驱动强度、尺寸、电流、电阻、电容之间的关系。
9. Q: 一数字电路符合一阶 RC 网络传播延时模型 (如下图), V_{in} 从 $0 \rightarrow V_{DD}$ 的阶跃变化, 求该数字电路 V_{out} 从 $0.2V_{DD} \rightarrow 0.8V_{DD}$ 的时间。



10. Q: 静态 CMOS 反相器的器件参数如下:
NMOS: $V_{Tn}=0.4V$, $V_{DSATn}=0.63V$, $\mu_n C_{ox}=115\mu A/V^2$; PMOS: $V_{Tp}=-0.4V$, $V_{DSATp}=-1V$, $\mu_p C_{ox}=-30\mu A/V^2$; 电源电压 $V_{DD}=2.5V$, 实际沟道长度 $L_n=L_p=0.25\mu m$,
 - (1) 请确定 W_p/W_n 的比值, 使反相器的开关阈值 $V_M=1.25V$ (注: 忽略沟长调制作用影响);
 - (2) 如果 $W_n/L_n=2$, $W_p/L_p=3$ 时 (注: $\lambda_n=0.06V^{-1}$, $\lambda_p=-0.1V^{-1}$), 求反相器的开关阈值 V_M 和噪声容限 NM_H, NM_L ;
 - (3) 如果两个完全相同的反相器串联, $W_n=0.75\mu m$, $L_n=0.25\mu m$, 反相器下拉时的扩散电容 $C_{dp}=1.5fF$, $C_{dn}=0.66fF$, 覆盖电容 $C_{gn}=0.76fF$, $C_{gp}=2.28fF$, 连线电容 $C_W=0.12fF$ 近似计算由高到低的传播延时 t_{pHL} 。
11. Q: $0.6\mu m$ 工艺的 NMOS 晶体管 $t_{ox}=1 \times 10^{-8}m$, $\epsilon_{ox}=3.5 \times 10^{-11}F/m$, 电子迁移率 $\mu_n=350cm^2/V \cdot s$, $W/L=2$, 求 NMOS 增益。
12. Q: 两个包含 NMOS 晶体管电路 (如下图所示), NMOS 的尺寸及电压情况如图中所标

注，其余的工艺参数相同，NMOS 均 工作在电阻区，通过公式推导，验证 $I_{DS1}=I_{DS2}$ （流过两个串联的等长晶体管的电流等于流过一个两倍长度的晶体管的晶体管的电流）。



13. Q: NMOS 晶体管的工艺参数如下：

$t_{ox}=2 \times 10^{-8} \text{m}$, $W=10 \mu\text{m}$, $L_d=1.5 \mu\text{m}$, $x_d=0.25 \mu\text{m}$, $L_s=5 \mu\text{m}$, $x_j=0.4 \mu\text{m}$, 源区参杂浓度 $N_D=10^{20}$ 原子/ cm^3 , 衬底参杂浓度 $N_A=10^{16}$ 原子/ cm^3 , 沟道阻挡层参杂浓度 $N_{A+}=10^{19}$ 原子/ cm^3 。

计算在 300K 的温度下，

(1) 分别求在 $V_D=5\text{V}$ 和 2.5V 时的漏区扩散电容；

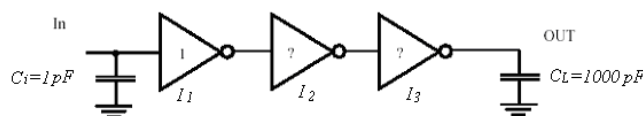
(2) 求漏区的覆盖电容， $\epsilon_{ox}=3.5 \times 10^{-11} \text{F/m}$ 。

(提示：利用电子教材上的公式 (3.1) (3.2) (3.7) (3.8) (3.44) (3.45))。

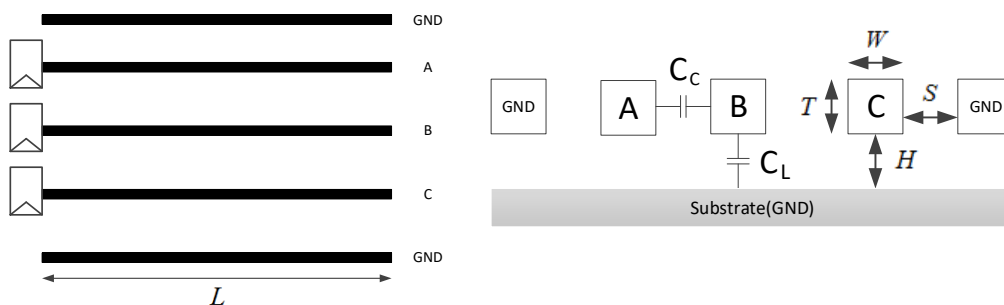
14. 有三个反相器组成的反相器链，输入电容为 $C_i=1\text{pF}$ ，负载电容为 $C_L=1000\text{pF}$ ，如果第一个反相器的尺寸为 1，在反相器链传播延时最小情况下，传播延时 t_{p1} 为 70ps（注： $\gamma=1$ ），

(1) 请确定其他两个反相器 I_2 、 I_3 的尺寸，使反相器链的传播延时最小，并计算该情况下的最小延时；

(2) 如果允许增加更多的反相器使反相器链的延时最小，请确定插入反相器的数目，并计算该情况下的最小延时。



15. Q: 逻辑门驱动的数据总线位宽为 3bit，是由三根信号线 A、B、C 组成，两侧用地线屏蔽外部互连线串扰，总线的布线图、截面图及尺寸参数值如下图所示，其中 $W=0.4 \mu\text{m}$, $S=0.6 \mu\text{m}$, $H=0.4 \mu\text{m}$, $T=0.6 \mu\text{m}$,



(1) 计算信号线的对地单位电容 c_L 和信号线间的单位耦合电容 c_C ，电介质介电常数 $\epsilon=3.45$ ，（提示：电容计算公式为 $c=c_{pp}+c_{fringe}=\frac{\epsilon_r}{h}(w-\frac{t}{2})+\frac{2\pi\epsilon_r}{\log(2h/t+1)}$ ）

(2) 受到信号线 A 和 C 的电压变化影响，信号线 B 会出现耦合电容的变化，分析产生最大耦合电容和最小耦合电容的情况，画出两种情况下的信号线 A、B 和 C 的电压变化波形

图，并用密勒效应来计算两种情况下信号线 B 的单位总电容 C_T ；

(3) 总线材料为 Al，其电阻率 $\rho = 2.7 \times 10^{-8} \Omega \cdot m$ ，计算信号线 B 的单位电阻；

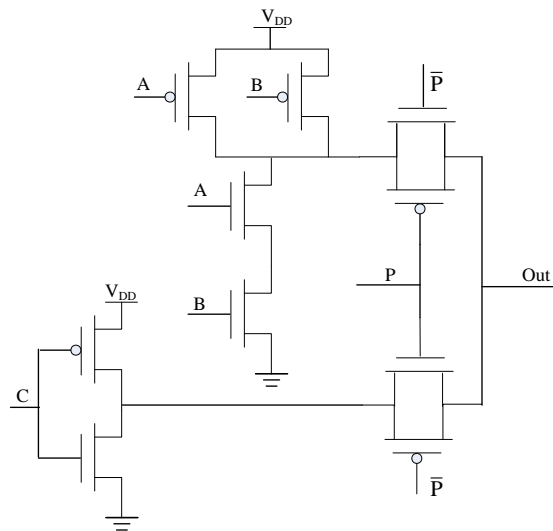
(4) 总线长度 $L = 1.0mm$ ，用 Elmore 模型近似计算信号线 B 的最大延迟和最小延迟。

16. Q: 回答下列问题：

(1) 用互补 CMOS 门实现逻辑功能为 $Out = \overline{AB + AC + BC}$ 的电路；

(2) 用由 NMOS 构成下拉网络的多米诺门实现逻辑功能为 $Out = \overline{AB + AC + BC}$ 的电路；

(3) 写出下面 CMOS 电路的逻辑函数功能。



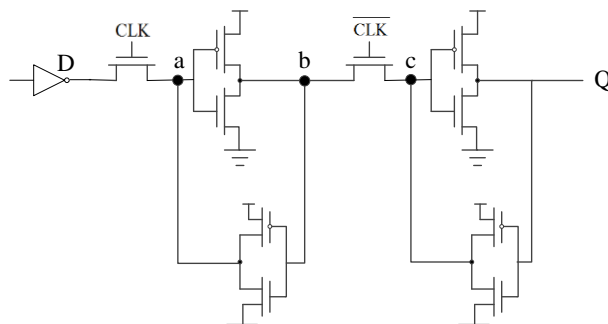
17. Q: 一个由两个相反类型的锁存器组成的寄存器（如下图所示），驱动端 D 由一个反相器所驱动，所有的交叉耦合反相器的 $W_p/W_n = 2$ ，并且 W_p 和 W_n 均是 $0.25\mu m$ 工艺的晶体管最小宽度尺寸，

(1) 指出前后串联的锁存器的正负类型及该寄存器的正负沿类型；

(2) 由于该寄存器的时钟开关采用的是传输管结构，请确定传输管的最小尺寸限制，确保能够在输入端 D 为“0”时，能够将其写入寄存器中（忽略沟道调制且如果发生漏电流饱和则为速度饱和，晶体管的其它参数参考教材表 3.2）；

(3) 如果传输管的尺寸是确定的，并且不满足成功写入“0”的尺寸限制条件，如何采取其它方法来保证成功将“0”写入寄存器？

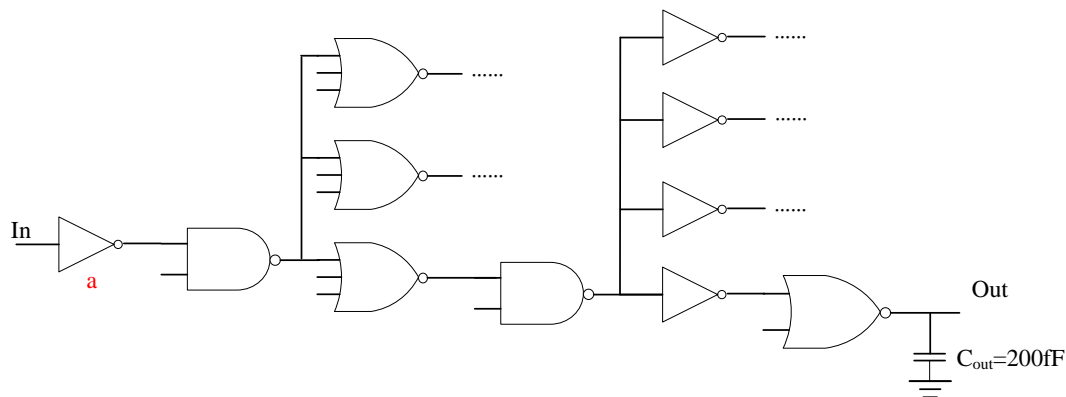
(4) 如果传输管的延时是 t_T ，反相器的延时是 t_{INV} ，给出寄存器建立时间 t_{SU} ，传输延迟 t_{cq} 和维持时间 t_{hold} 。



18. Q: 下图中组合逻辑电路的反相器 a 的晶体管宽度 $W_n=1\mu\text{m}$, $W_p=2\mu\text{m}$, 单位晶体管宽度的栅电容 $C_g=2\text{fF}/\mu\text{m}$, $C_{\text{out}}=200\text{fF}$, (注: 参考表 6.5)

(1) 从 In 到 Out 电路的总路径努力是多少?

(2) 使路径延时最小的门努力是多少?

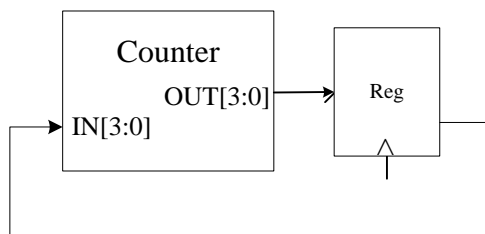


19. Q: 下图是一个+1 循环计数器电路, 循环计数器逻辑块的输入为 4 比特 IN[3:0], 输出为 4 比特 OUT[3:0], 比特位[3]表示最高位, 比特位[0]表示最低位, 循环计数器的最大计数为 9(1001), 当输入 IN[3:0]等于 9 时, 输出 OUT[3:0]等于 0

(1) 对于 IN[3:0]的每一个比特位的 0 和 1 的概率 p_0 和 p_1 是多少?

(2) 对于 IN[3:0]的每一个比特位从 0->1 的翻转因子各是多少?

(3) 如果 IN[3:0]的每一个比特位的负载电容是 5fF, OUT[3:0]的每一个比特位的负载电容是 4fF, 电路时钟频率为 250MHz, $V_{DD}=2.5V$, 计算该电路的动态功耗。



20. Q: 请分析下图带反馈的电路结构, 其中寄存器是边沿触发的, 并且 $t_{c-q, \min}=2\text{ns}$, $t_{c-q, \max}=4\text{ns}$, $t_{\text{setup}}=1\text{ns}$, $t_{\text{hold}}=1\text{ns}$

(1) 如果没有时钟偏差和抖动发生, 该系统的工作频率是多少?

(2) 该系统能够允许的最大时钟偏差是多少?

