

# **LTMS - Lups Transactional Memory Scheduler: Um escalonador NUMA-Aware para STM.**

**Michael Alexandre Costa**

Prof. Dr. André Rauber Du Bois (Orientador)

Mestrado em Computação  
Centro de Desenvolvimento Tecnológico  
Universidade Federal de Pelotas  
`macosta@inf.ufpel.edu.br`

8 de junho de 2021



- 1 **Introdução**
- 2 **Memórias Transacionais**
- 3 **Escalonadores**
- 4 **Arquiteturas**
- 5 **Próximas Atividades**
- 6 **Cronograma de Atividades**



# Introdução

## Motivação

- Programação Paralela;
- Memórias Transacionais;
- Escalonadores de Transações; e
- Arquiteturas NUMA.



# Introdução

## Objetivos

- Projetar um escalonador de STM modular que considera a arquitetura utilizada, intitulado LTMS;
- Prototipar o escalonador LTMS, utilizando a biblioteca de STM TinySTM; e
- Análisar de desempenho do LTMS comparado a TinySTM utilizando o conjunto de benchmarks STAMP.



# Memórias Transacionais

## Características

- Fornece abstração de código;
- Reuso de código; e
- Ausência de deadlocks.

## Transações

- Atomicidade;
- Consistência; e
- Isolamento.



# Memórias Transacionais

## Problemas

- Somente reinicia a transação conflitante;
- Não evita que conflitos futuros aconteçam; e
- Em ambientes de alta contenção, tende a perder desempenho.



# Escalonadores

## Escalonadores de Transações

- Buscam reduzir os números de conflitos;
- Utilizam diferentes Heurísticas de escalonamento; e
- Serializa as transações conflitantes.



# Escalonadores

## Classificação das técnicas

- Baseado em Heurística:
  - Feedback;
  - Predição;
  - Reativo; e
  - Heurística Mista.
- Baseado em Modelo:
  - Aprendizado de Máquina;
  - Modelo Analítico; e
  - Modelo Misto.





# Escalonadores

## Trabalhos Relacionados

**Tabela:** Algoritmos e técnicas de escalonamento

Escalonador	Técnica
ATS	Feedback
Probe	Feedback
F2C2	Feedback
Shrink	Predição
SCA	Predição
CAR-STM	Reativo
RelSTM	Reativo
LUTS	Heurística Mista
ProVIT	Heurística Mista
SAC-STM	Aprendizado de Máquina
CSR-STM	Modelo Analítico
MCATS	Modelo Analítico
AML	Modelo Misto

# Escalonadores

## Trabalhos Relacionados

**Tabela:** Algoritmos que estamos trabalhando

Escalonador	Técnica
Probe	Feedback
F2C2	Feedback
Shrink	Predição
MCATS	Modelo Analítico



# Arquiteturas

## UMA

- Uniform Memory access;
- Possui um único barramento de acesso à memória; e
- Único custo de acesso à memória.

## NUMA

- Non-uniform Memory access;
- Possui mais de um barramento de acesso à memória; e
- O custo de acesso à memória é diferente conforme o núcleo utilizado.



# Próximas Atividades

## Atividades a serem realizadas

- Modificar o escalonador Shrink;
- Executar os testes;
- Analisar resultados; e
- Escrever a Dissertação.



# Cronograma

- ➊ Modificações no Shrink coletando informações sobre a arquitetura;
- ➋ Modificações no método de escalonamento do Shrink;
- ➌ Validação do novo método de escalonamento;
- ➍ Execução de testes em arquitetura NUMA e UMA;
- ➎ Coleta de resultados obtidos por meio dos testes;
- ➏ Escrita da dissertação; e
- ➐ Entrega e apresentação da dissertação.



# Cronograma

**Tabela:** Cronograma de atividades mensal para o restante do mestrado

Ano	2020					2021	
Mês	Ago	Set	Out	Nov	Dez	Jan	Fev
1							
2							
3							
4							
5							
6							
7							

# **LTMS - Lups Transactional Memory Scheduler: Um escalonador NUMA-Aware para STM.**

**Michael Alexandre Costa**

Prof. Dr. André Rauber Du Bois (Orientador)

Mestrado em Computação  
Centro de Desenvolvimento Tecnológico  
Universidade Federal de Pelotas  
`macosta@inf.ufpel.edu.br`

8 de junho de 2021

