

# Technische Universität München

## Fakultät für Informatik

Seminararbeit in Informatik

Die ersten Mikroprozessoren: ein Rechner, ein Chip

Michael Kratzer, Michael Kiener



*Contents*

# Contents

<b>1 Einleitung</b>	<b>3</b>
<b>2 Der Intel 4004</b>	<b>4</b>
2.1 Die Geschichte und Entwicklung des 4004 . . . . .	4
2.2 Die Architektur des MCS-4 . . . . .	6
2.2.1 Der 4001 . . . . .	7
2.2.2 Der 4002 . . . . .	8
2.2.3 Der 4003 . . . . .	11
2.2.4 Der 4004 . . . . .	12
2.3 Der Befehlszyklus . . . . .	13
2.4 Der Befehlssatz . . . . .	13
<b>3 Geschichte</b>	<b>14</b>
<b>4 Mikrocontroller</b>	<b>14</b>
4.1 Aufbau . . . . .	14
4.2 Abgrenzung zu Mikroprozessoren . . . . .	15
4.3 Architekturen . . . . .	15
<b>5 TMS-1000</b>	<b>16</b>
5.1 Allgemeine Daten . . . . .	16
5.2 Pins . . . . .	16
5.3 Aufbau & Funktionsweise . . . . .	17
5.3.1 ROM - Read Only Memory . . . . .	17
5.3.2 Branching & Subroutinen . . . . .	18
5.3.3 RAM - Random Access Memory . . . . .	18

## *1 Einleitung*

# **1 Einleitung**

Test Einleitung

## 2 Der Intel 4004

Der 4004 ist der erste von Intel entwickelte Mikroprozessor und einer der Ersten überhaupt. Er gilt als einer der großen Meilensteine, die den Siegeszug der Computer einleitete. Schon Jahre vor seiner Entwicklung fingen Halbleiterchips an, die alten Elektronenröhren Rechner abzulösen. Durch die schnell voranschreitende Miniaturisierung von Transistoren ließen sich immer komplexere Logik Konstruktionen auf immer kleineren Chips umsetzen. Was vielversprechend begann, stellte sich allerdings bald als Problem heraus. Als die Komplexität und Spezialisierung einzelner Designs so stark zunahm, dass es nicht mehr kosteneffizient war manche Designs umzusetzen. Die Chips waren so spezialisiert geworden, dass die geringe Absatzmenge nicht die Entwicklungskosten rechtfertigte. Deshalb war es nur eine Frage der Zeit bis ein Universalrechner aus Silizium gebaut wurde. Deshalb beschäftigt sich der folgende Abschnitt mit der Geschichte des Intel 4004 und den Personen, die maßgeblich zu seiner Entwicklung beigetragen haben.

### 2.1 Die Geschichte und Entwicklung des 4004

Als im Sommer 1969 Busicom, ein japanischer Hersteller von elektrischen Rechenmaschinen, das Unternehmen Intel damit beauftragte die Chips für ihre neue Reihe von Rechenmaschinen zu produzieren, war Intel gerade mal ein Jahr alt. Das Unternehmen war spezialisiert auf die Herstellung von Halbleiter Speicherchips und hatte zum Zeitpunkt des Auftrags nur zwölf Mitarbeiter. Intel war zu dieser Zeit, auf Grund von fehlenden Absatzzahlen ihrer Speicherchips, in einem finanziellen Engpass und sah sich gezwungen die Arbeit anzunehmen.

Busicom hatte schon einen großen Teil der Designarbeit getan und schickte drei Mitarbeiter zu Intel nach Kalifornien um die Arbeit zu vollenden und sie Intel zu übergeben. Unter ihnen befand sich auch Masatoshi Shima, der eine wichtige Rolle in der Entwicklung des Intel 4004 spielen sollte. Als Kontaktpersonen

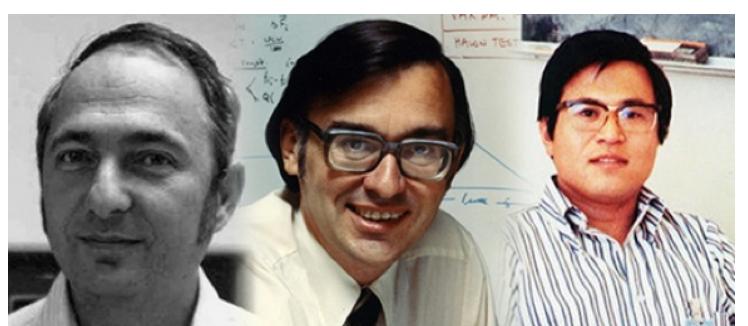


Figure 1: v.l.n.r Mazor, Hoff und Shima

wurde von Intel Marcian Edward "Ted" Hoff, Jr. und Stanley "Stan" Mazor abgestellt. Hoff, der in den Jahren bevor er zu Intel wechselte, in Stanford während seiner Forschung schon viele Arten von Computern studiert hatte, konnte sein persönliches Interesse nicht

## 2 Der Intel 4004

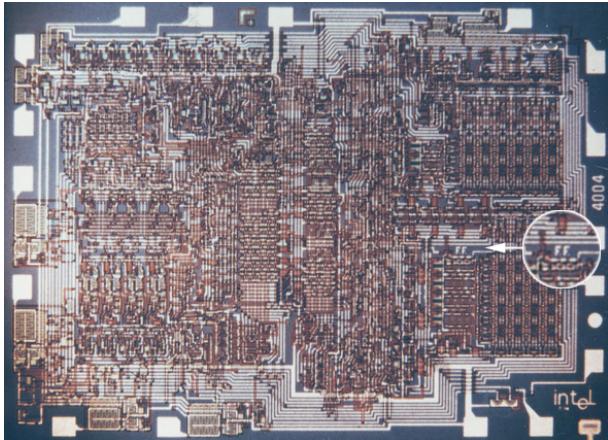
zurückhalten und studierte die Designpläne Busicoms. Der Plan von Busicom umfasste sieben Chips mit den speziellen Aufgaben: Programmkontrolle, Dezimalarithmetik, Timing, Read-Only-Memory, Schieberegister, Druckerkontrolle und Output Ports. Das ROM sollte zur Speicherung von Makroinstruktionen dienen, während die Schieberegister für den Datenspeicher genutzt werden sollten. Die Schieberegister wurden damals häufig verwendet, denn sie waren schnell für arithmetische Berechnungen und Ein- und Ausgabe Operationen. Problematisch hingegen waren das komplexe Timing und die langsamten Zugriffszeiten bei random access. Ein anderes Problem dieses ersten Designentwurfs war der komplexe Befehlssatz. Er bestand aus Makroinstruktionen, die viel fest verdrahtete Logik auf den Chips benötigten. Nachdem er das Design analysiert hatte, befand Hoff, dass es nur für Busicom Rechenmaschinen einsetzbar sein würde und damit für Intel nicht kosteneffizient sein würde. Auch hatte Intel zu diesem Zeitpunkt weder die nötigen Logikdesigner noch die Produktionsmöglichkeiten von Chips dieser Komplexität. Als Hoff der Führungsebene von Intel deshalb einen alternativen Vorschlag machte, waren sie sehr offen und ermutigten ihn sein Design weiterzuentwickeln. Eine der großen Änderungen, die Ted Hoff vorschlug, war das Aufbrechen von Makroinstruktionen in kleinere, elementare Mikroinstruktionen. Die alte Funktionalität ließe sich als Subroutine in einem Programm implementieren. Das erhöhte zwar den Speicherverbrauch für Programmcode, vereinfachte allerdings die Logik und war ein erster Schritt zu einem universal einsetzbaren Prozessor. Schon vorher sollten die Befehle aus einem ROM gelesen werden, die Schieberegister für wieder beschreibbaren Speicher wurden allerdings durch bei Intel entwickelte dynamische RAMs ersetzt. Diese hatten den selben Platzverbrauch wie Schieberegistern, waren bei zufälligen Speicherzugriffen aber weit aus schneller. Dadurch entstand auch, der Vorschlag drei Chips zu designen. Eine CPU für die Berechnungen, und zwei erweiterbare Speicher für Programm- und Datenspeicherung. Zusätzlich wurde ein weiterer Chip entworfen, der die Ein- und Ausgabe Möglichkeiten erweitern sollte. Das System dieser vier Chips wurde MCS-4 genannt. Eine Abschätzung des Designteam um Hoff, Mazor und Shima betrug 1900 Transistoren pro Chip, womit es bei weitem kostengünstiger als das währenddessen verbesserte Busicom Design war. Dieses enthielt nämlich immer noch



Figure 2: Federico Faggin

## 2 Der Intel 4004

12 Chips mit jeweils 2000 Transistoren und 40 Pins. Die Einfachheit und die Flexibilität des neuen Chips waren Gründe, weshalb sich Busicom Ende 1969 dafür entschied mit dem Vorschlag von Intel weiterzumachen anstatt das eigene Design weiter zu verfolgen. Für das Logik- und Chipdesign wurde Anfang 1970 Federico Faggin eingestellt. Er sollte zusammen mit Shima innerhalb von 6 Monaten eine getestete Logikschaltung entworfen und diese in einem integrierten Schaltkreis umgesetzt haben. Währenddessen würde



**Figure 3:** Intel 4004 mit Faggins Initialen

Shima an den Programmen für den neuen Prozessor arbeiten. Nach 9 Monaten harter Arbeit hatte Faggin es geschafft und es lagen die ersten funktionsfähigen Prototypen des Chips vor. Nach dem beheben einiger kleiner Fehler wurden die Chips an Busicom geliefert und wie geplant in den Rechenmaschinen eingesetzt. Einer der ersten Rechner, der das MCS-4 benutzte war der Busicom 141-PF. Er enthielt den 4004, 4 ROM-Chips mit dem Schon im Sommer 1971 kam Busicom allerdings erneut auf

Intel zu um die Produktionskosten der Chips zu reduzieren. Auf Grund von steigender Konkurrenz und fallenden Preisen war Busicom nicht mehr konkurrenzfähig und in finanziellen Problemen. Nach langen Diskussionen der Intel Führungsebene entschloss sich das Unternehmen auf Grund des vielfältigen Einsetzbarkeit des Prozessors die Rechte an dem Prozessor von Busicom für \$60.000 zurückzukaufen. So konnte Intel im Frühjahr 1971 die Chipreihe auf den Markt bringen und so der Öffentlichkeit zugänglich machen. Währenddessen lief schon die Entwicklung des Intel 8008, des ersten Intel 8-Bit Prozessors. Dieser profitierte klar von dem Design des 4004 und führte später zu Intels Erfolg.

## 2.2 Die Architektur des MCS-4

Unter dem MCS-4 veröffentlichte Intel in 1971 eine Sammlung von vier Chips. Die Chips waren durchnummiert von 4001 bis 4004 und stellten den ersten Universalcomputer auf Halbleiterbasis da. Das minimale System besteht aus nur einer CPU, dem 4004 und einem ROM. Es können allerdings bis zu 16 ROM und 16 RAM Chips angeschlossen werden. Verbunden werden diese Chips über einen 4 Bit breiten Bus. Der Prozessor kann zudem die anderen Chips durch Kontrollleitungen steuern. Als Schaltungskonzept

## 2 Der Intel 4004

wurde eine Mischung aus von Neumann und Harvard Architektur umgesetzt. Eigentlich Konkurrenzarchitekturen vereint das MCS-4 Ansätze von beidem, in dem es wie in der Harvard Architektur üblich Programm- und Datenspeicher trennt, aber trotzdem beide Speicher über den selben Bus angeschlossen sind. Dadurch lassen sich Befehle und Daten nur sequentiell anstatt parallel laden. Die folgenden Abschnitte befassen sich mit dem Aufbau der einzelnen Chips.

### 2.2.1 Der 4001

Der 4001 ist ein programmierbarer Read-Only-Memory Chip. Er wird hauptsächlich dazu benutzt die Programmbefehle zu speichern. Dafür können im MCS-4 System bis zu 16 ROMs gleichzeitig angeschlossen werden. Pro Chip stehen dabei jeweils 2048 Bit zur Verfügung. Aufgeteilt sind diese in 256 Wörter mit jeweils 8 Bit. Der Chip besitzt 16 Pins über die Datenleitungen und Kontrollsingale angeschlossen werden. In 4 werden diese dargestellt. Die Pins  $D_0$  bis  $D_3$  sind die vier Datenleitungen, über die der 4 Bit breite Datenbus angeschlossen wird. Dieser Bus verbindet alle angeschlossenen 4001, 4002 und 4004 Chips. Über ihn werden die Speicheradressen vom Prozessor an das ROM geschickt. Daraufhin sendet das ROM die in der adressierten Speicherzelle enthaltene Instruktion zurück. Die Pins 5 und 12 werden mit den Versorgungsspannungen verbunden. Damit wird der Chip mit Energie versorgt.  $V_{SS}$  ist äquivalent zu GND, während an  $V_{DD}$  eine Spannung von  $-15V$  anliegt. An den Pins 6 und 7, bezeichnet mit  $\phi_1$  und  $\phi_2$ , werden zwei Taktsignale angeschlossen. Diese dienen der Synchronisation der Aktionen mehrerer Schaltkreise. In jedem Takt ist es für jeden Schaltkreis möglich eine Aktion auszuführen. Das SYNC-Signal, ist auch eine Art Takt und dient zur Synchronisation eines Befehlszyklus. Ein Zyklus besteht aus mehreren Takten der  $\phi_1$  und  $\phi_2$  Signale. Diese drei Signale sorgen für das Timing in allen Chips. Das CM-Signal auf Pin 11 wird dazu verwendet um einem adressierten Chip zu signalisieren, dass er in den nächsten zwei Zyklen auf den Bus schreiben darf. Das Reset-Signal löscht alle internen Register,

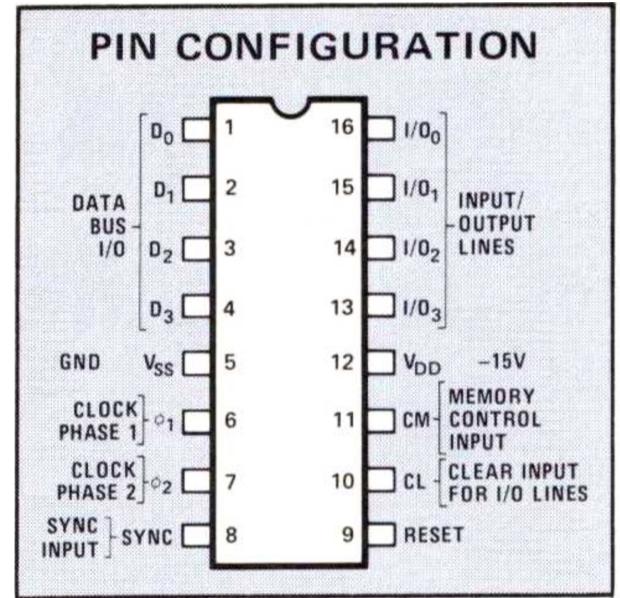
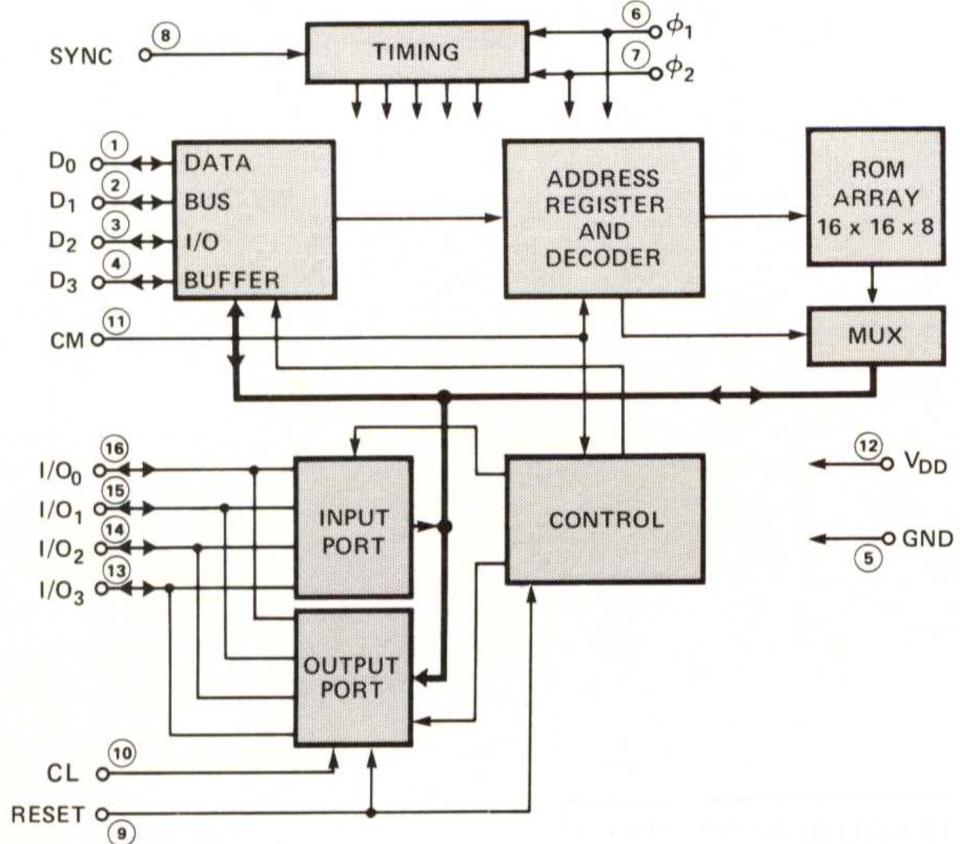


Figure 4: Pins des Intel 4001

## 2 Der Intel 4004

mit der Ausnahme der Input und Output Register. Diese werden über das Clear-Signal



**Figure 5:** Layout des Intel 4001

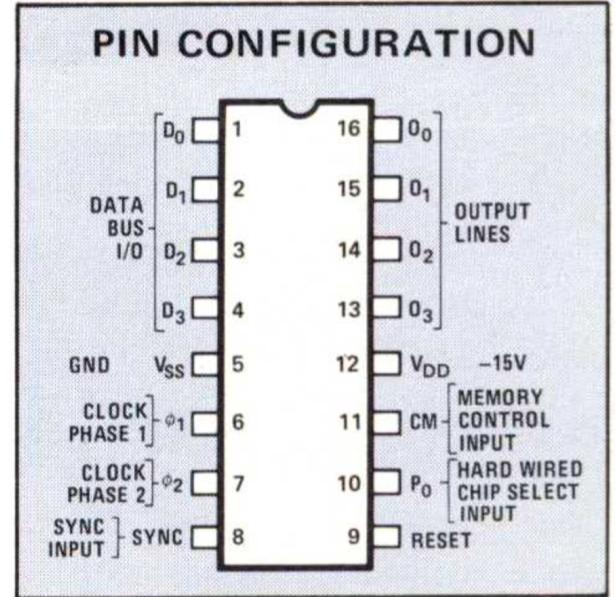
gelöscht. Die Ein- und Ausgaberegister sind Teil der zweiten Funktionalität des Intel 4001. In seiner zweiten Funktion kann es auch als Schnittstelle zu Peripheriegeräten dienen. Dazu gibt es 4 weitere Leitungen an den Pins 13 - 16. In 5 ist zu sehen, dass es möglich ist jeden Pin individuell als Input oder als Output Port zu definieren. Über den internen Bus des 4001 werden Daten entweder direkt zu den I/O-Registern geliefert, oder wenn eine Adresse am Bus anliegt im Adressregister gespeichert. Nachdem die Adresse vollständig angekommen ist, wird sie dekodiert und die Instruktion aus dem ROM über einen Multiplexer wieder zurück auf den Datenbus geschrieben.

### 2.2.2 Der 4002

Der Intel 4002 ist das Gegenstück zu 4001. Während der eine die Programmdaten speichert, dient der 4002 als Datenspeicher. Im Vergleich zum 4001 besitzt dieser Chip weiter weniger Speicher. Nur 320 Bit stehen zur Verfügung aufgeteilt in 4 Register. Jedes

## 2 Der Intel 4004

dieser Register besteht aus 20 4-Bit Wörtern. Davon können 16 zum speichern von Daten verwendet werden, während die letzten 4 als Registerstatusbits benutzt werden. Auch hier kann die Speichergröße wieder durch das Anschließen von bis zu 16 Chips erhöht werden. Wie der 4001 ist auch der RAM-Chip über den Datenbus mit den anderen Chips verbunden. Ebenso identisch sind die Timing Logik und Spannungsversorgung. Der erste Unterschied in der Pinbelegung ist der  $P_0$  Eingang. Der 4002 kommt in zwei verschiedenen Ausführungen: 4002-1 und 4002-2. Diese sind von der Logik identisch, haben jedoch eine andere Verdrahtung. Das führt dazu, dass pro CM-Signallinie des Prozessors nur vier 4002 Chips angeschlossen werden können. Pro Signallinie genau 2 von jeder Sorte. Damit ergeben sich folgende Adressen für die vier Chips an einer Signallinie:



**Figure 6:** Pins des Intel 4002

Chipnummer	4002 Option	$P_0$	$D_3$	$D_2$
0	4002-1	GND	0	0
1	4002-1	$V_{DD}$	0	1
2	4002-2	GND	1	0
3	4002-2	$V_{DD}$	1	1

**Table 1:** RAM-Chipauswahl

$P_0$  kann fest verdrahtet werden und ist eine zusätzliche Möglichkeit einen Chip auszuwählen. Wenn Daten aus dem RAM geladen werden sollen geschieht das in zwei Befehlszyklen. Im ersten wird die Adresse an den RAM Chip gesendet und im zweiten die Daten zurück an den Prozessor.

X2				X3			
$D_3$	$D_2$	$D_1$	$D_0$	$D_3$	$D_2$	$D_1$	$D_0$
Chip #				Register #			

**Table 2:** RAM-Adressierung

## 2 Der Intel 4004

Die Adressenübertragung findet in zwei Schritten statt, siehe 2.3. Im ersten Schritt X2 wird die Chipnummer und die Registernummer verschickt. Im zweiten die Adresse einer der 16 Speicherzellen innerhalb des Registers. Dabei sind D0 - D3 die vier Bits die gleichzeitig auf den 4 Datenbuslinien liegen. Befinden sich die gesuchten Daten nicht auf einem der 4 Chips der aktuell ausgewählten RAM-Bank, so muss vor der Adressenübertragung die Bank in einem extra Befehlszyklus gewechselt werden. Als RAM-Bank wird eine Kombination von bis zu vier RAM-Chips genannt, die an der selben CM-Signallinie liegen. Mit Hilfe des designate-command-line Befehls wird eine CM-Linie ausgewählt. Wie bei den 4001 Chips gilt auch hier, dass ein Chip nur Daten vom Bus empfängt, wenn seine CM-Linie aktiviert wird.

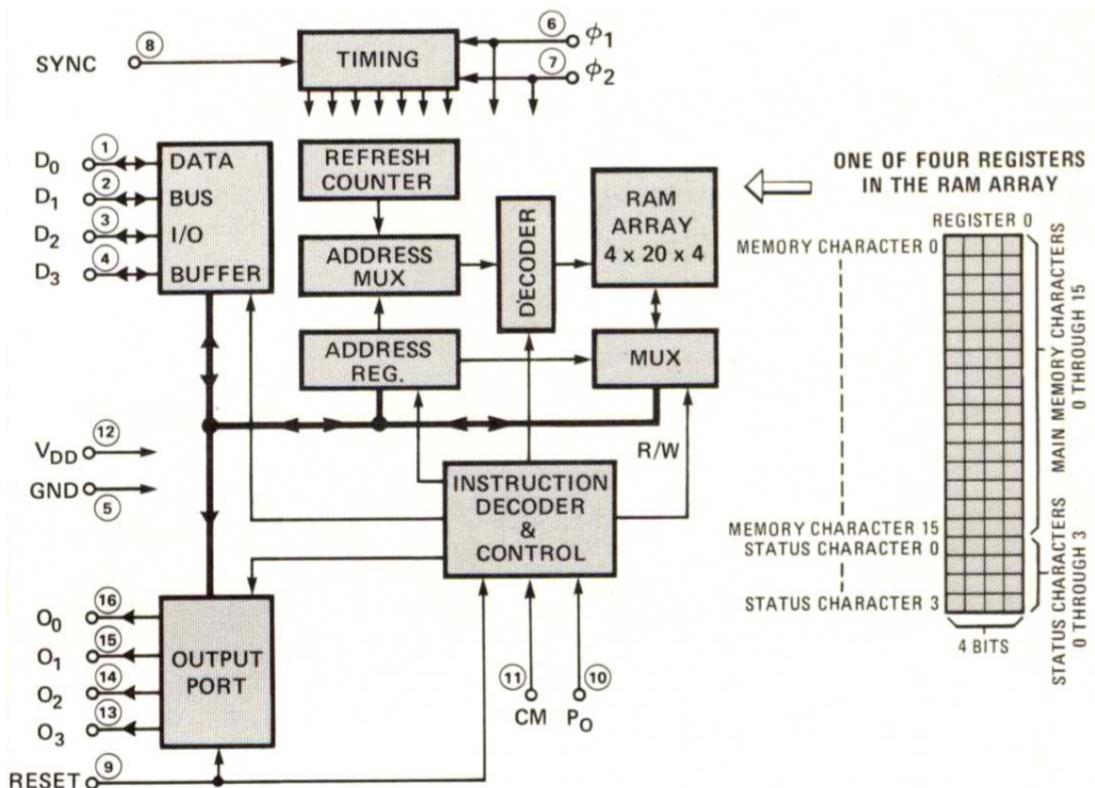


Figure 7: Layout des Intel 4002

Nachdem die Adresse angekommen ist, wird sie wie beim 4001 in einem Adressenregister zwischengespeichert und dekodiert. Danach wird im nächsten Befehlszyklus der Wert der entsprechenden Speicherzelle auf den Datenbus gelegt. Wie der Intel 4001 besitzt auch der 4002 4 Output Pins. Auch hier können Peripheriegeräte angeschlossen werden. Alle Register sowie der Speicher werden gelöscht wenn das Reset-Signal für mehr als 32 Befehlszyklen aktiviert wird.

### 2.2.3 Der 4003

Der dritte Chip aus der Reihe ist Intel 4003. Er besteht hauptsächlich aus einem 10 Bit Schieberegister. Der Chip wurde entworfen um die Ein- und Ausgabemöglichkeiten des Systems zu erweitern. Während der 4002 schon über Ausgabe und der 4001 sowohl über Ausgabe als auch Eingabe Möglichkeiten verfügt, gibt es immer noch Fälle in denen diese Pins nicht ausreichen. Deshalb können die 4003 Chips an diese Pins angeschlossen werden. Über den Serial-Input Pin wird das Schieberegister mit Daten befüllt. Über den CP-Pin wird das verschieben der Bits innerhalb des Registers gesteuert. Bei jeder Verschiebung wird das letzte Bit auf den seriellen Ausgang geschrieben. Die Daten aus dem Schieberegister können auch parallel ausgelesen werden. Dazu stehen 10 weitere Pins zur Verfügung. Die parallele

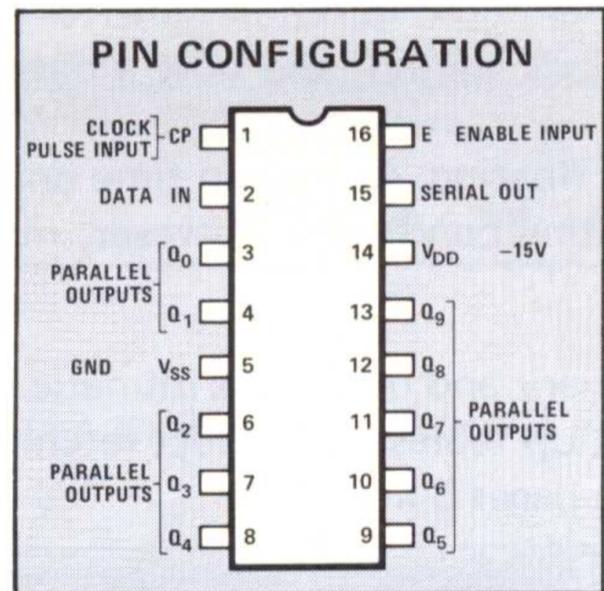


Figure 8: Pins des Intel 4003

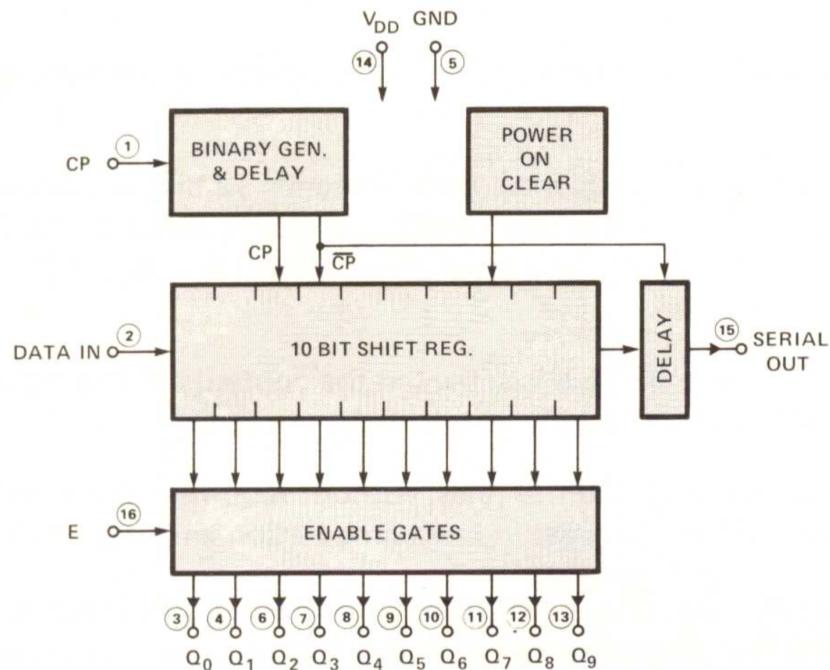


Figure 9: Layout des Intel 4003

## 2 Der Intel 4004

Ausgabe wird mit Hilfe des Enable-Signal gesteuert. Wenn es aktiviert wird, werden alle 10 Bits gleichzeitig über die Pins  $Q_0$  bis  $Q_9$  ausgegeben. Um mehr Geräte wie Tastaturen, Displays oder Drucker anschließen zu können, können mehrere dieser Chips hintereinander geschaltet werden, so dass ein Vielfaches der 10 Pins erreicht werden können.

### 2.2.4 Der 4004

Der Intel 4004 ist das Kernstück des Systems. Der Chip ist eine CPU und wurde entworfen um mit den anderen Chips zusammenzuarbeiten und sie zu steuern. Er bearbeitet die Befehle, welche im 4001 ROM gespeichert sind. Dazu müssen diese Befehle erst aus dem ROM geladen werden. Dazu wird die Adresse über den Datenbus an die ROMs verschickt und das CM-ROM Signal aktiviert. Wenn der aktuelle Befehl geladen wurde, wird er im Instruktionsregister gespeichert. Das Register besteht aus zwei 4 Bit Wörtern. Die ersten 4 geladenen Bit enthalten den Opcode und werden im OPR Teil des Registers gespeichert. Die zweiten Vier enthalten den Modifier. Er wird im OPA Teil des Registers gespeichert und enthält Adressen oder Daten, auf denen der Befehl ausgeführt wird. Direkt an das Register ist der Dekodierer angeschlossen, der die Instruktion dekodiert um sie ausführen zu können. Der zweite große Bestandteil des 4004 ist das Indexregister. Das Indexregister ist ein interner Cache zur Speicherung von Zwischenergebnissen und Instruktionen. Dazu können die 64 Bit auf zwei verschiedene benutzt werden. Sie sind in 8 Reihen mit jeweils 8 Bit pro Reihe organisiert. Trotzdem können 16 verschiedene Zellen mit 4 Bit adressiert werden. Dadurch können sowohl 4 Bit Daten oder eine Reihe von 8 Bit als Instruktion oder Adresse ausgelesen werden. Das Adressenregister des Intel 4004 besteht aus 4 mal 12-Bit RAM. In einer dieser 12 Bit Speicherzellen liegt die aktuelle Programmadresse. Die zusätzlichen 3 Zellen werden benutzt um Adressen für Subroutinen zu speichern. Das bedeutet, dass bei der Programmierung des Prozessors bis zu 3 Subroutinen verschachtelt werden können. Der vierte und letzte große Teil der CPU ist die ALU (Arithmetic Logical Unit). Die ALU besteht aus einem 4 Bit

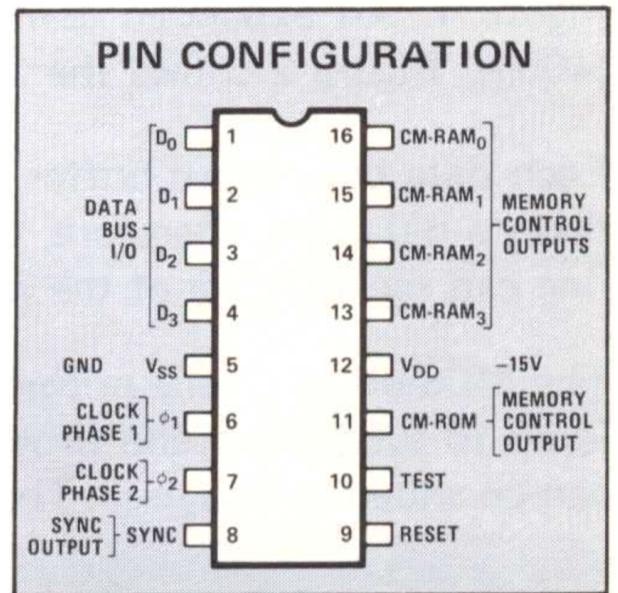


Figure 10: Pins des Intel 4004

## 2 Der Intel 4004

Addierer und einem Akkumulator inklusive einer Carry Flip-Flop. Der erste Term für die Addition/Subtraktion kommt aus einem Register, das über den internen Datenbus gefüllt wird. Der zweite Term kommt aus dem Akkumulator. Das Ergebnis der Berechnung wird wieder im Akkumulator gespeichert und das Carry-Bit gesetzt, falls ein Überlauf auftritt. Die Berechnungen werden in Binärarithmetik ausgeführt. Es ist aber auch möglich einen

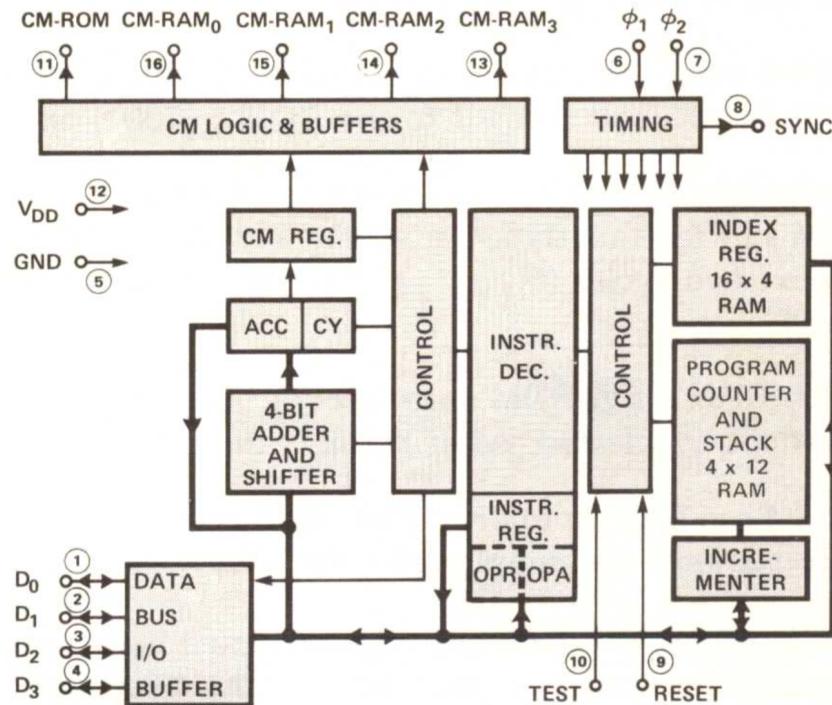


Figure 11: Layout des Intel 4004

*Decimal Adjust* durchzuführen. Mit seiner Hilfe lassen sich Binärzahlen in so genannte Binary-Coded-Decimal Zahlen umwandeln. In dieser Art der Zahlendarstellung wird jede Dezimalstelle einer Zahl durch 4 Bit dargestellt. In diesen 4 Bit werden nur die Zahlen von 0-9 verwendet.

### 2.3 Der Befehlszyklus

### 2.4 Der Befehlssatz

TMS-1000

### *3 Geschichte*

## **3 Geschichte**

Während Intel es erstmals schaffte alle Bausteine eines Prozessors auf einem Mikrochip zu vereinigen, implementierte Texas Instruments parallel zusätzlich Peripherie auf dem Chip und schuf so den ersten Mikrocontroller, welcher auch System-on-a-Chip genannt wurde.

Texas Instruments wurde 1951 von Cecil Howard Green, Jon Erik Jonsson, Eugene McDermott und Henry Bates Peacock gegründet. Das Unternehmen war unter anderem für den ersten integrierten Schaltkreis bekannt. Die Konstruktion eines System-on-a-Chip gelang erstmal den Ingenieuren Gary Boone und Michael Cochran mit dem Controller TMS-1000 im Jahre 1971. Texas Instruments stellte verschiedene Versionen des TMS-1000 her, die in Größe des ROM und RAM Speichers variierten. Anfangs verwendete die Firma die Controller nur in eigenen Produkten, vor allem Taschenrechner, wie der SR-16, welcher 1972 auf den Markt kam. Die Firma ist aus diesem Grund und aufgrund der zahlreichen Nachfolger für ihre Taschenrechner bekannt.

Erst 3 Jahre nach der Erfindung, also 1974, war der TMS-1000 auf dem freien Markt erhältlich. Dies hatte jedoch zur Folge, dass der Markt durch Intel mit ihren Mikroprozessoren schon zum großen Teil eingenommen war. Trotzdem hatte der Controller aufgrund seines extrem niedrigen Preises, 2\$ pro Stück, großen Erfolg auf dem Markt. Der TMS-1000 half dadurch die moderne Elektronik für jedermann zugängig zu machen. Der Controller fand nicht nur in Taschenrechnern Verwendung, sondern auch in ersten Handheld-Geräten, Jukeboxen, Türklingeln, Uhren und vielen mehr. Bis zum heutigen Tag wurden ca. 100 Millionen Controller verkauft.

## **4 Mikrocontroller**

### **4.1 Aufbau**

Mikrocontroller werden nicht zu Unrecht System-on-a-chip genannt und der Aufbau eines Controllers kann daher sehr gut mit den Bestandteilen eines Computers verglichen werden. Im folgenden werden die Komponenten eines Computers und die Bestandteile eines Mikrocontrollers verglichen. Außerdem wird die Aufgabe der einzelnen Bauteile des Controllers beschrieben.

## 4 Mikrocontroller

PC	Mikrocontroller	Aufgabe
Prozessor	CPU	Der Prozessor führt die arithmetische und logische Operationen aus
Arbeitsspeicher	RAM	RAM ist ein temporärer Speicher für Variablen. Verliert den Speicherinhalt nach dem Entfernen der Betriebsspannung
Festspeicher	ROM	Enthält das Programm
Takt	Takt	Gibt die Geschwindigkeit der Befehlsfolge an
Peripherie	I/O-Ports	Der Controller enthält einfach Ein- und Ausgänge für beispielsweise LEDs, Displays und Schalter

### 4.2 Abgrenzung zu Mikroprozessoren

Oftmals ist es schwierig eine klare Grenze zwischen Mikroprozessoren und Mikrocontrollern zu ziehen. Das liegt vor allem daran, dass nach einiger Zeit mehr Mikrocontroller-Varianten von neuen Mikroprozessor-Architekturen erschienen sind. Die hauptsächliche Abgrenzung erfolgt durch die Austattung der Zusatzmodule des Chips. Während ein Mikrocontroller einen Prozessor inklusive Bausteine wie Speicher, In- und Outputs, Timer, usw., konzentriert sich ein Mikroprozessor auf seine eigentliche Hauptaufgabe, die Rechengeschwindigkeit. Durch den gesparten Platz auf dem Chip wird diese wesentlich erhöht.

### 4.3 Architekturen

Viele der verbauten Mikrocontrollern verwenden 8-Bit-Prozessoren, deren Architektur auf die 1970er Jahre zurückzuführen ist. Allerdings gibt es auch 4-, 16- und 32-Bit Mikrocontroller. Die ersten Controller die gebaut wurden waren dabei 4-Bit-Controller und sind deswegen heutzutage noch stark vertreten. Den größten Marktanteil haben mittlerweile die 32-Bit-Controller da die meisten heutigen Mikrocontroller auf Prozessorkernen basieren, von denen 8- und 16-Bit Prozessoren fast nicht mehr hergestellt werden.

## 5 TMS-1000

### 5.1 Allgemeine Daten

Der TMS-1000 gehört zur Familie der 4-Bit Mikrocontroller. Die Größe des ROMs des Controllers beträgt 8.192 Bits, während die des RAMs 256 Bits beträgt. Die maximale Spannung, welche an der Clock und sowohl an den Eingang- und Ausgang-Pins angelegt werden darf, bemisst sich auf 20 Volt. Durch die intern verbauten Oszillatoren kann der Controller einen Takt von bis zu 0,4 MHz erreichen. Jede Instruktion benötigt 6 Oszillatoren-Zyklen um vollständig ausgeführt zu werden. Insgesamt verfügt der TMS-1000 über 43 Basisinstruktionen, 12 fixierte und 31 programmierbare.

### 5.2 Pins

Der TMS-1000 verfügt über insgesamt 28 Pins.

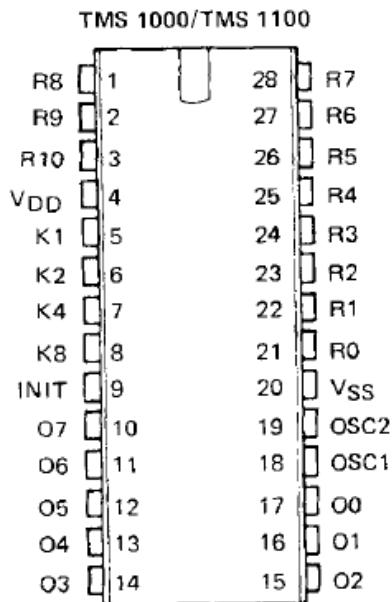


Figure 12: Skizze der Pins

Bezeichnung	Anzahl	Aufgabe
R-Output	11	Für die Ausgabe von Kontroll-Daten zuständig
O-Output	8	Gibt den Inhalt des Akkumulators und das Status-Logic-Bit aus
Oszillatoren	2	Zuständig für den Takt des Controllers
Power-Supply	2	Versorgt den Controller mit Spannung
K-Input	4	Eingang für 4-Bits zur Verwendung im Programm
INIT	1	Initialisiert oder setzt die Hardware zurück

## 5.3 Aufbau & Funktionsweise

Der folgende Abschnitt befasst sich mit dem Aufbau und der Funktionsweise der Hardware des Mikrocontrollers TMS-1000.

### 5.3.1 ROM - Read Only Memory

Der Festspeicher besteht aus 16 Seiten, welche je 64 Wörter enthalten. Jedes Wort ist dabei 8 Bits groß. Es werden 4 verschiedene Register benutzt um den Speicher zu adressieren.

Das Page Adress Register(PA): Dieses Register enthält die aktuelle Seitenanzahl, an dem sich das Programm zur Zeit befindet. Das Register ist 4-Bits groß, um alle Seiten von 0 bis 15 adressieren zu können.

Das Page Buffer Register(PB): Das PB-Register wird mit einer neuen Seitenadresse geladen und nach einer erfolgreichen Branch oder Subroutinen-Operation wird die Adresse in das PA-Register geladen. Aus diesem Grund entspricht die Größe des Registers der des PA-Registers

Das Program Counter Register(PC): Dieses Register enthält das aktuelle Wort der Seite, in dem sich das Programm zur Zeit befindet. Um alle 64 Wörter adressieren zu können enthält das Register 6 Bits.

Das Subroutine Return Register(SR): In dem SR-Register wird bei einer Call Operation das aktuelle Wort des Programms gespeichert, um bei einer Return Instruktion zum ursprünglichen Wort zurückkehren zu können.

### 5.3.2 Branching & Subroutinen

Branching und Subroutinen sind ein essentieller Teil der im Ablauf eines Mikrocontroller-Programms. Ein Branch ist mit einer herkömmlichen if-Abfrage aus einer beliebigen Programmiersprache gleichzusetzen. Der Branch wird erfolgreich ausgeführt, wenn das Status-Logic-Bit gesetzt ist. Das Bit ist zwar standardmäßig gleich 1, kann durch Rechenoperationen, oder Vergleiche durch die Recheneinheit gleich 0 gesetzt werden. Nach einem Instruktionszyklus wird der Zustand wieder zurück gesetzt. Bei erfolgreicher Ausführung eines Branches wird das PB-Register in das PA-Register geladen.

Subroutinen sind sehr ähnlich zu Branch Instruktionen. Bei einer erfolgreichen Call-Instruktion springt das Programm, an eine andere Adresse im ROM. Bei einer Return-Instruktion kehrt das Programm zu dem urprünglichen Call-Statement zurück. Die Subroutine wird genau wie bei einem Branch nur ausgeführt, wenn das Status-Logic-Bit gesetzt ist. Zusätzlich muss jedoch das so genannte Call-Latch gesetzt sein. In diesem Fall wird der Inhalt des PA-Registers mit dem des PB-Registers vertauscht. Die Adresse des PC-Registers wird in dem SR-Register zwischengespeichert. Bei der ReturnInstruktion werden die temporär gespeicherten Adressen wieder in das PA- und PC-Register geladen. Es ist nicht möglich eine Call Instruktion innerhalb einer Call Instruktion aufzurufen, ohne dass die korrekte Return-Adresse verloren geht.

### 5.3.3 RAM - Random Access Memory

Der RAM-Speicher besteht aus 4 Dateien, welche jede 16 Wörter enthalten. Jedes Wort ist dabei 4 Bit groß. Der Speicher wird durch 2 Register X und Y adressiert. Das X-Register gibt dabei die Datei an, das Y-Register das Wort.

Der Input erfolgt durch den Write-Multiplexer. Sowohl das Akkumulator Register, als auch die Constant and K Input Logic (CKI) können in den Speicher schreiben. Der Read-Bus übernimmt den Output des RAMs. Der Bus schreibt die das Wort entweder in den P-Multiplexer oder den N-Multiplexer, welche beide in die Recheneinheit führen. Die Recheneinheit leitet die Daten entweder in das Y oder Akkumulator Register.

Dem Programmierer des Controllers steht es frei, wie er sich den Speicher einteilt. Typischerweise werden die ersten 7 Wörter jeder Seite für als Register verwendet. Der Rest wird durch beispielsweise Pointer, Event Counter oder Flags befüllt. Diese sollten sich wenn möglich

Schluss

## *5 TMS-1000*

Test Schluss

