

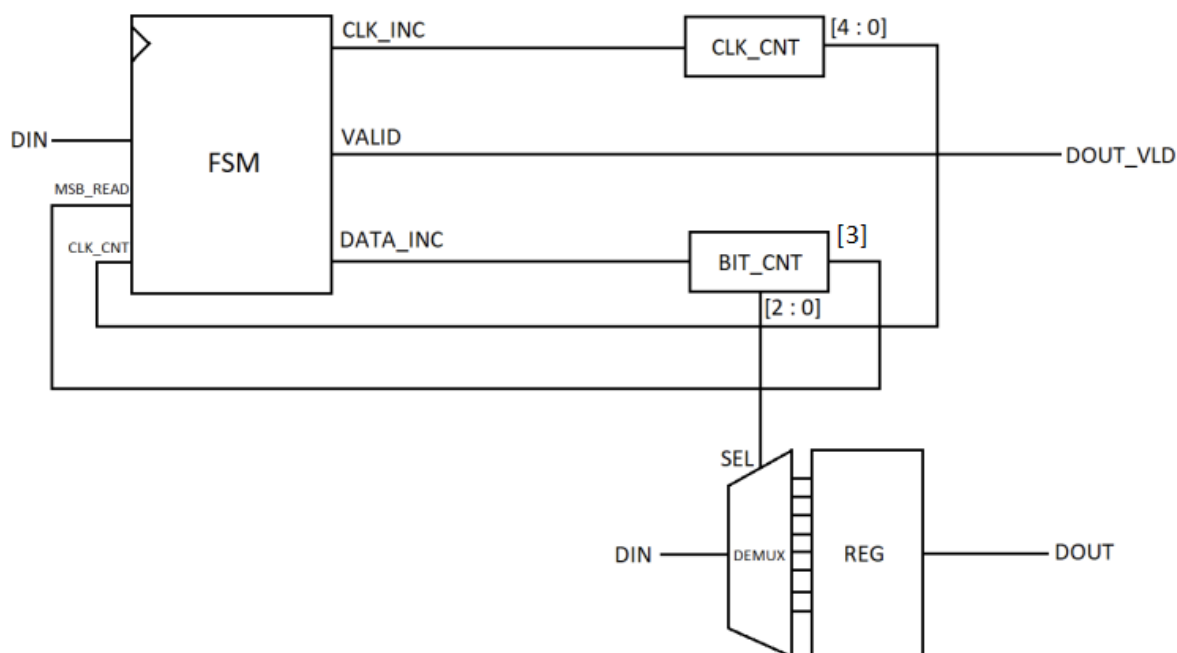
Príloha: Výstupná správa

Meno: Michal Ondrejka

Login: xondre15

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkčnosti

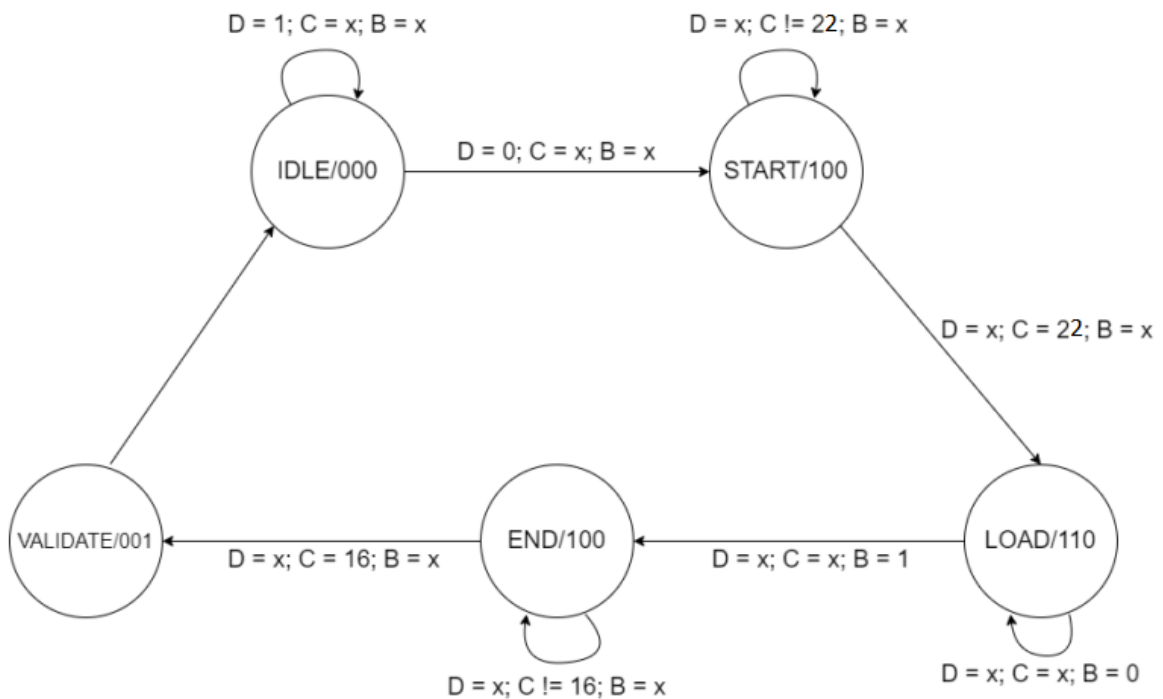
FSM spúšťa CLK_CNT a BIT_CNT. Od CLK_CNT dostáva 5 bitov reprezentujúcich count a od BIT_CNT dostáva 1 ak count pretečie (prečítal sa MSB) inak 0. BIT_CNT taktiež nastavuje DEMUX (SEL).

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: IDLE, START, LOAD, END, VALIDATE
- Vstupné signály: D = DIN, C = CLK_CNT, B = MSB_READ
- Moorove výstupy: CLK_INC, DATA_INC, VALID



Popis funkčnosti

Keď sa D zmení na 0 to znamená že prišiel START BIT. Stav sa zmení na START. Počíta 24 tickov (do MIDBITU), potom prejde do LOAD, kde zapisuje hodnotu do registru, pokým sa nenastaví MSB_READ na 1 (prečítal MSB). V END počká 16 tickov, potom prejde do VALIDATE (validuje výsledok). Následne do IDLE.

Snímek obrazovky ze simulací

