

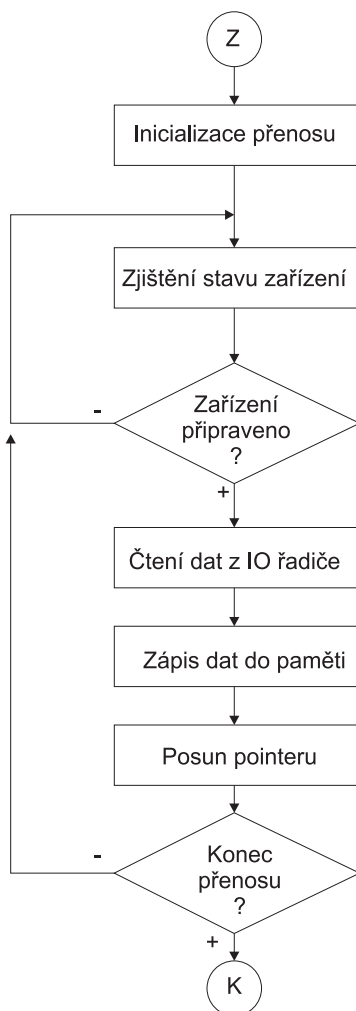
Řízení IO přenosů DMA řadičem

Doplňující text pro POT

K. D. 2001

DMA řadič

Při přímém řízení IO operací procesorem i při použití přerušovacího systému je rychlost přenosu dat mezi IO řadičem a pamětí limitována rychlostí procesoru. Každý elementární přenos vyžaduje vykonání několika instrukcí. To vyžaduje několik přístupů do paměti, které musí být provedeny navíc kromě vlastního čtení nebo zápisu přenášených dat. Přitom při přenosu bloku dat z/do IO řadiče je opakují poměrně jednoduché operace (viz Obr. 1), které lze realizovat i pomocí specializovaných hardwarových prostředků – DMA řadiče.

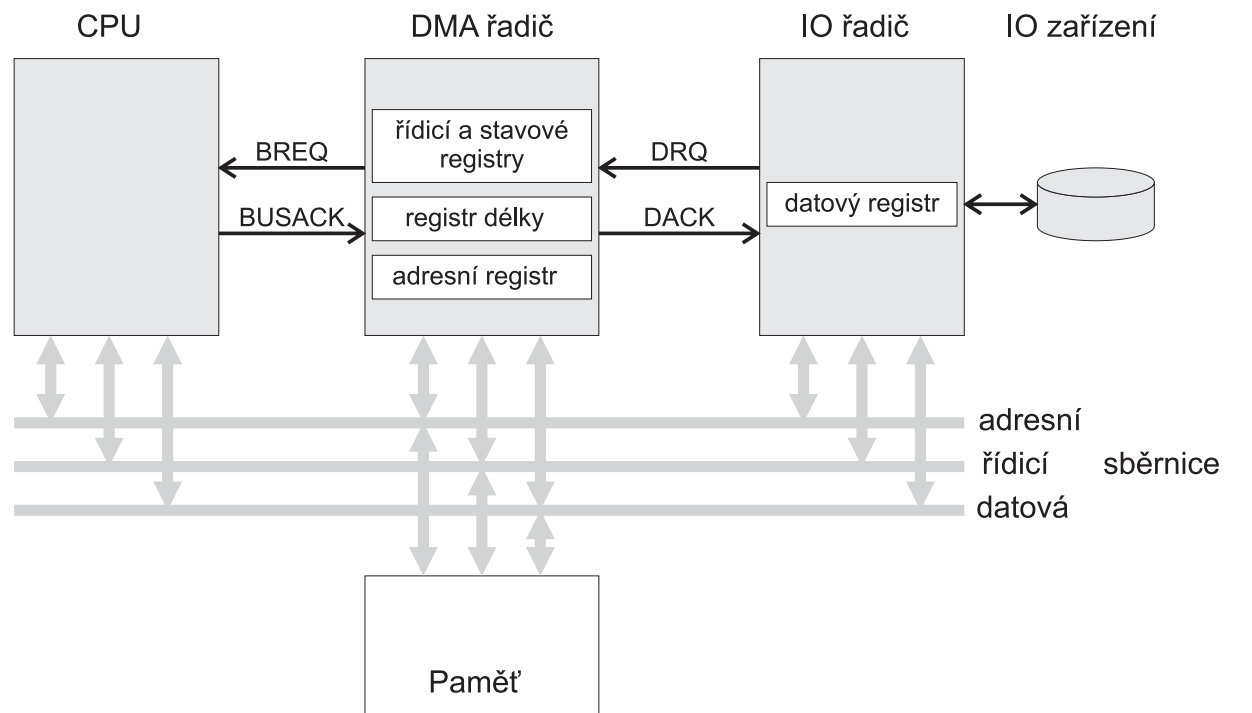


Obr. 1 Operace prováděné při blokovém přenosu dat

Velmi zjednodušené blokové schéma IO systému řízeného DMA řadičem je na Obr. 2. Je odvozeno ze zapojení řadiče DMA I8237, jehož funkční ekvivalent je mj. jádrem DMA řadiče v počítačích PC.

Jak vyplývá z obrázku, obsahuje DMA řadič kromě řídicích a stavových registrů dva další registry, které jsou pro vlastní přenos podstatné: adresní registr a registr délky přenosu. Tyto registry jsou programově přístupné a musí být při inicializaci DMA přenosu naplněny hodnotami, které charakterizují připravovaný DMA přenos:

- Do registru adresy se musí zapsat adresa paměti, do/z které bude přenos dat probíhat.
- Do registru délky přenosu se musí zapsat délka bloku dat, který má být přenesen.



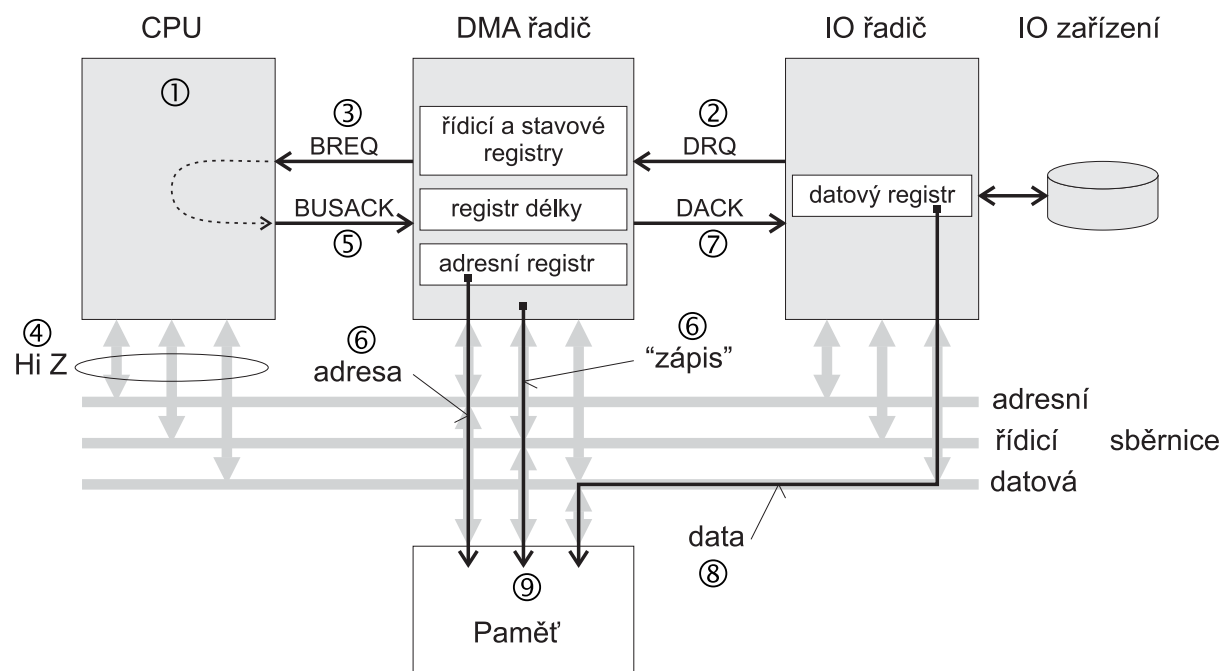
Obr. 2 Zapojení DMA řadiče do IO systému.

DMA přenos

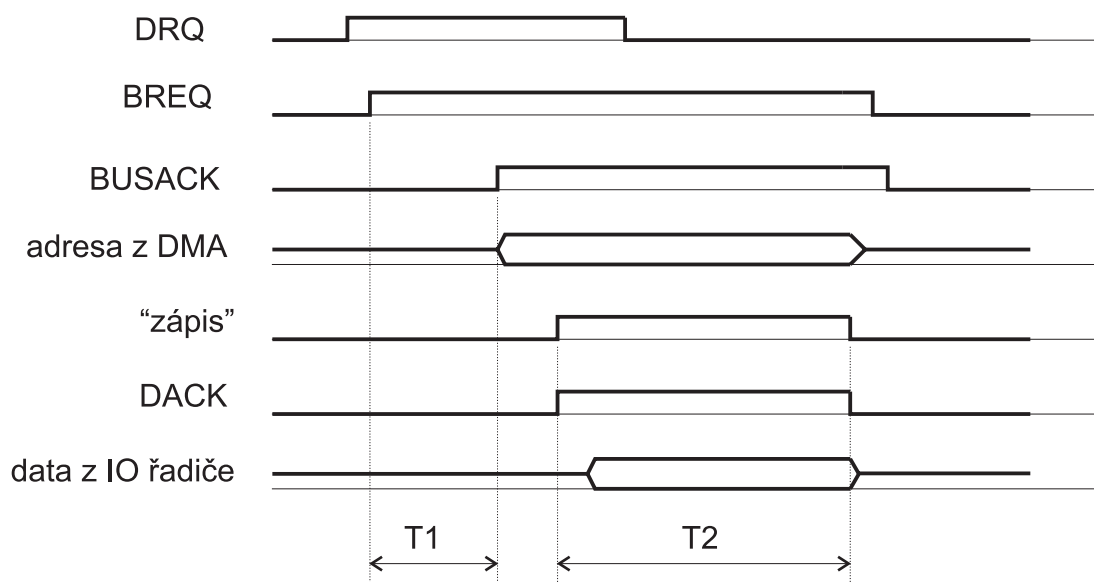
Vlastní DMA přenos probíhá následujícím způsobem (předpokládáme vstup dat z IO zařízení, viz Obr. 3 a Obr. 4):

1. Programově je provedena inicializace IO řadiče a DMA řadiče (nastavení adresního a datového registru, určení směru přenosu, způsobu synchronizace s IO řadičem, způsobu indikace konce přenosu atd.). DMA řadič i IO řadič jsou nyní v pohotovostním stavu a čekají na naplnění datového registru IO řadiče z IO zařízení.
2. Po naplnění datového registru je IO řadič připraven k předání dat. Tuto situaci indikuje do DMA řadiče signálem, jehož typický název je **DRQ** (**D**MA **R**equ**est**).

3. DMA řadič musí nyní přečíst obsah datového registru IO řadiče a zapsat jej do paměti. Proto musí nejprve získat právo na sběrnici. Vysílá proto do procesoru signál BREQ (Bus Requst) – žádost o uvolnění sběrnice.
4. Procesor nejprve dokončí probíhající cykl sběrnice. Potom sběrnici uvolní, tj. převede adresní výstupy, řídicí výstupy a datovou sběrnici do stavu vysoké impedance. Pokud není procesor vybaven nějakým typem vnitřní paměti (např. CACHE), nemůže až do zpětného obsazení sběrnice vykonávat program.
5. Uvolnění sběrnice procesorem je DMA řadiči indikováno signálem BUSACK (Bus Ack-nowledge).
6. DMA řadič může nyní převzít řízení sběrnice. Na adresní sběrnici vysílá obsah adresního registru, tj. adresu, na kterou mají být v paměti zapsána přenášená data. Současně generuje na řídicí sběrnici signály „zápis do paměti“.
7. Ve stejné době, kdy jsou generovány signály pro zápis do paměti, je aktivován signál DACK (DMA Acknowledge).
8. Jako reakci na signál DACK vysílá IO řadič na datovou sběrnici obsah datového registru.
9. Na vstupních pinech paměti je nyní platná adresa (z DMA řadiče), data (z IO řadiče) a DMA řadičem jsou aktivovány signály pro zápis. Popsaný stav trvá určitou dobu, která je potřebná pro spolehlivý zápis do paměti. Tuto dobu určuje DMA řadič. Detaily časování jednotlivých signálů a trvání zápisu je obvykle možné v DMA řadiči předem naprogramovat.
10. Po dokončení zápisového cyklu je zrušena aktivita signálu DACK a BREQ. Procesor může obsadit sběrnici a pokračovat ve vykonávání programu.
11. Po každém elementárním přenosu inkrementuje DMA řadič obsah adresního registru a posune tak adresu na další pozici v paměti. Podle délky slova přenášených dat (8, 16, ... bitů) a podle způsobu adresování paměti se obsah adresního registru zvětšuje o 1, o 2 atd. Současně je dekrementován obsah registru délky přenosu. Je-li jeho obsah nenulový, pokračuje DMA řadič v činnosti podle bodu 2.
12. Nulový obsah registru délky dat znamená, že byl dokončen celý blokový přenos. DMA řadič může podle předchozího naprogramování tuto situaci indikovat přerušením nebo jen nastavením příslušných bitů ve stavovém registru.



Obr. 3 DMA přenos



T1 DMA řadič čeká na uvolnění sběrnice
T2 Trvání zápisového cyklu paměti nastavené v DMA řadiči

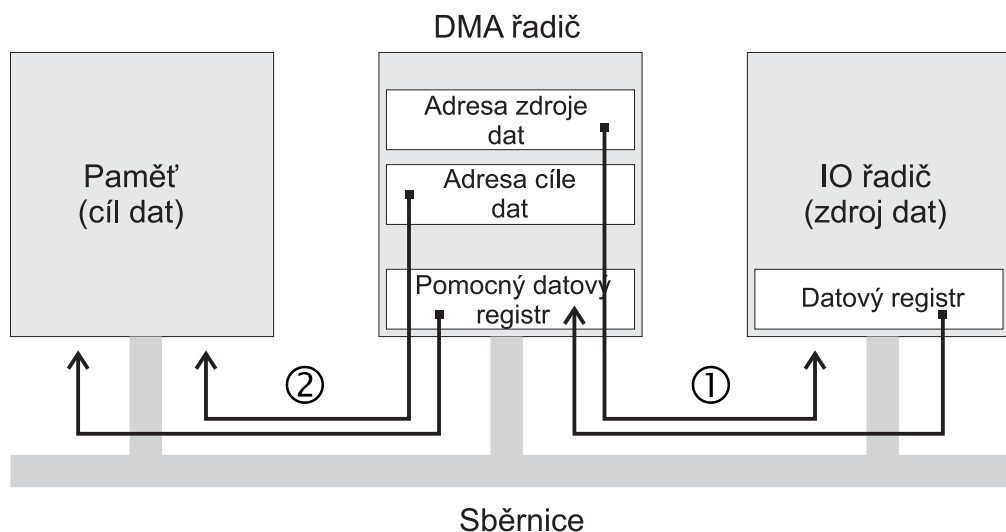
Obr. 4 Časový diagram přenosového cyklu DMA.

Další možné řešení DMA řadiče

Některé DMA řadiče (Z80DMA, DMA řadiče které jsou součástí IO procesorů I8089, I80303 apod.) používají poněkud jiný způsob přenosu dat mezi IO řadičem a pamětí (viz Obr. 5). DMA řadič je vybaven dvěma adresními registry. První z nich obsahuje adresu zdroje dat, druhý obsahuje adresu cíle dat. Zdroj i cíl dat může ležet buď v paměťovém nebo v IO adresním prostoru. Dále DMA řadič obsahuje pomocný datový registr, který slouží k dočasnému uložení přenášených dat.

Při přenosu potom DMA řadič po obsazení sběrnice vykoná vždy dva sběrnicové cykly (Obr. 5). V prvním cyklu jsou přečtena data ze zdroje dat do pomocného datového registru v DMA řadiči. Ve druhém cyklu jsou potom data zapsána na cílovou adresu.

Výhodou popsaného řešení DMA řadiče je, že zdroj i cíl dat jsou na sobě nezávislé. Lze proto provádět nejen přenosy mezi pamětí a IO řadičem, ale také přenosy typu paměť – paměť nebo přenosy mezi dvěma IO řadiči bez ukládání dat do paměti.



- ① Čtení dat ze zdrojové adresy do pomocného datového registru
- ② Zápis dat na cílovou adresu

Obr. 5 Alternativní koncepce DMA řadiče.

Sdílení sběrnice při DMA přenosu

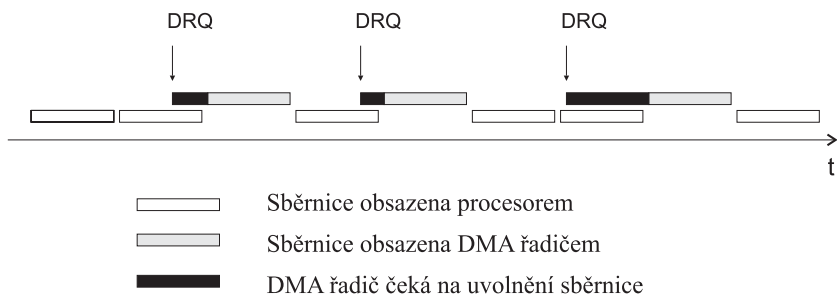
Při DMA přenosu se na sběrnici střídají cykly procesoru a cykly DMA řadiče. Pro střídání procesoru a DMA řadiče na sběrnici lze použít různá pravidla^{*1}:

Kradení cyklů

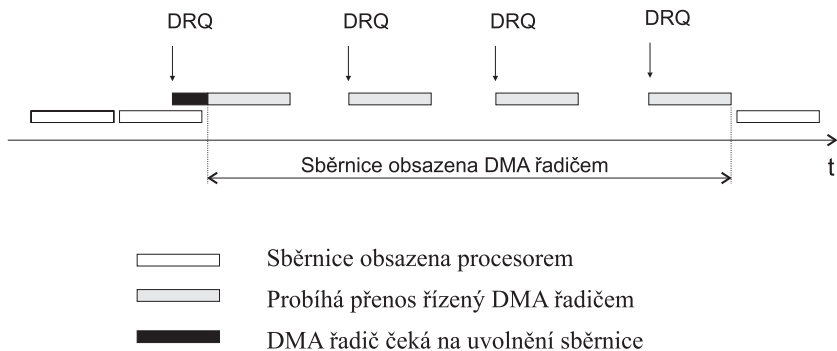
Jedním ze základních způsobů přidělování sběrnice DMA řadiči je kradení cyklů: DMA řadič v případě požadavku na přenos obsadí sběrnici a provede jeden elementární přenos dat. Potom sběrnici opět uvolní. Na sběrnici se tak střídají cykly přenosové cykly procesoru a přenosové cykly DMA řadiče (Obr. 6 a)).

Blokový režim

Při extrémních požadavcích na rychlost přenosu lze přidělování sběrnice řešit jinak: DMA řadič obsadí sběrnici na začátku blokového přenosu a v průběhu celého blokového přenosu ji drží obsazenou (viz Obr. 6 b)). Tímto způsobem lze zvýšit rychlost přenosu v porovnání s technikou kradení cyklů, protože odpadá zpoždění potřebná k přidělení sběrnice před každým elementárním přenosem. Procesor je však po celou dobu blokového přenosu ve stavu HOLD.



a) Kradení cyklů na sběrnici



b) Blokový režim (Burst Mode)

Obr. 6 Sdílení sběrnice procesorem a DMA řadičem.

^{*1} Ve větších systémech se přidělování sběrnice procesorům a DMA řadičům řeší obvykle pomocí speciálního arbitru, který sběrnici přiděluje podle priority jednotlivých obvodů.

Závěr

Použití DMA řadiče je vhodné pro přenosy blokového charakteru, u kterých je kladen důraz na velkou rychlost. Příkladem mohou být připojení diskových pamětí, zvukových karet, rychlých síťových karet a podobně. Snížení výkonu celého systému v důsledku malé propustnosti sběrnice se čelí použitím systému lokálních sběrnic a lokálních pamětí.