

# DZIELNIKI I PODZIELNIKI CZĘSTOTLIWOŚCI

## Dzielnik częstotliwości:

układ dający impuls na wyjściu co P impulsów na wejściu

$$f_{wy} = \frac{f_{we}}{P}$$

## Podzielnik częstotliwości:

układ, który na każde p impulsów na wejściu daje K impulsów na wyjściu ( $1 \leq K \leq P$ )

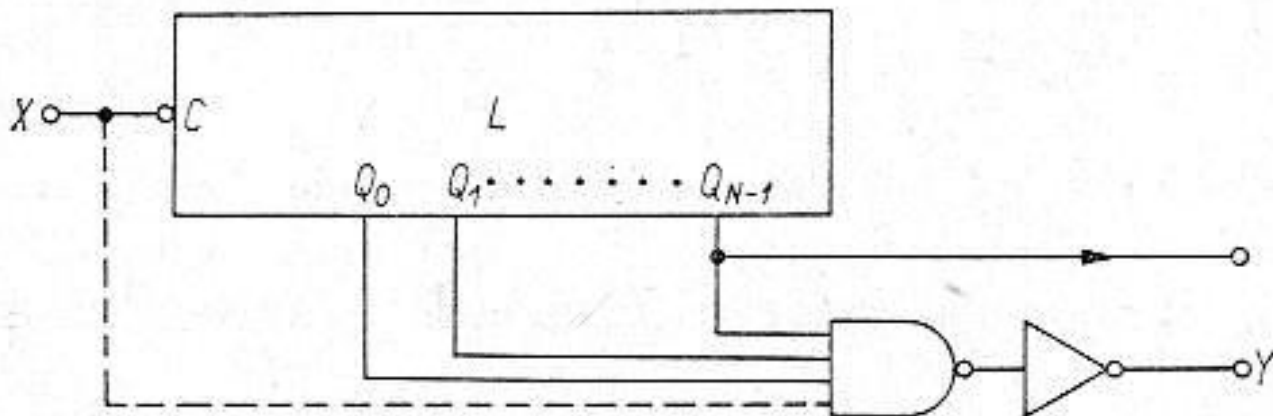
$$f_{wy} = \frac{K}{P} f_{we}$$

## Dzielniki częstotliwości o stałym współczynniku podziału.

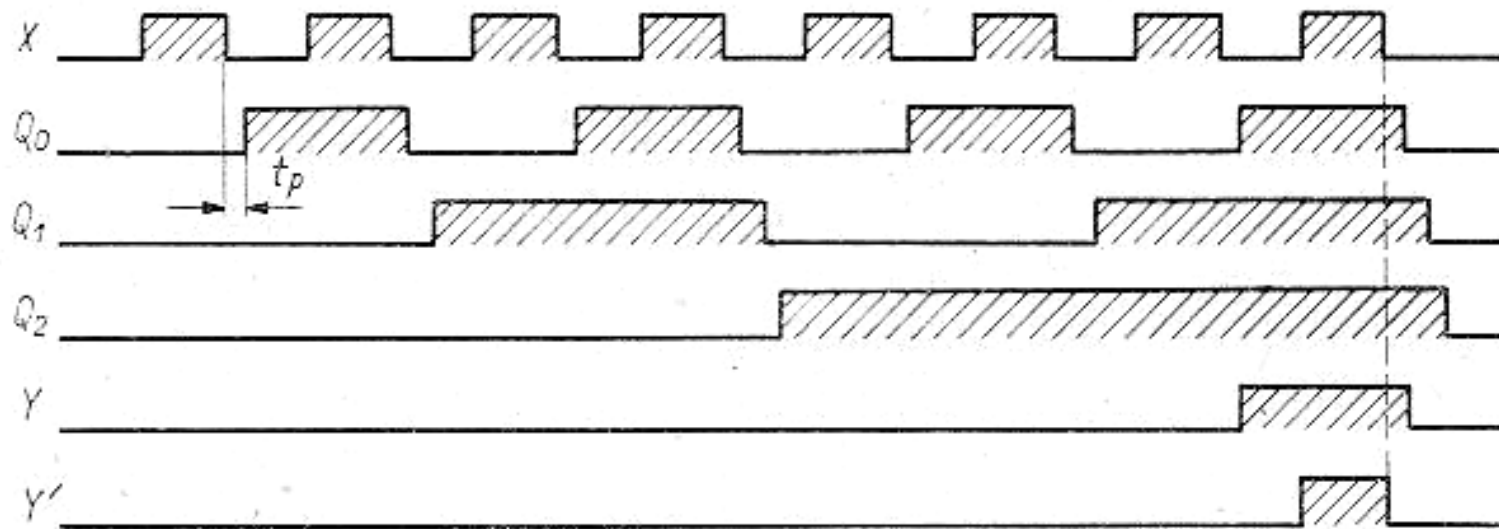
***Dzielnik częstotliwości** (frequency divider) – układ podobny do licznika służący do dzielenia  $f$  wejściowej przez stały współczynnik  $P$ .*

*Kod w jakim pracuje dzielnik nie ma znaczenia byleby na wyjściu któregoś z przerzutników pojawiał si impuls co  $P$  impulsów wejściowych.*

*Większość liczników może pracować jako dzielniki.*



Dwójkowy dzielnik częstotliwości – schemat blokowy



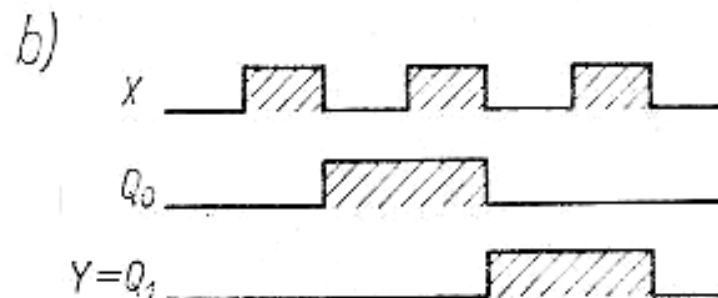
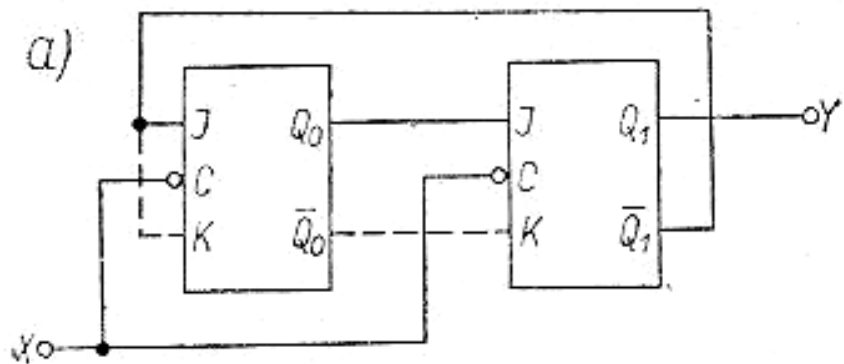
Dwójkowy dzielnik częstotliwości – przebiegi czasowe

*Jeżeli wyjście dzielnika dekoduje stan 11...11, to niezależnie od sposobu realizacji licznika a wyjściu tym nie pojawiają się żadne fałszywe sygnały .*

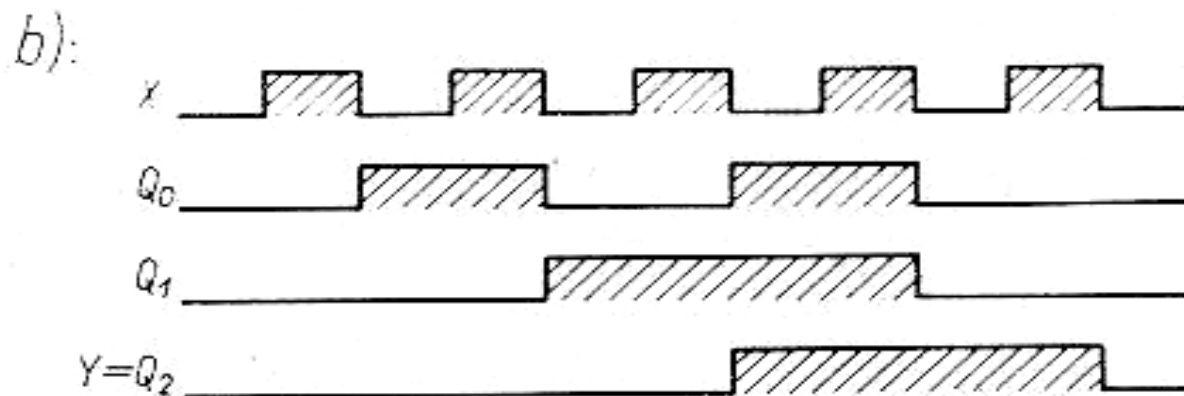
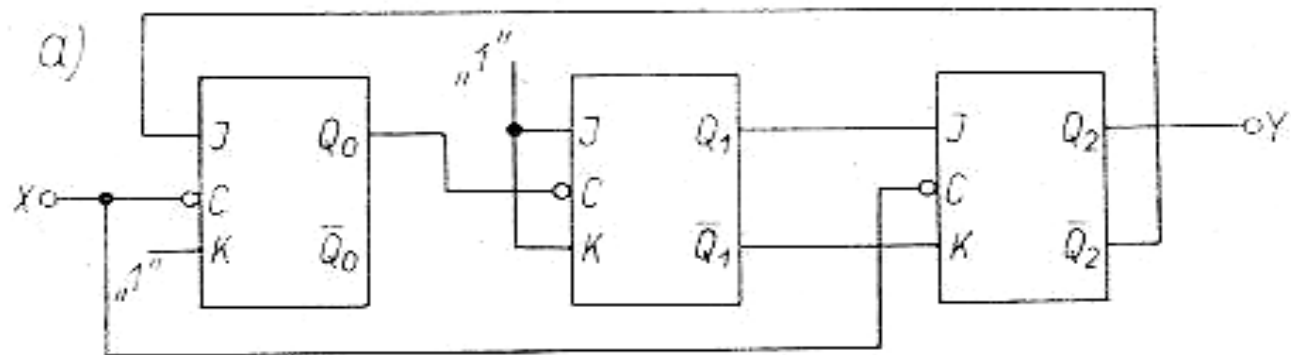
*Współczynnik podziału  $P$  jest równy pojemności licznika*

$$P=2^N$$

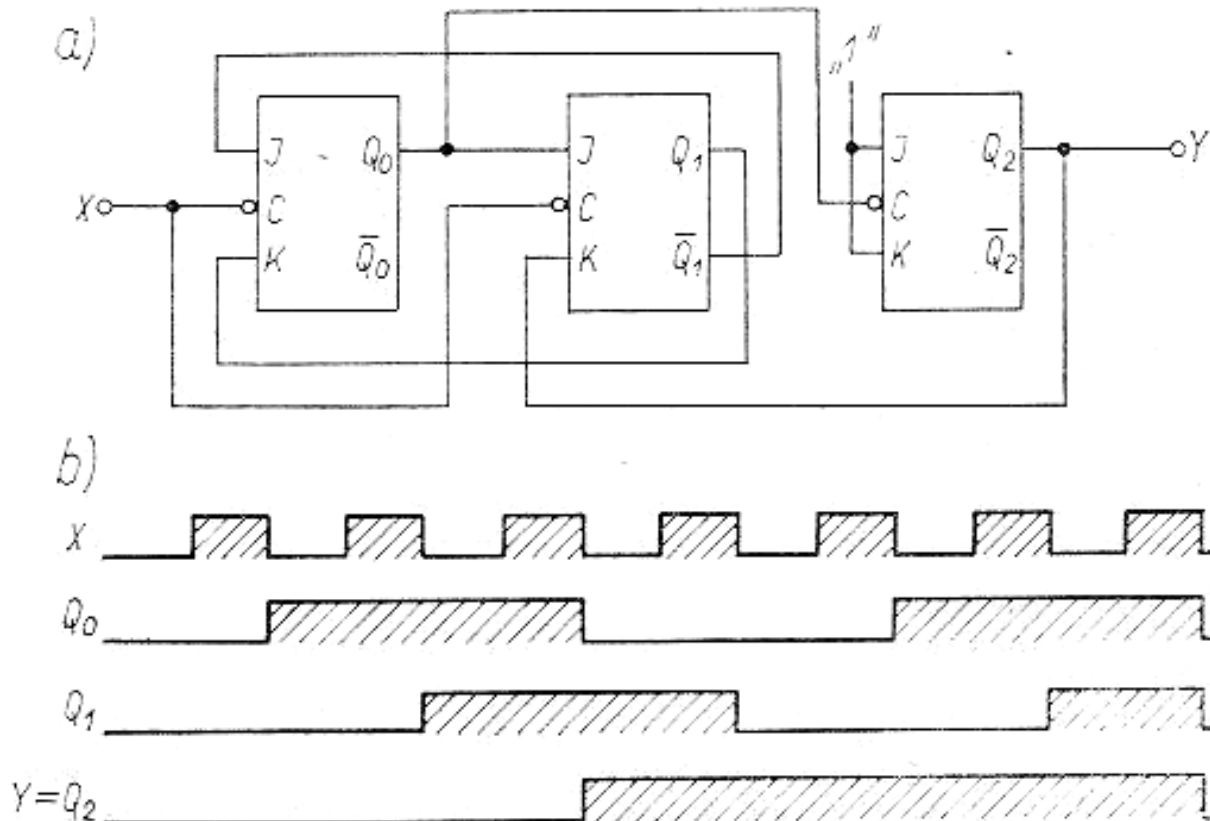
## Układy dzielników o współczynnikach podziału 3, 5, 7, 9.



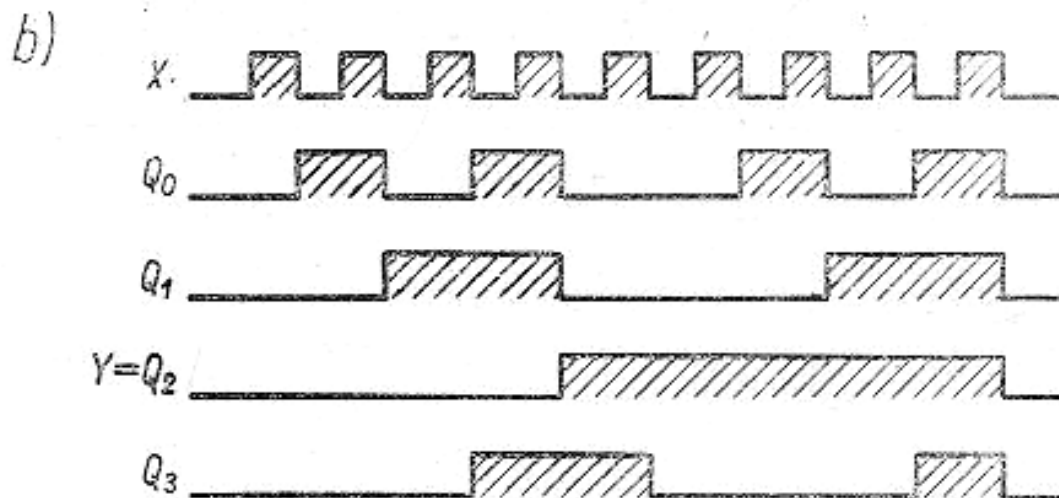
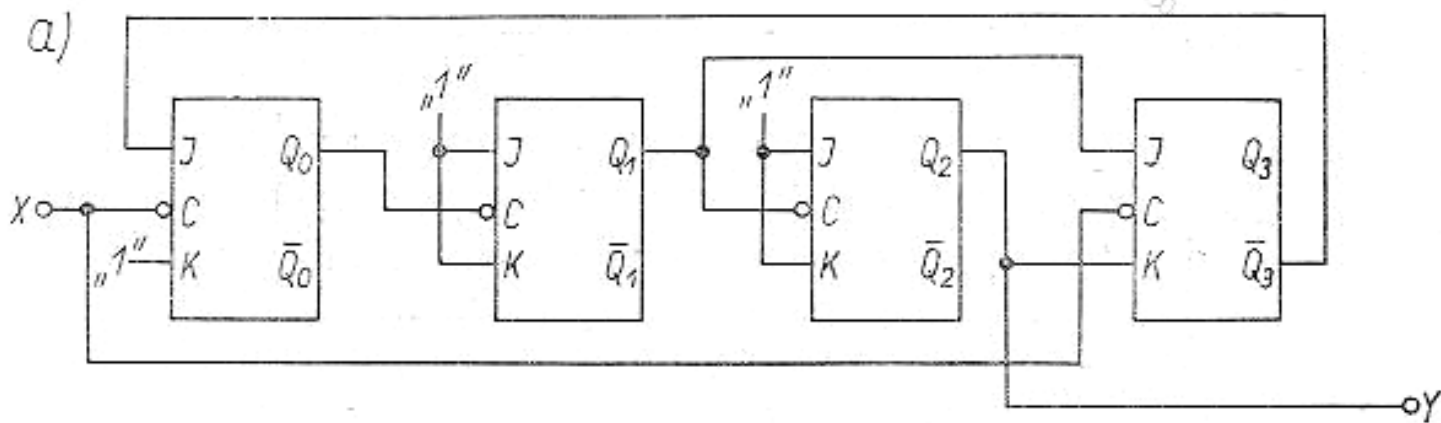
Dzielnik częstotliwości przez 3 – schemat i przebiegi czasowe



Dzielnik częstotliwości przez 5 – schemat i przebiegi czasowe

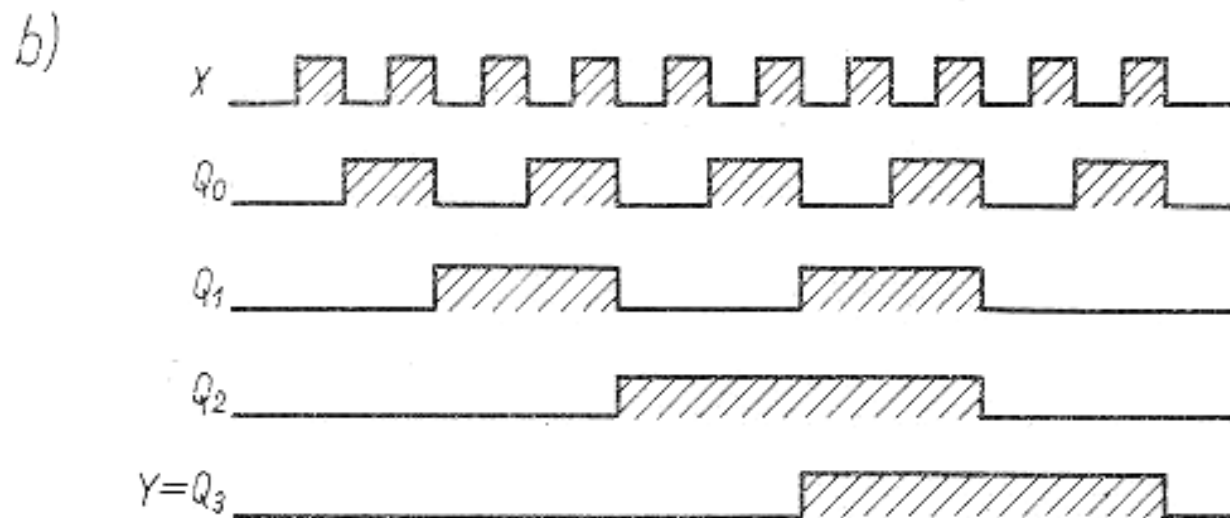
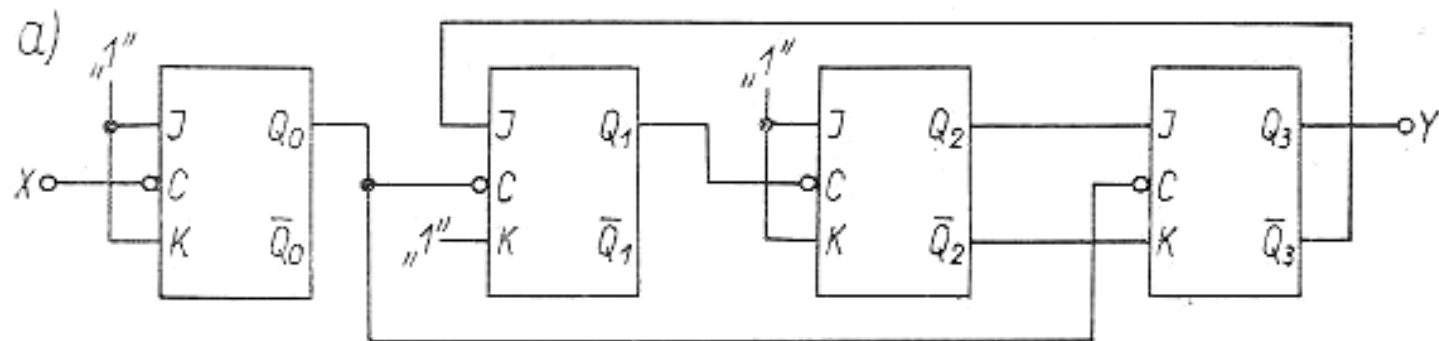


Dzielnik częstotliwości przez 7 – schemat i przebiegi czasowe



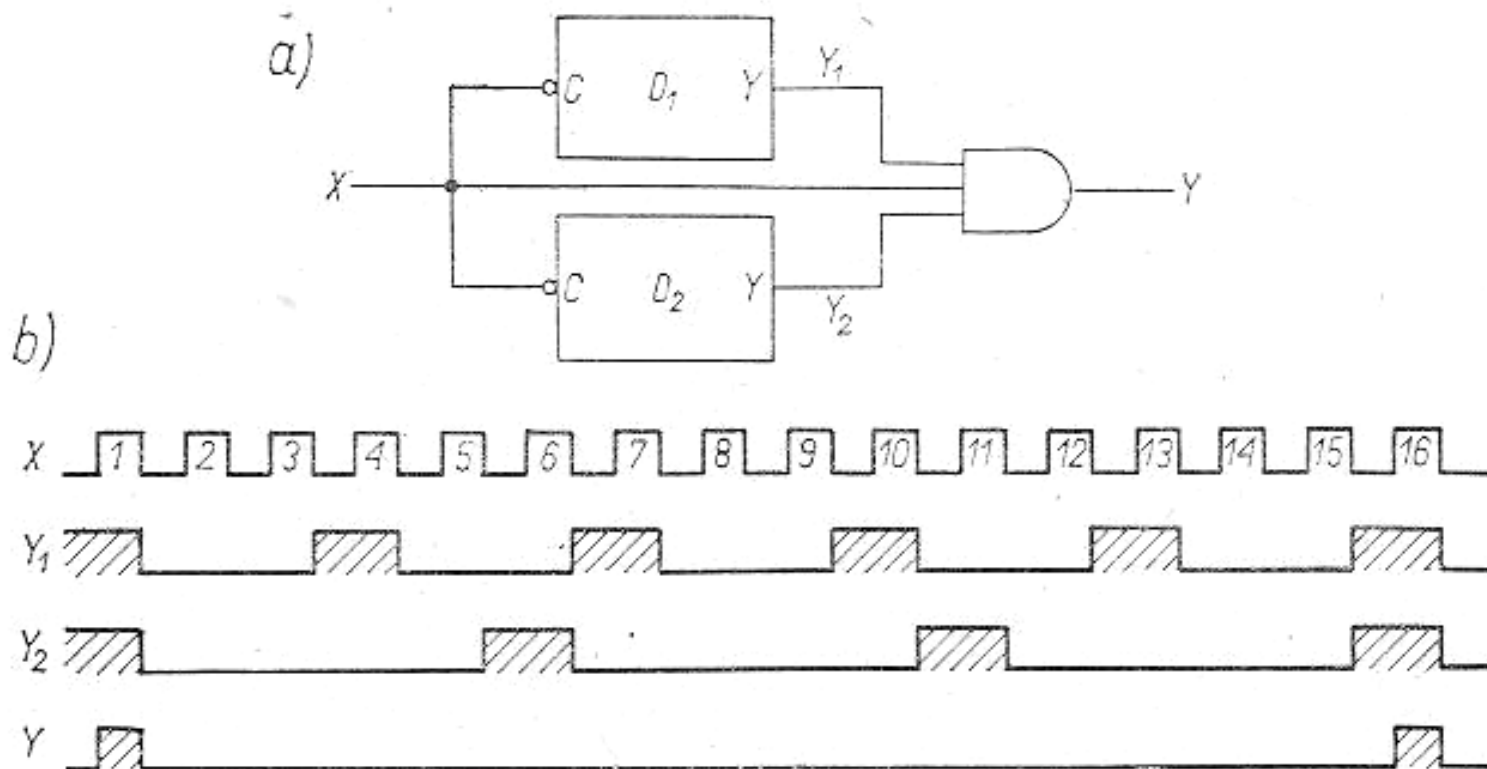
Dzielnik częstotliwości przez 9 – schemat i przebiegi czasowe

Dzielniki o innych współczynnikach podziału można uzyskać łącząc szeregowo podane powyżej dzielniki, np.  $P=10$





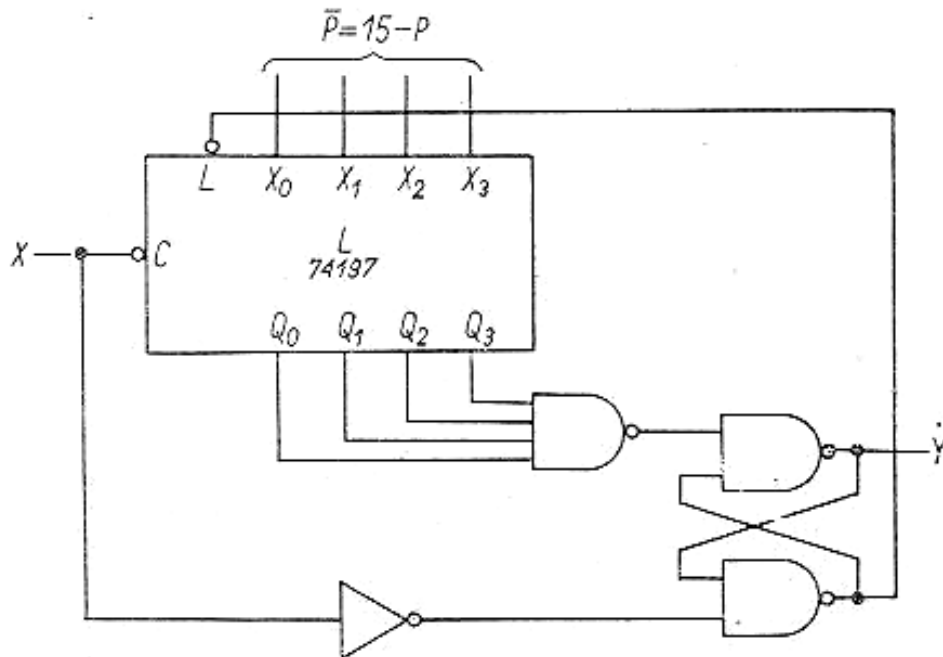
Jeśli chcemy tego uniknąć można zastosować łączenie równoległe i tak wybrać współczynniki podziału  $P_1, P_2, P_3, \dots, P_K$  aby nie miały wspólnych dzielników, po podaniu sygnałów z wyjścia tych dzielników na bramkę AND otrzymamy dzielnik o współczynniku podziału  $P = P_1 \cdot P_2 \cdot P_3 \cdot \dots \cdot P_K$ .



# DZIELNIKI PROGRAMOWANE

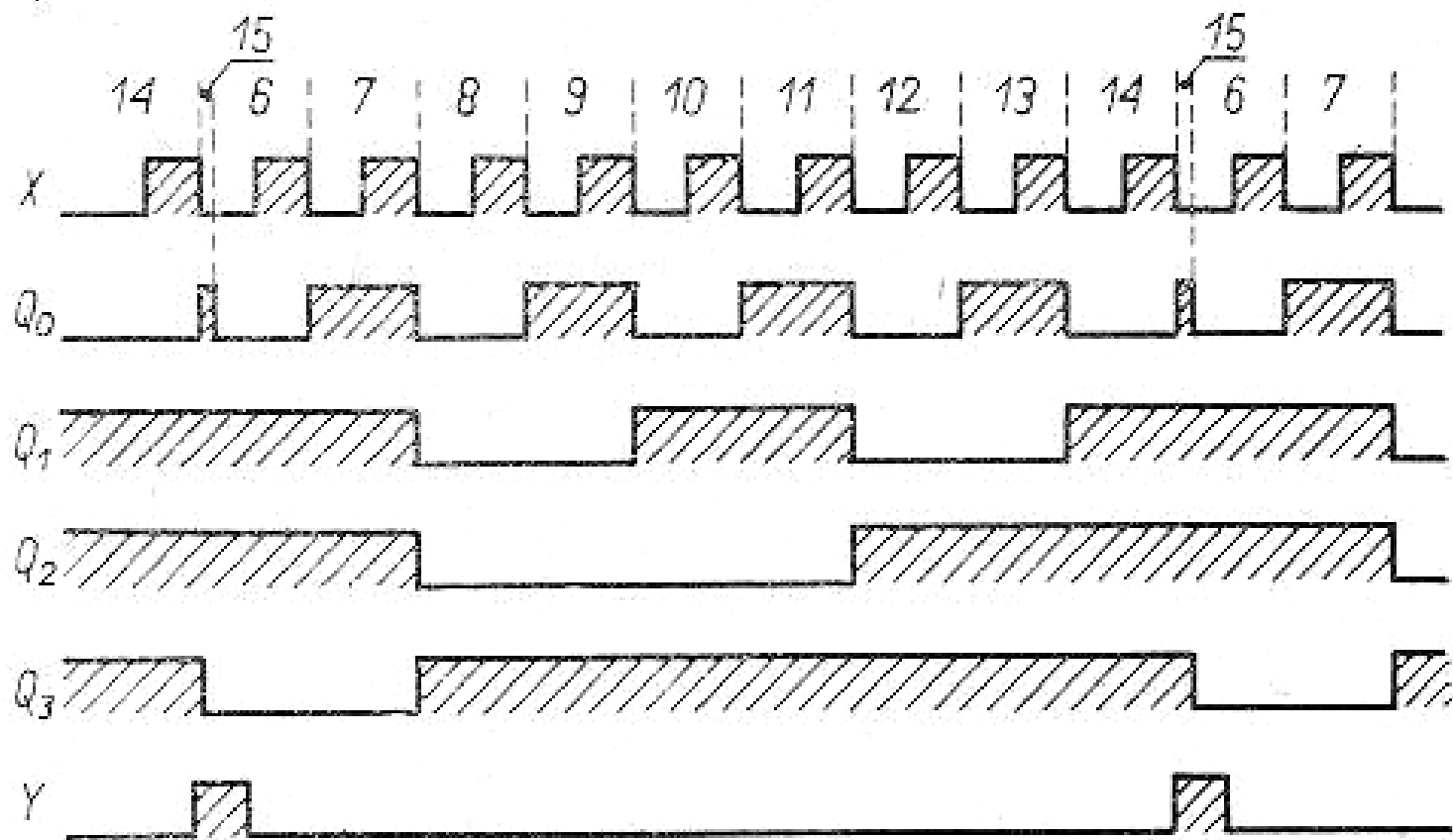
Współczynnik podziału jest podawany na wejście dzielnika, może być liczba dwójkowa (dzielnik dwójkowy) lub dziesiętna (dzielnik dziesiętny). Dzielnik programowany może być zbudowany z licznika z wpisywaniem równoległym asynchronicznym lub synchronicznym, zaopatrzonego w sprzężenie zwrotne bądź z rejestru liczącego.

$$\bar{P} = 15 - P$$



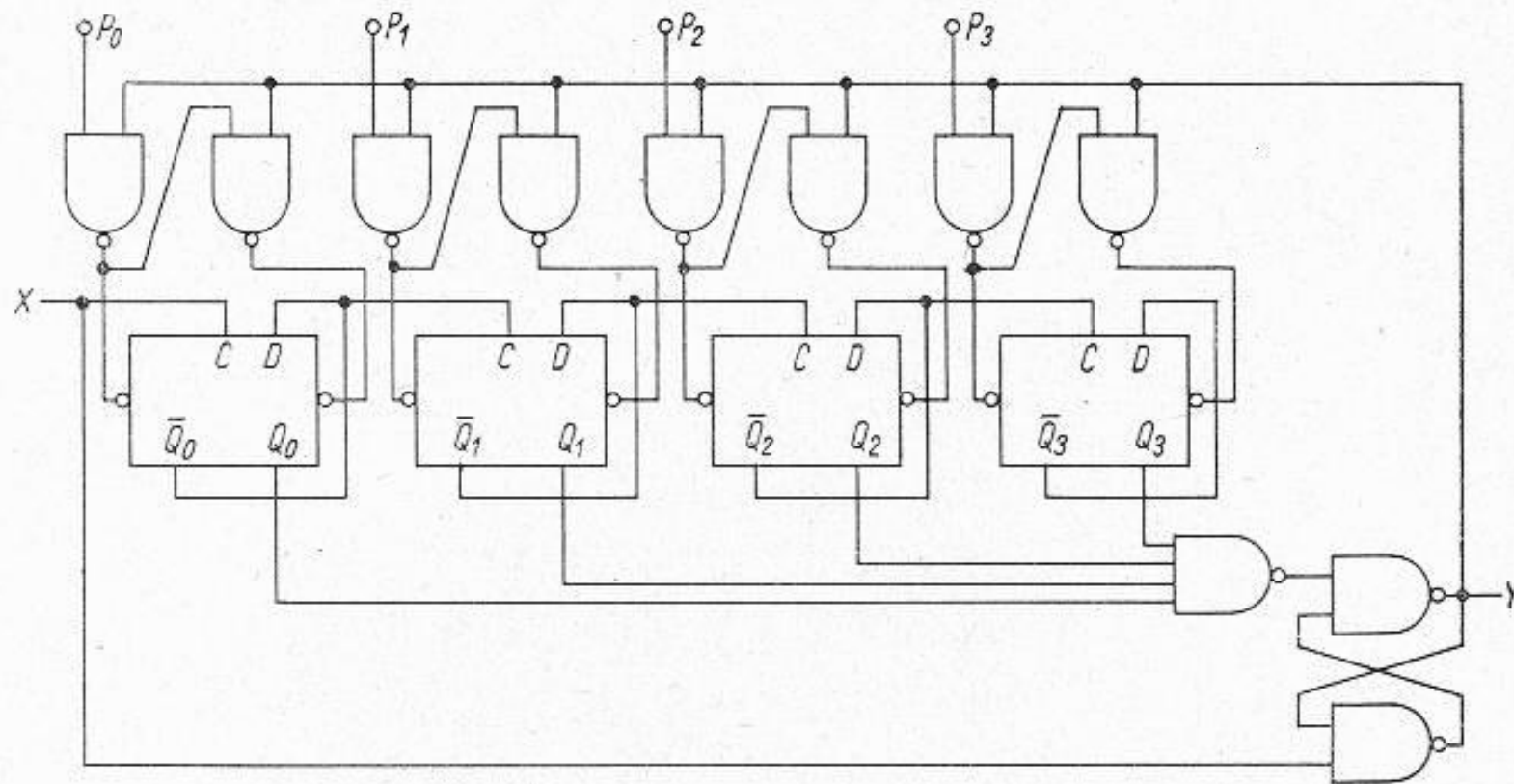
*Dzielnik z licznika z wpisywaniem równoległym asynchronicznym.*

*Na wejście równoległe podaje się uzupełnienie jedynek współczynnika podziału  $P$ .*



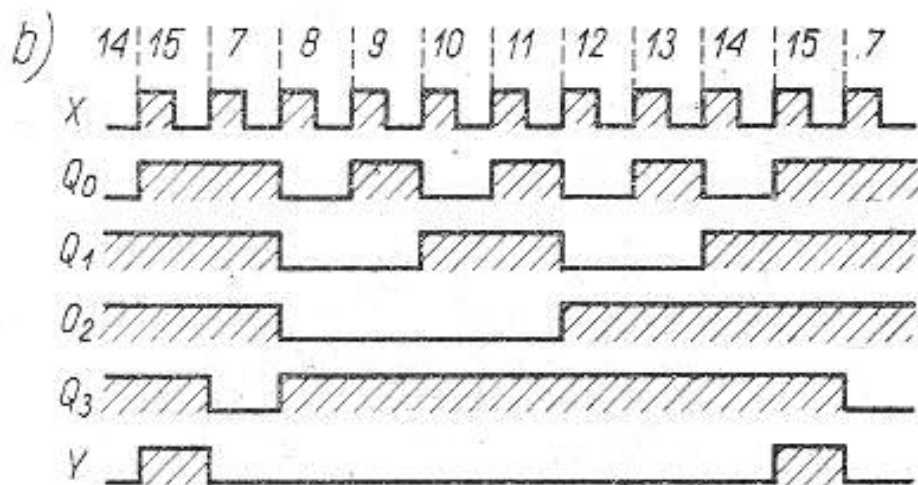
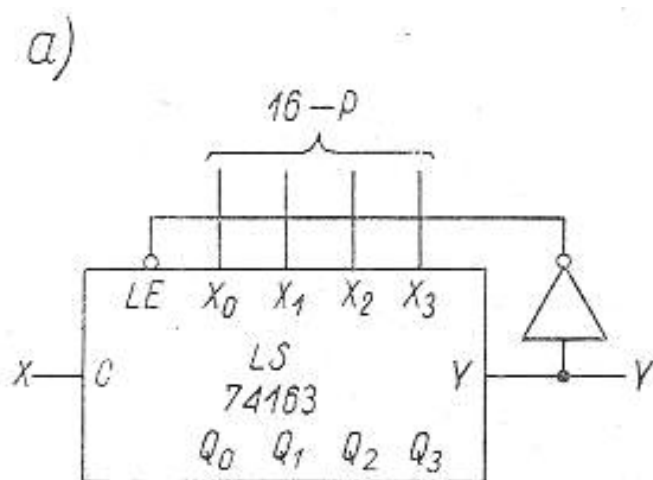
Wykres czasowy dla  $P = 9$

*Przykład dzielnika programowalnego zbudowanego z przerzutników D (na wejście podaje się binarnie pojemność  $P$ ).*

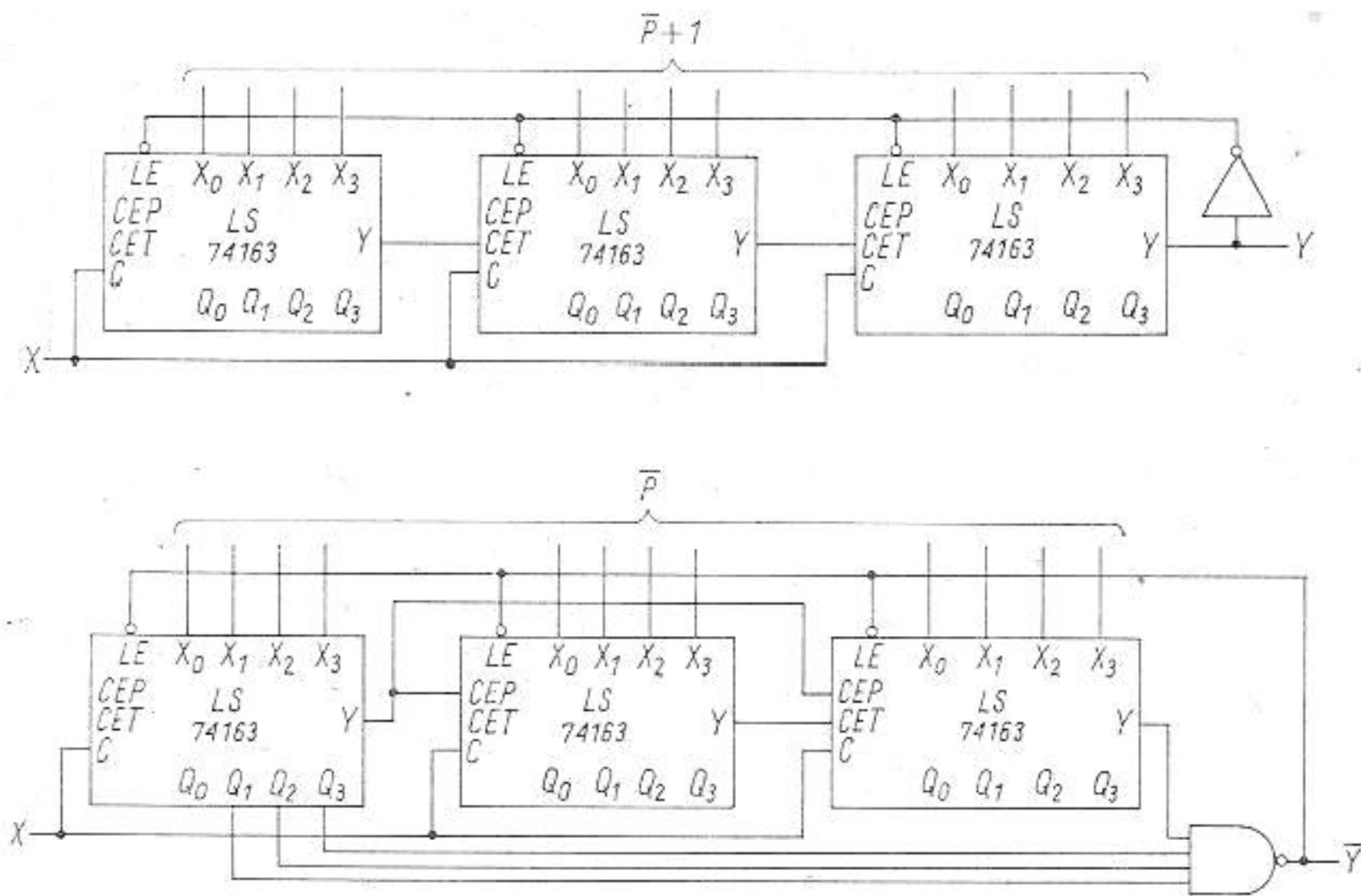


Dzielnik częstotliwości zbudowany na bazie licznika synchronicznego z wpisywaniem synchronicznym. W chwili pojawienia się sygnału przeniesienia Y (11...11), następuje przełączenie licznika na wpisywanie równoległe.

Wpisanie odbywa się po podaniu kolejnego impulsu zegarowego, dlatego na wejście równoległe licznika trzeba podać uzupełnienie dwójkowe liczby P, w przypadku licznika 4-bitowego  $16 - P$ .

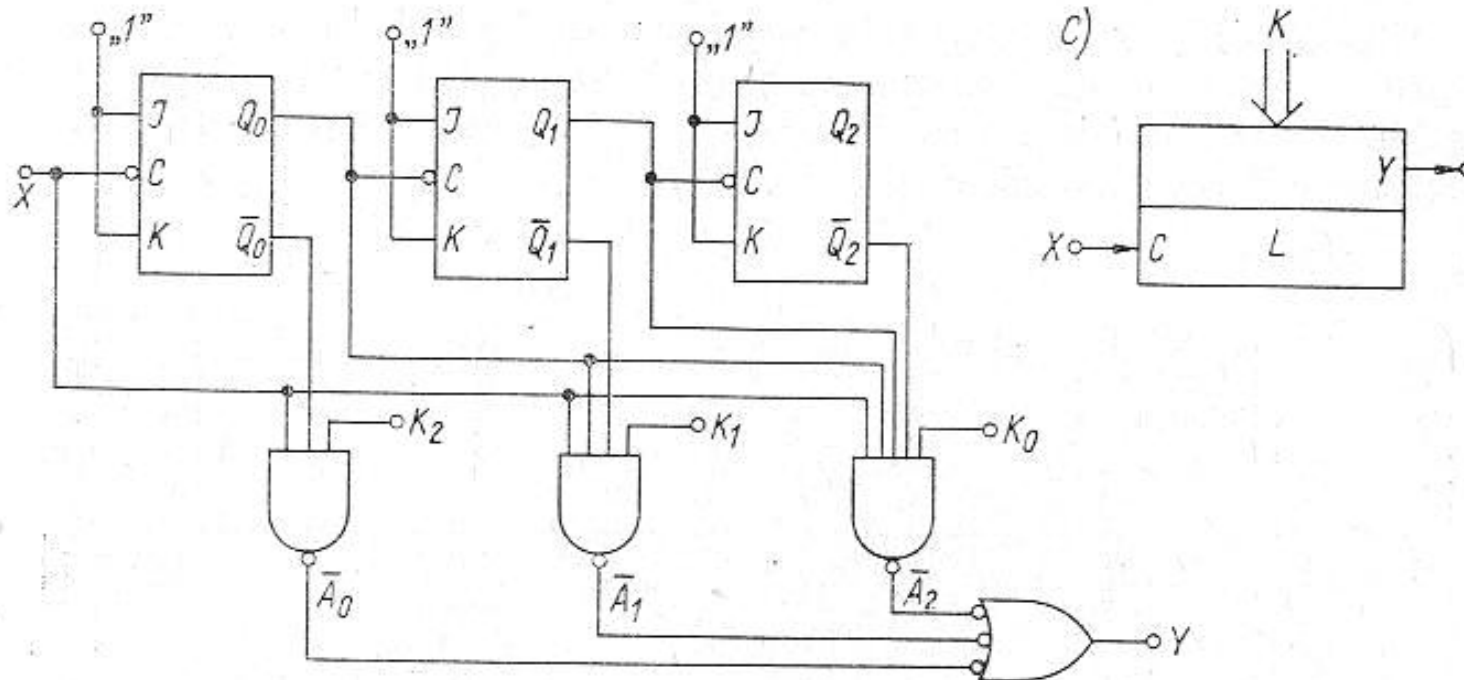


## Łączenie modułów dzielnika z licznikiem synchronicznym



# PODZIELNIKI CZĘSTOTLIWOŚCI

Podzielnik (licznik programowalny) układ służący do dzielenia częstotliwości wejściowej przez nastawny współczynnik, na ogół nie będący liczbą całkowitą. Podzielnik składa się z licznika i układu bramkującego na którego wejście jest podawana równoległe liczba  $K$ . Impulsy wyjściowe podzielnika powinny być rozłożone w miarę równomiernie

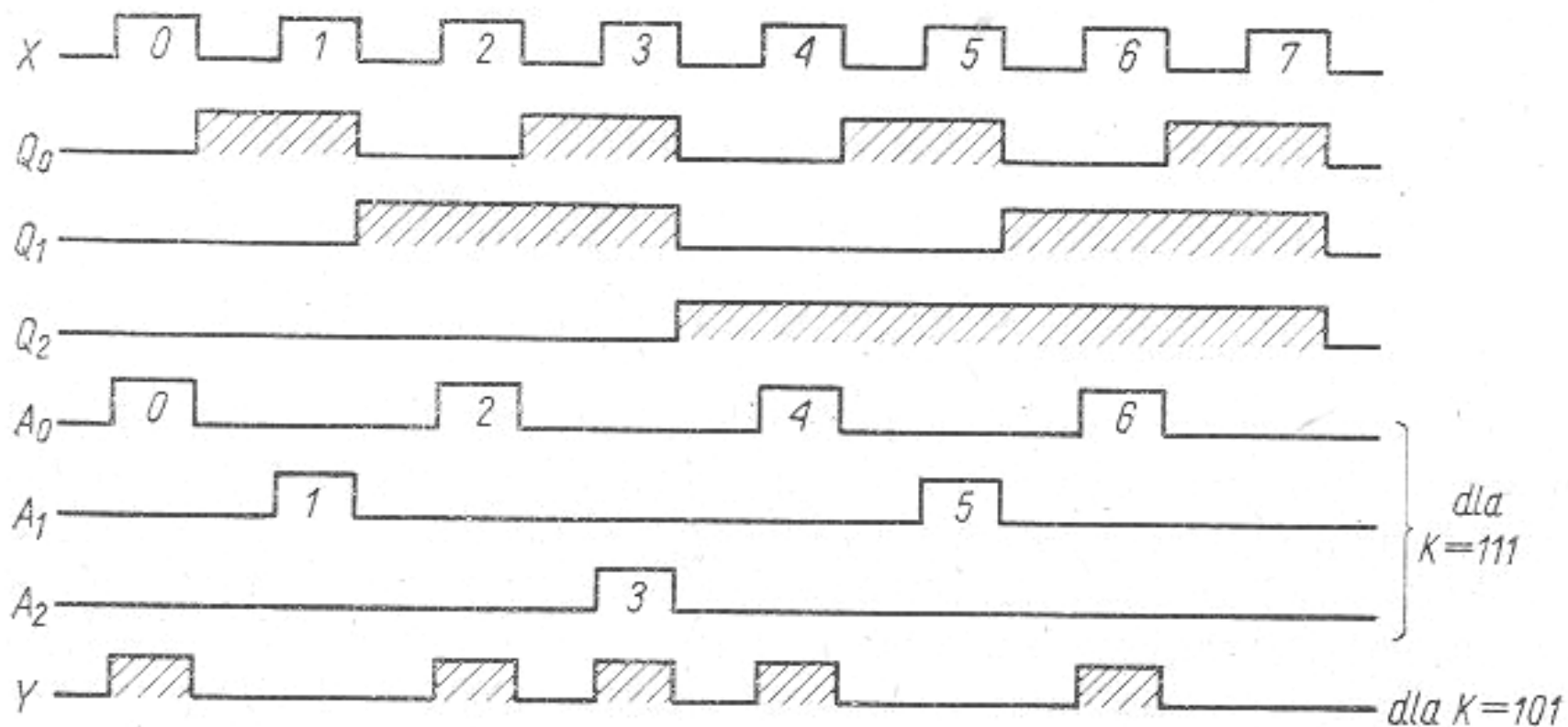




Zasada pracy podzielnika dwójkowego.

Liczba impulsów na wyjściu Y jest równa  $4K_2 + 2K_1 + K_0$ .

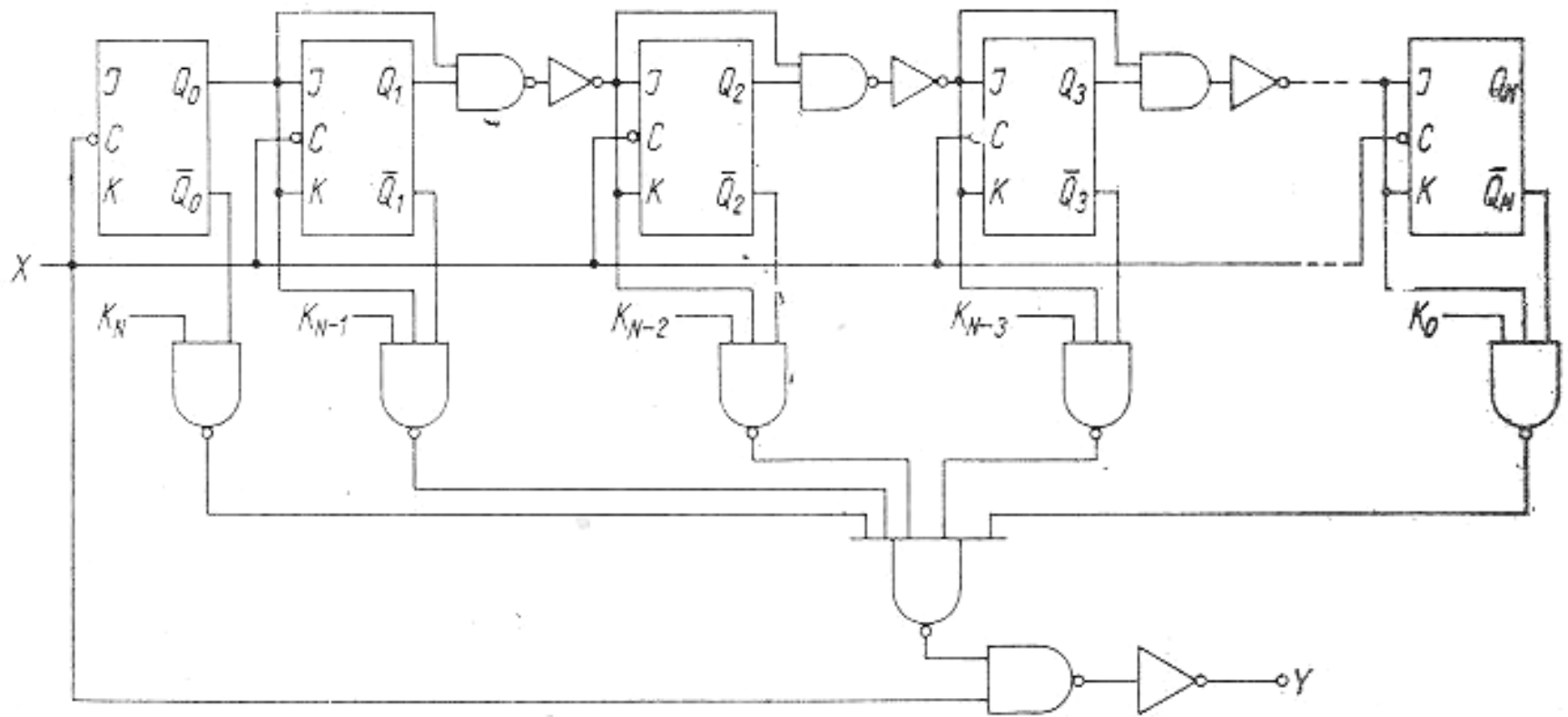
Najstarszy bit kodu bramkowego  $K_2$  jest podany na bramkę połączoną z najmłodszym item licznika i odwrotnie.





W układzie poprzednim liczba wejść elementu bramkującego rośnie liniowo z liczbą bitów.

Układ „oszczędniejszy”:



W podzielniku dziesiętnym współczynnik podziału  $K$  jest ustawiany przez podanie na wejście bramkujące sygnałów odpowiadających liczbie dziesiętne kodowanej dwójkowo.

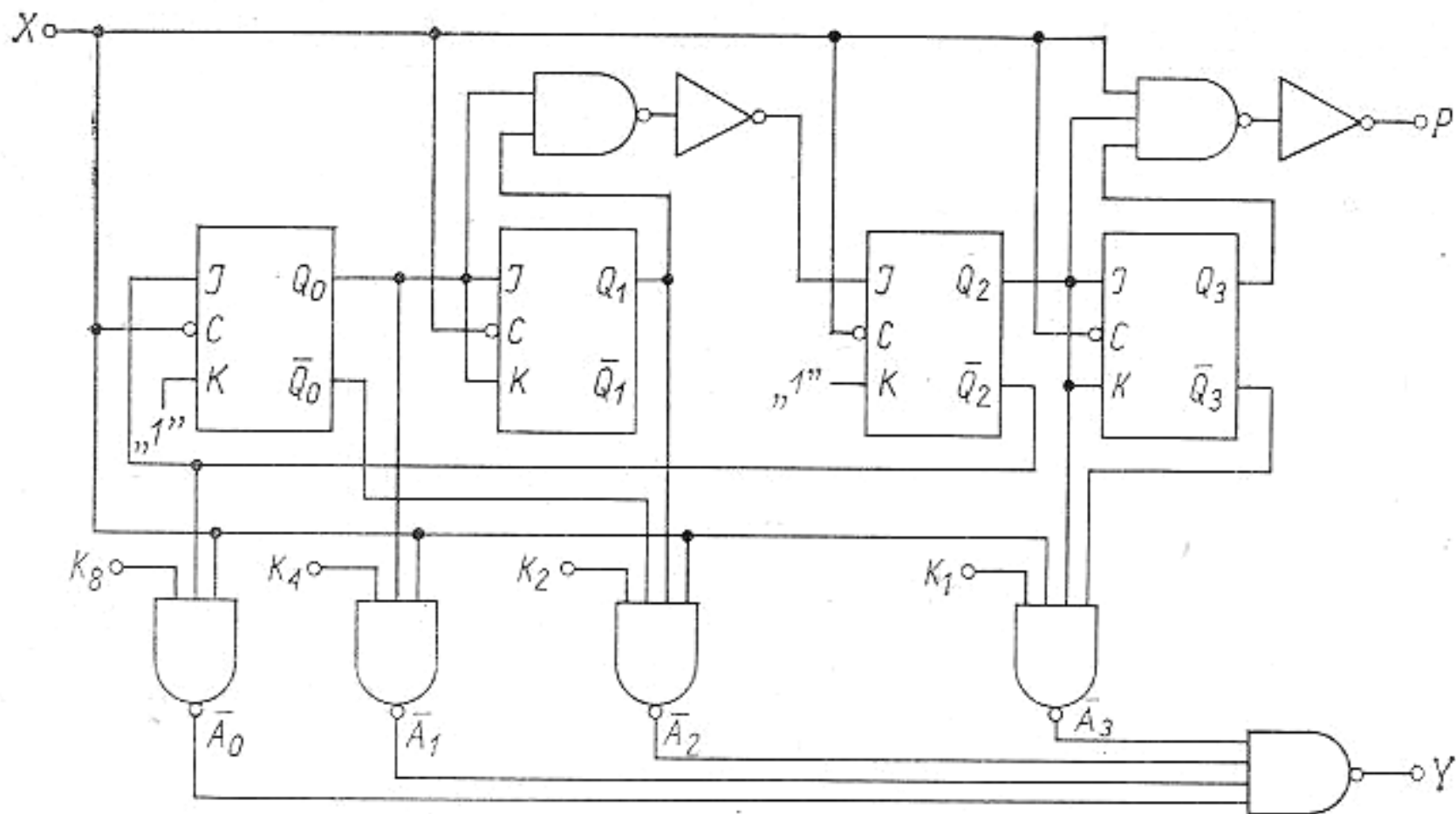
Podzielniki dziesiętne zwykle budowane są z dekad (liczików modło 10 i odpowiednich układów brakujących).

Pożądane jest aby kod brakowy był kodem 8421 (NKB), natomiast kod w jakim liczy licznik jest dowolny.

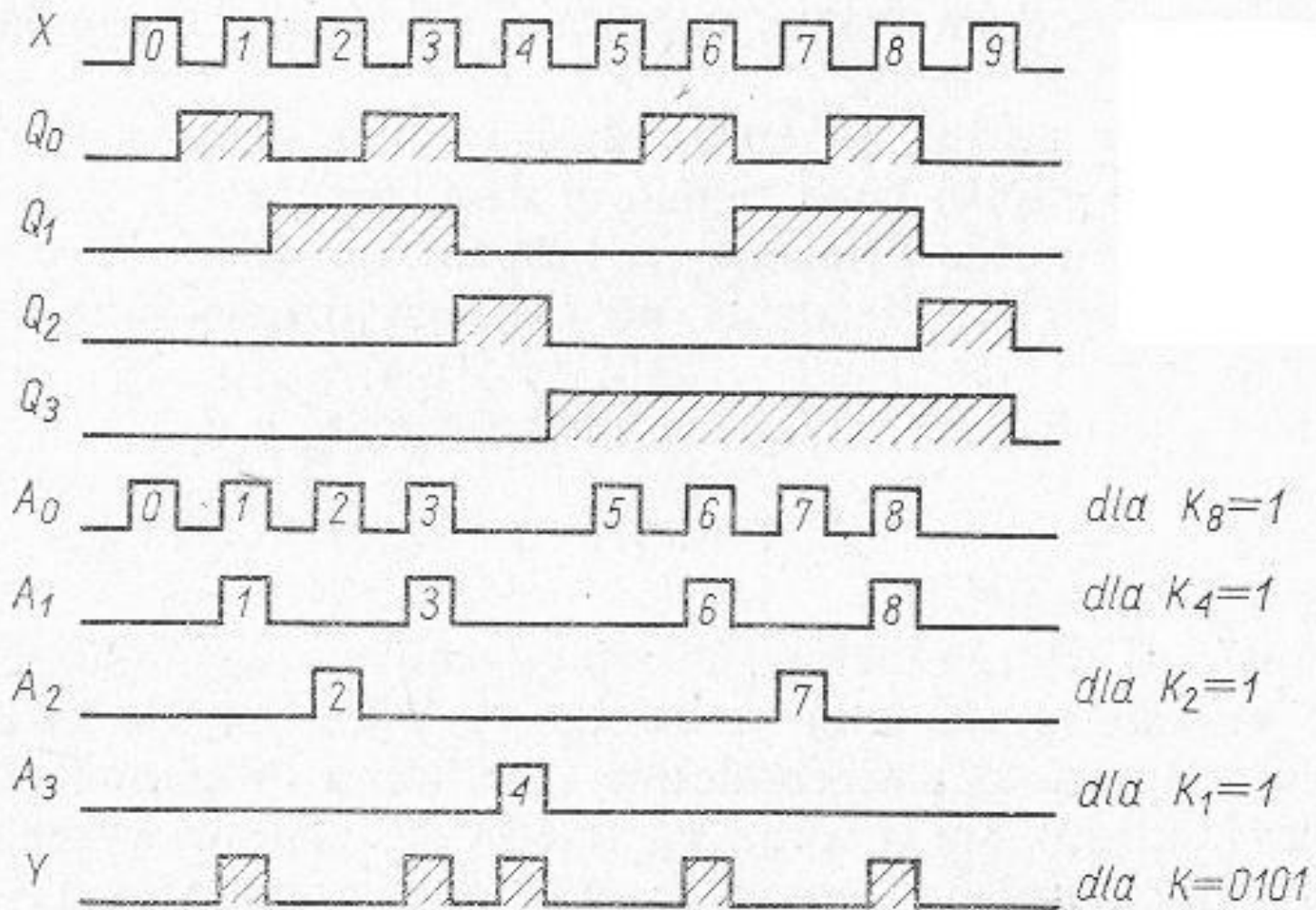
Przykład: dekada podzielnika dziesiętnego (licznik synchroniczny z przeniesieniem szeregowym liczący w kodzie 5421 i układ bramkujący, umożliwiający ustawianie współczynnika  $K$  w kodzie 8421)

$$K = K_8 K_4 K_2 K_1 = 9 \dots 0$$

$$f_{wy} = \frac{K}{10} f_{we}$$



*Schemat dekady podzielnika dziesiętnego*



Przebiegi czasowe dla  $K = 5$

# KOMPARATORY CYFROWE

**Komparatory szeregowo.**

Porównywane liczby są zwykle podawane z rejestrów przesuwnych.

Porównywanie może rozpoczynać się od najmłodszych bitów (wynik ustala się po podaniu wszystkich bitów),

**Komparatory szeregowo.**

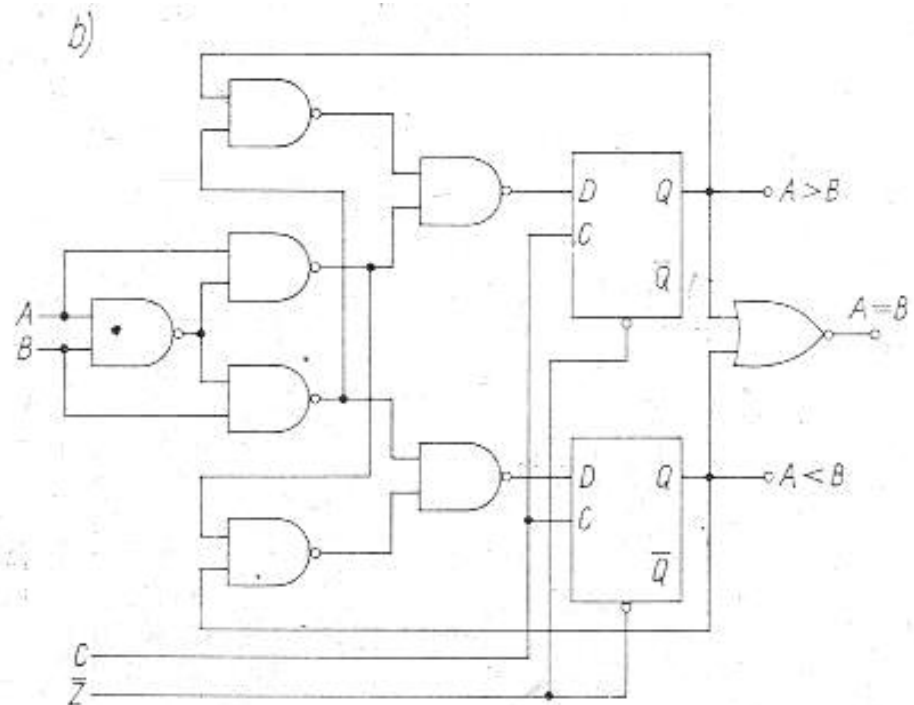
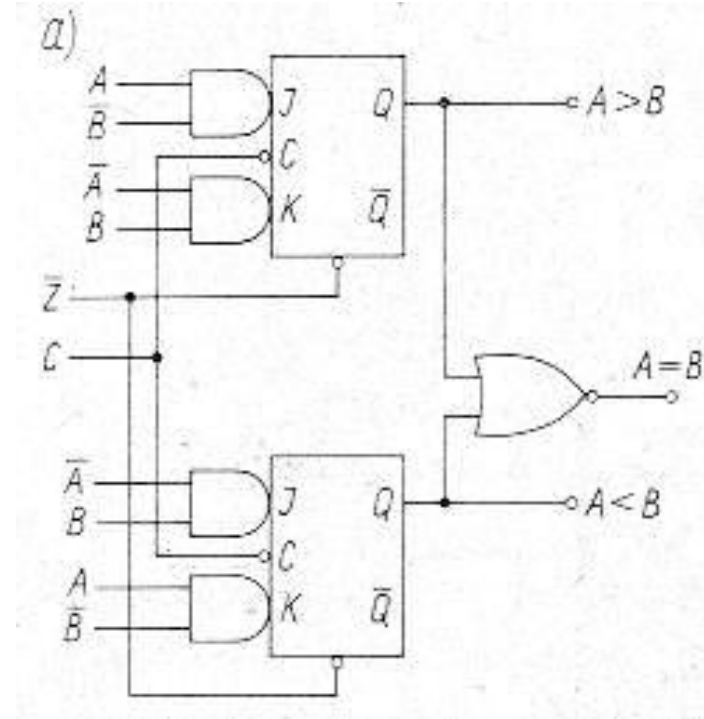
Porównywane liczby są zwykle podawane z rejestrów przesuwnych.

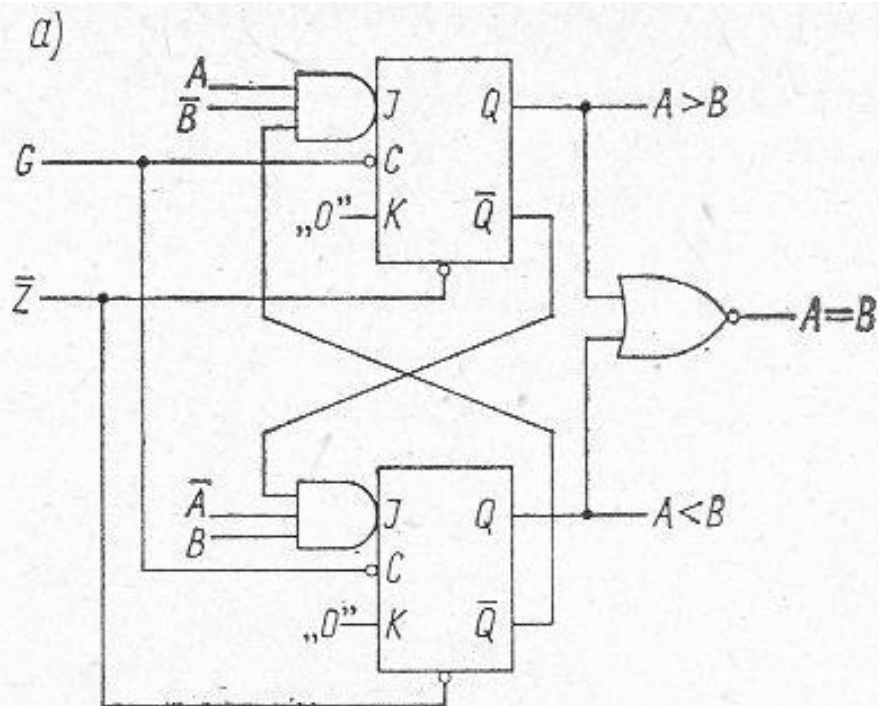
Porównywanie może rozpoczynać się od najmłodszych bitów (wynik ustala się po podaniu wszystkich bitów),

**Komparatory szeregowo.**

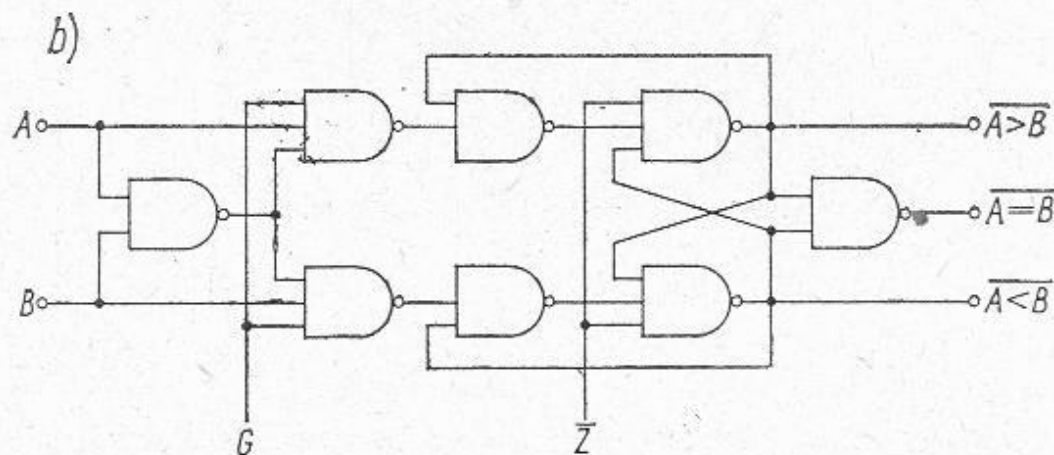
Porównywane liczby są zwykle podawane z rejestrów przesuwnych.

Porównywanie może rozpoczynać się od najmłodszych bitów (wynik ustala się po podaniu wszystkich bitów),





Porównywanie od  
najstarszych bitów daje  
wynik natychmiast po  
stwierdzeniu, która z liczb  
jest większa.



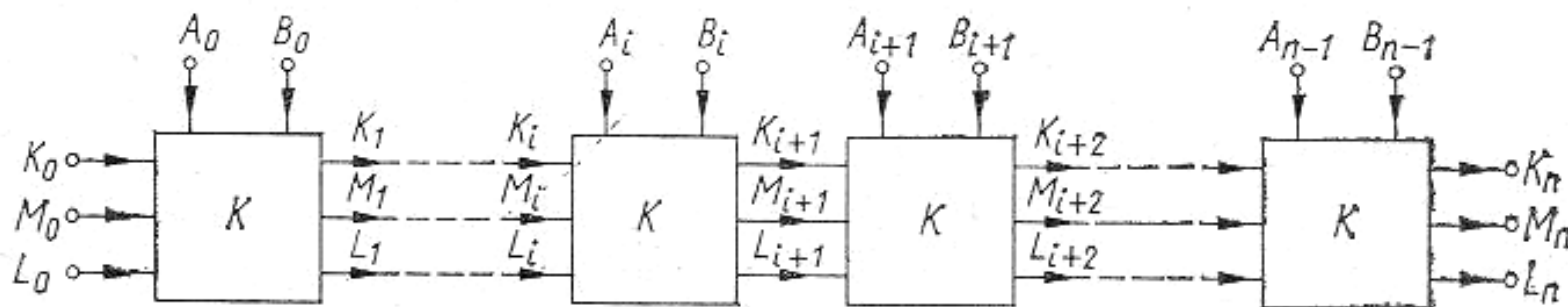
## Komparatory kaskadowe.

Podobnie jak sumatory są układami iteracyjnymi, składającymi się z komparatorów jednobitowych, porównujących ze sobą kolejne cyfry  $A_i$   $B_i$ . W ogólnym przypadku każdy komparator jednobitowy wytwarza trzy przeniesienia:

$K_{i+1}$  – wskazujące, że  $A > B$ ,

$L_{i+1}$  – wskazujące, że  $A < B$ ,

$M_{i+1}$  – wskazujące, że  $A = B$ .



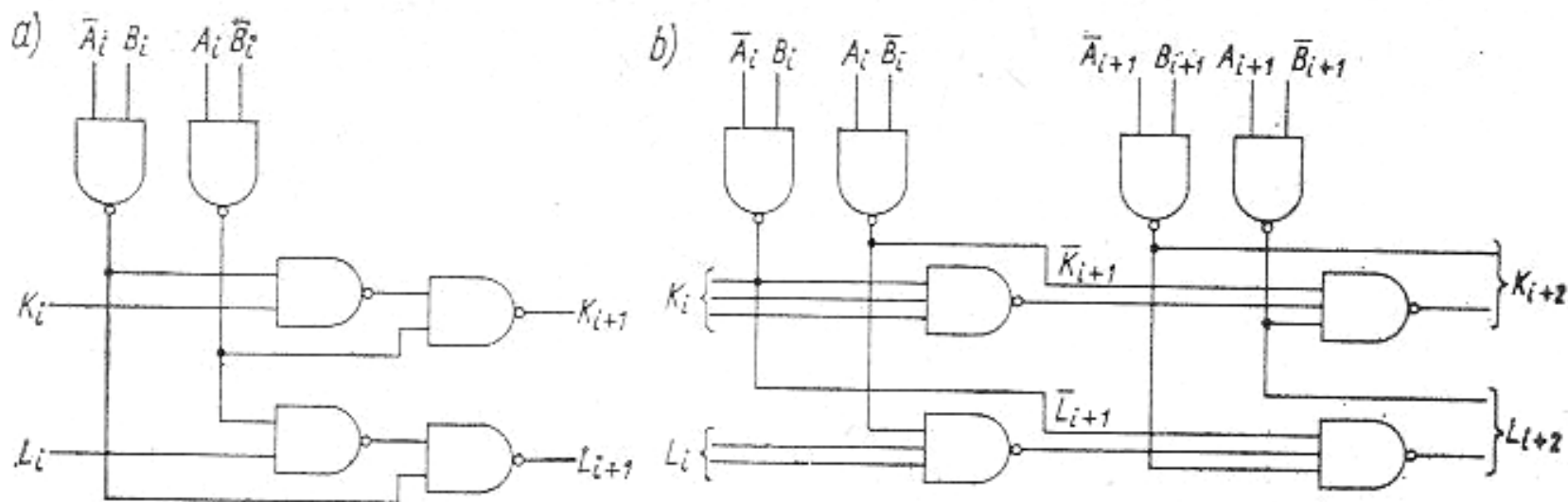
$$K_{i+1} = A_i \bar{B}_i + (A_i + \bar{B}_i) K_i$$

$$L_{i+1} = \bar{A}_i B_i + (\bar{A}_i + B_i) L_i$$

$$M_{i+1} = (A_i B_i + \bar{A}_i \bar{B}_i) M_i$$

Jedno z przeniesień jest zbędne, zwykle usuwa się  $M_i$ . Wyjściami komparatora są wtedy sygnały przeniesienia z najstarszego bitu  $K_n$ ,  $L_n$  natomiast:

$$M_n = \overline{K_n} \cdot \overline{L_n}$$



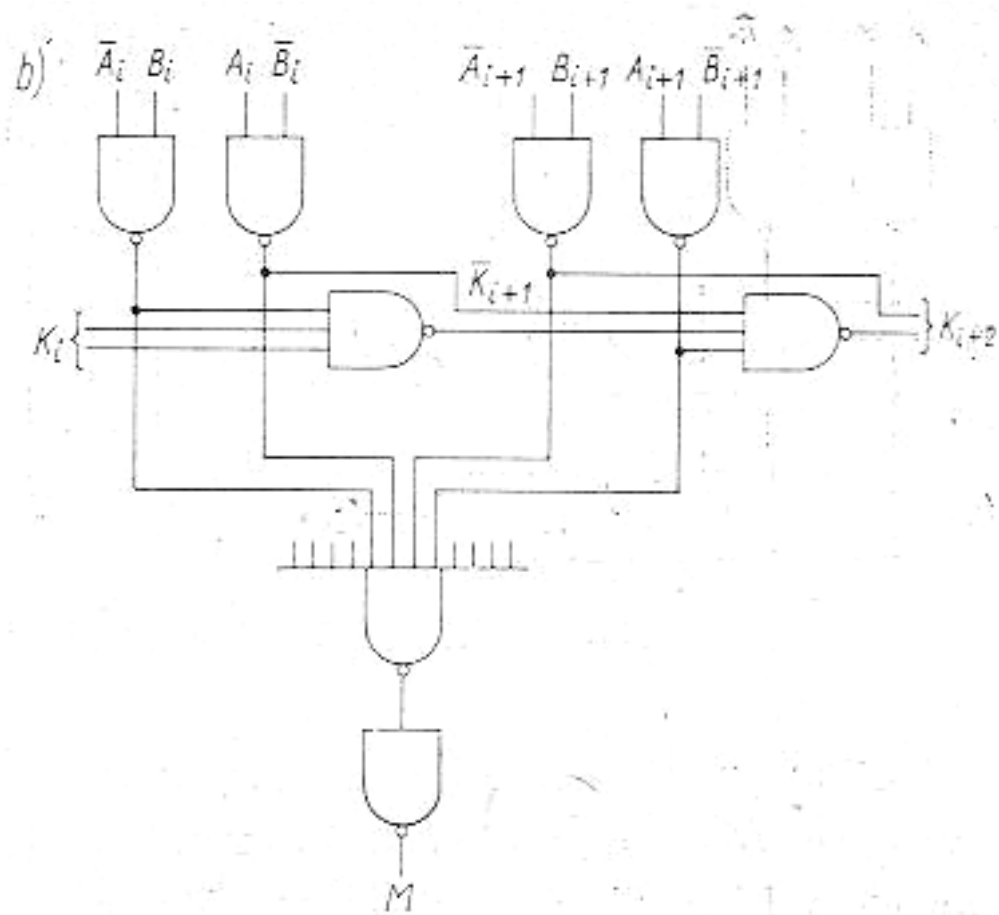
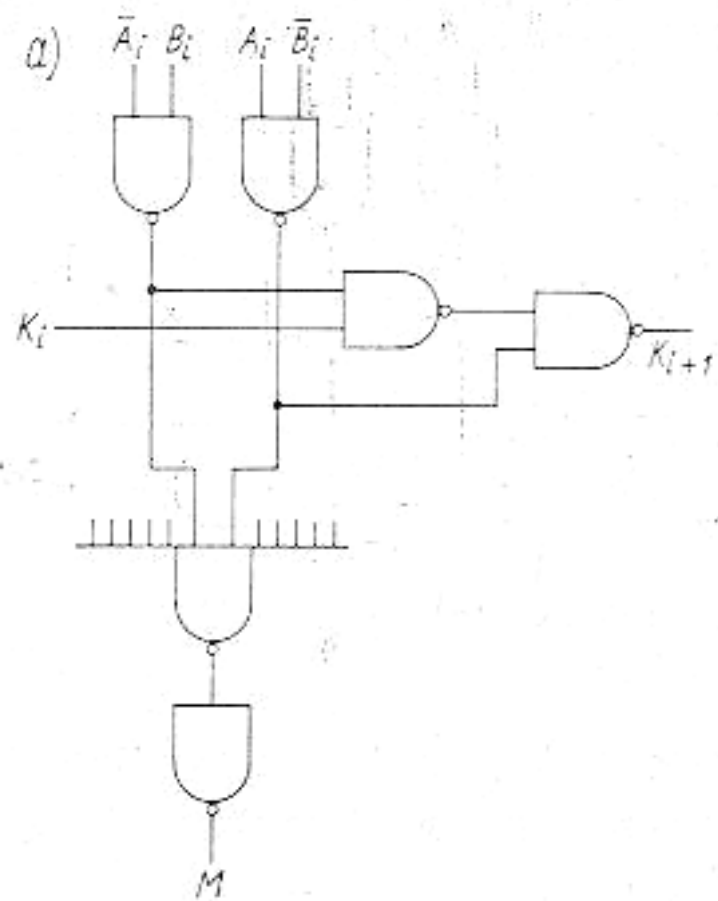
*Realizacja komparatora kaskadowego*



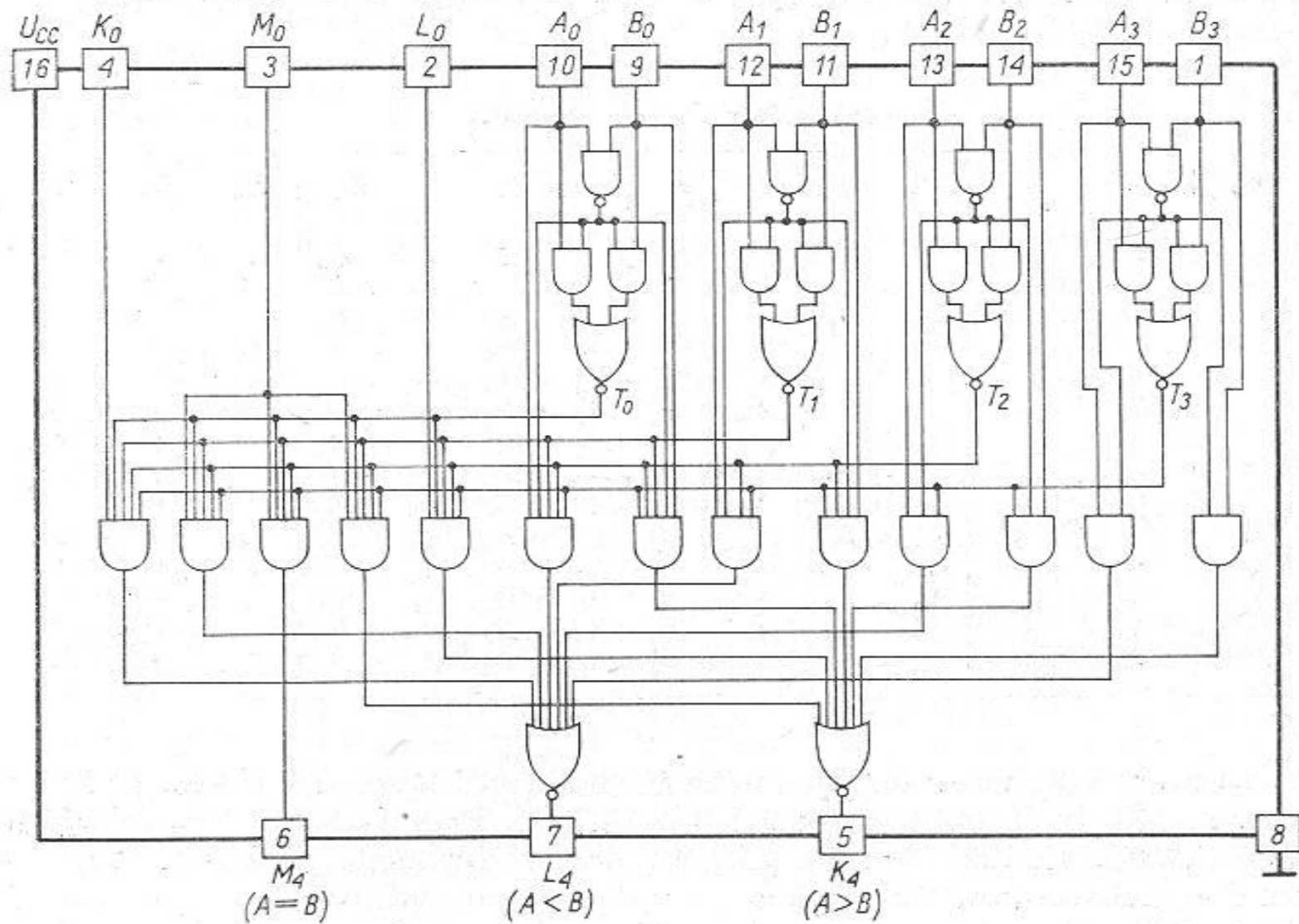
## Komparatory kaskadowo – równoległe

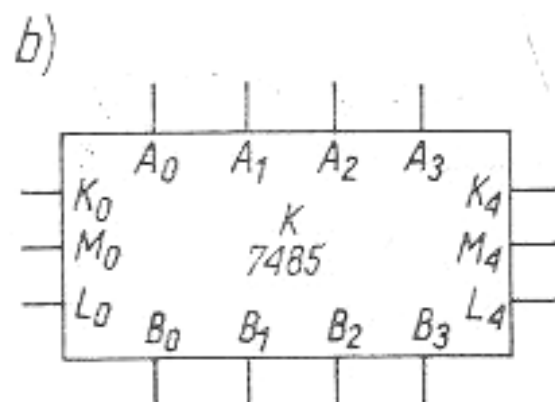
Istnieje tylko jedno przeniesienie (np.  $K_i$ ), natomiast sygnał M wskazujący na równość porównywanych liczb jest tworzony równoległe (wszystkie bity są badane jednocześnie)

$$\begin{aligned} M &= (A_{n-1} \cdot B_{n-1} + \overline{A_{n-1}} \cdot \overline{B_{n-1}}) \dots (A_i \cdot B_i + \overline{A_i} \cdot \overline{B_i}) \dots (A_0 \cdot B_0 + \overline{A_0} \cdot \overline{B_0}) = \\ &= (A_{n-1} + \overline{B_{n-1}}) \cdot (\overline{A_{n-1}} + B_{n-1}) \dots (A_i + \overline{B_i}) \cdot (\overline{A_i} + B_i) \dots (A_0 + \overline{B_0}) \cdot (\overline{A_0} + B_0) \end{aligned}$$

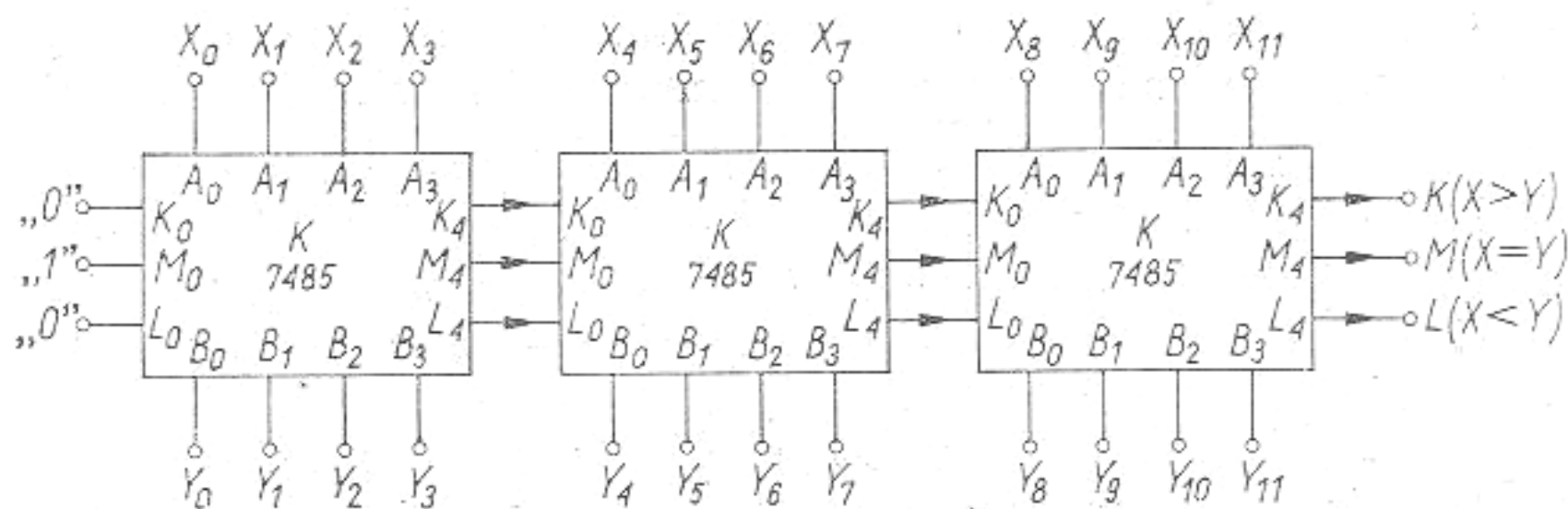


## Komparator równoległy.





Rys. 3.157. Komparator równoległy 1485: a) schemat; b) symbol



Rys. 3.158. Kaskadowe łączenie modułów komparatora

