

中国科学技术大学
2016 学年春季学期期末考试试卷

课程名称: 计算机体系结构 课程代码: 011135

开课院系: 计算机科学与技术学院 考试形式: 闭卷

姓名: 学号:

计算机体系结构量化研究
2016

1、(10 分) 已知循环展开技术有利于编译器进行静态指令调度, 进而提高指令的并行性。但是循环展开的次数并不能是无限的, 试说明为什么 (给出两条理由)。

2、(10 分) 试从检测和解决 RAW, WAW, WAR 相关的角度, 说明 Tomasulo 算法和 Scoreboard 算法的异同点。

3、(10 分) Alpha21264 动态分支预测采用竞赛预测器 (Tournament predictor), 通过由全局预测器和局部预测器竞赛来预测分支的方向。已知全局预测器的全局历史表 4K 个条目 (entries), 由最近 12 次分支的结果来选择某一条目, 每个条目是标准的 2-bit 预测器。局部预测器由两级预测器构成, 其中上层是一个由 1024 个 10-bit 的条目构成的局部历史表, 每个条目表示最近 10 次该分支的转移历史, 然后根据所选择的条目内容再从 1024 个条目中选择一个 3-bit 饱和预测器来做出预测。竞赛预测器使用 4K 个 2-bit 计数器来对全局预测器和局部预测器的预测结果进行选择。试画出 Alpha21264 竞赛预测器的原理图, 并计算该预测器所占用的存储空间大小。
112.

4、(15 分) 通常我们用 R_{∞} , $N_{1/2}$ 和 N_v 来衡量向量处理器的性能。

(1) 试解释这三个参数的具体含义。

(2) 已知 DAXPY 问题 ($Y = a \times X + Y$) 采用向量处理机模型编程, 运行在 VMIPS 机器上。假设 $MVL=64$, $T_{loop}=15$, $T_{start}=49$, $\overbrace{T_{chime}=3}$, VMIPS 的主频为 500MHz。试计算 R_{∞} , $N_{1/2}$ 和 N_v 。

5、(15 分) 在 CRAY-1 机器上, 按照链接方式执行下述 4 条向量指令 (括号中给出了相应功能部件时间), 如果向量寄存器和功能部件之间的数据传送需要 1 拍, 试画出链接方式的流水线示意图, 并求此链接流水线的通过时间是多少拍? 如果向量长度为 64, 则需多少拍才能得到全部结果。

$V_0 \leftarrow$ 存储器 (从存储器中取数: 7 拍)

$V_2 \leftarrow V_0 + V_1$ (向量加: 3 拍)

$V_3 \leftarrow V_2 \ll A_3$ (按 (A_3) 左移: 4 拍)

$V_5 \leftarrow V_3 \wedge V_4$ (向量逻辑乘: 2 拍)

6、(10 分) 已知两个带有高速缓存的处理器 P1 和 P2, 经单总线与共享内存相连。X 和 Y 是属于同一块的两个变量, Z 是另一块的变量。系统初始状态为: P1 和 P2

读取变量 X, Block (X, Y) 表示一个 Cache 块, 且该块包含 X 和 Y 变量。试基于表 1 所示的第一列的读写顺序, 写策略为写回 (write back) 法, 基于作废的三态协议 (MSI), 填写表 1 空白, 以说明该访问序列引起的状态转移, 填写失效的种类 (真共享失效/假共享失效/其他失效/无失效), 填写失效时提供数据块的实体 (存储器/P1 或 P2 的本地 Cache)。

表 1 MSI 状态转移及共享失效的种类

读写请求	P1Cache 块状态	P2Cach 块状态	产生的总线事务	失效种类及说明	提供数据块的实体
初始态	Shared (X, Y)	Shared(X, Y)	---	---	---
P1: Write X	Modified(X, Y)	I(X, Y)	BusRdX		Mem
P2: Read Y	Modified(X, Y)	S(X, Y)	BusRd		Mem.
P1: Write X	Modified(X, Y)	M(X, Y)			
P2: Read X					
P1: Read Z					
P2: Read Z					

7、(10 分) 已知两处理器通过互连网络与共享内存相连。考虑表 2 中的两线程并行执行, 试问在顺序同一性模型下, 执行结果 (r1 和 r2 的值) $(r1, r2) = (0, 0)$ 是否可能, 请说明理由。X86 和 SPARC 使用 write buffer 技术, 满足 Total Store Ordering (TSO) 模型, 试问在 TSO 模型下, 两线程的执行结果 $(r1, r2) = (0, 0)$ 是否可能, 请说明理由。

~~在顺序同一性模型下, Y1 和 Y2 肯定不会同时为 0. 最多只能有一个 0.~~

Core C1	Core C2	Comment
S1: x = NEW; L1: r1 = y;	S2: y = NEW; L2: r2 = x;	/*Initially x=0&y=0, NEW 不为 0 */

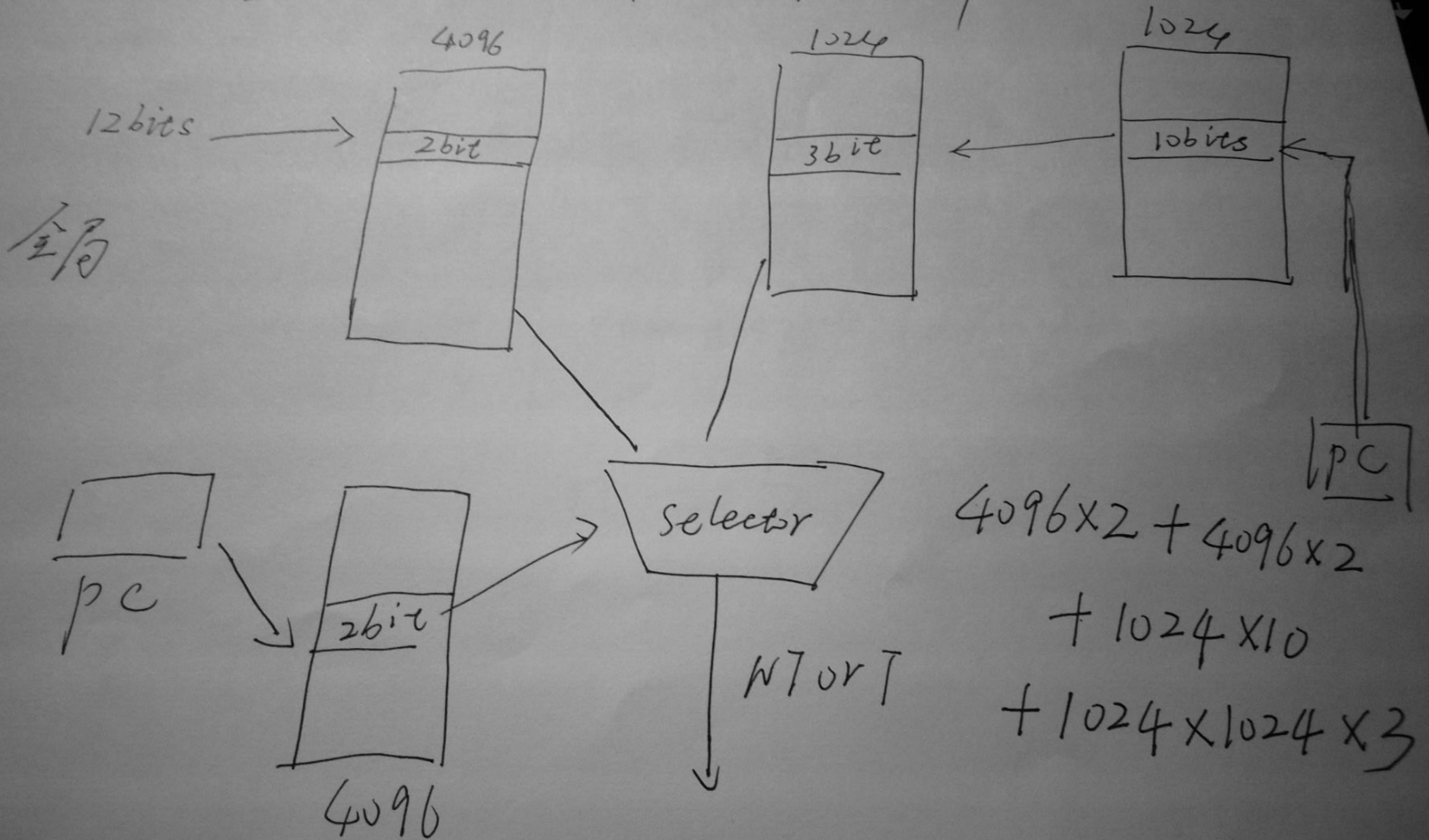
8、(10 分) 已知三个带有高速缓存的处理器, 经互连网络与共享内存相连。考虑表 3 中的三个进程, 试说明如果写操作的原子性得不到保证, 就有可能无法保证顺序同一性, 使得输出结果为 (A=0, B=1)。

表 3 写操作原子性对顺序同一行的重要性示例

P1	P2	P3
A = 1; —————	→ while (A==0); B=1; —————	→ While (B==0); Print A;

9、(10 分) SPARC-V9 的 ISA 中, 提供了 MEMBAR 指令 (Memory Barrier)、以及包含多个存储器操作的原子指令 (例如: Compare and Swap)。试说明原因。

$$3. \quad 2^{12} = 4 \times 1024 = 4k \quad \therefore k = 1024$$



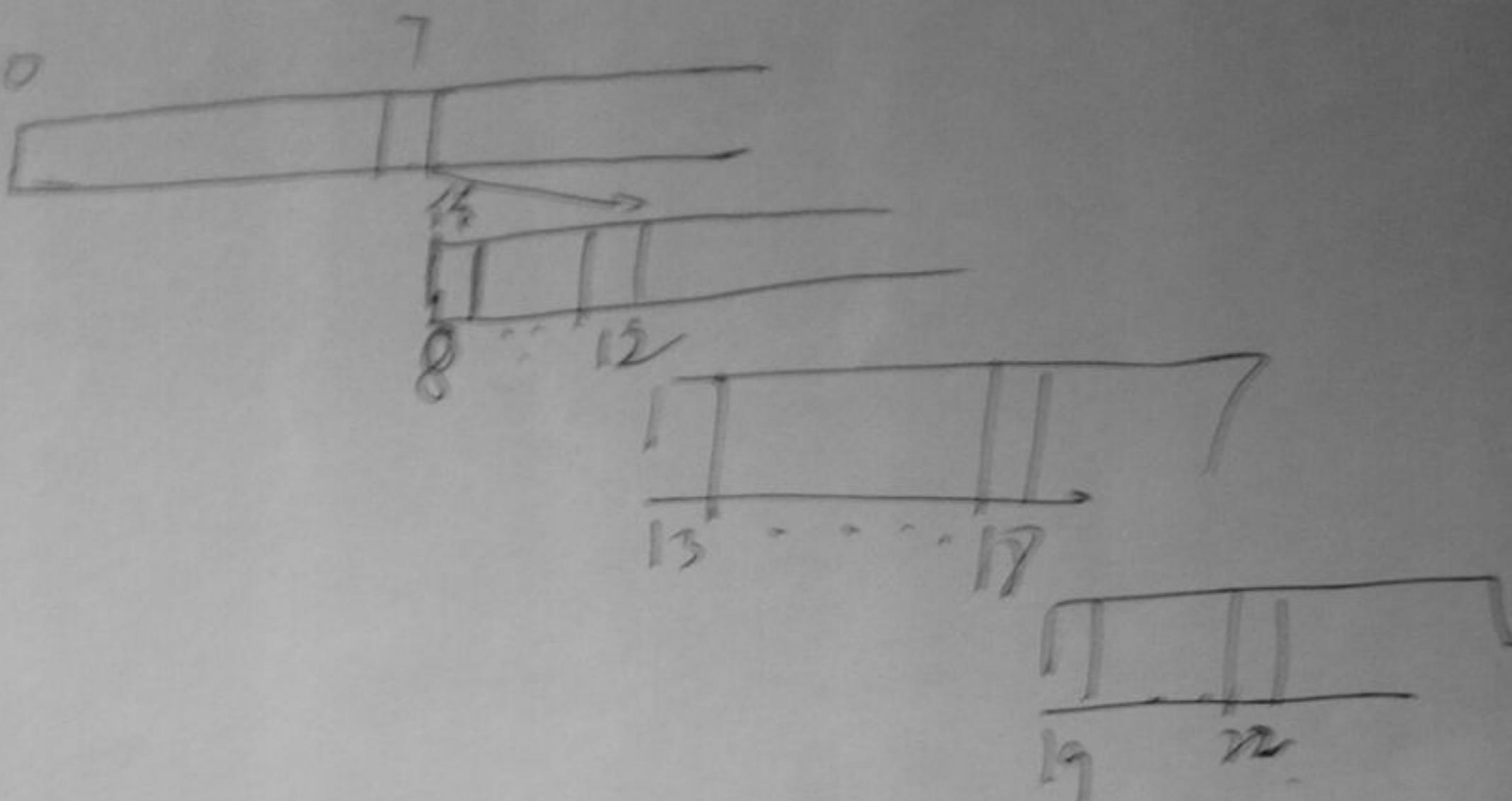


中国科学技术大学

University of Science and Technology of China

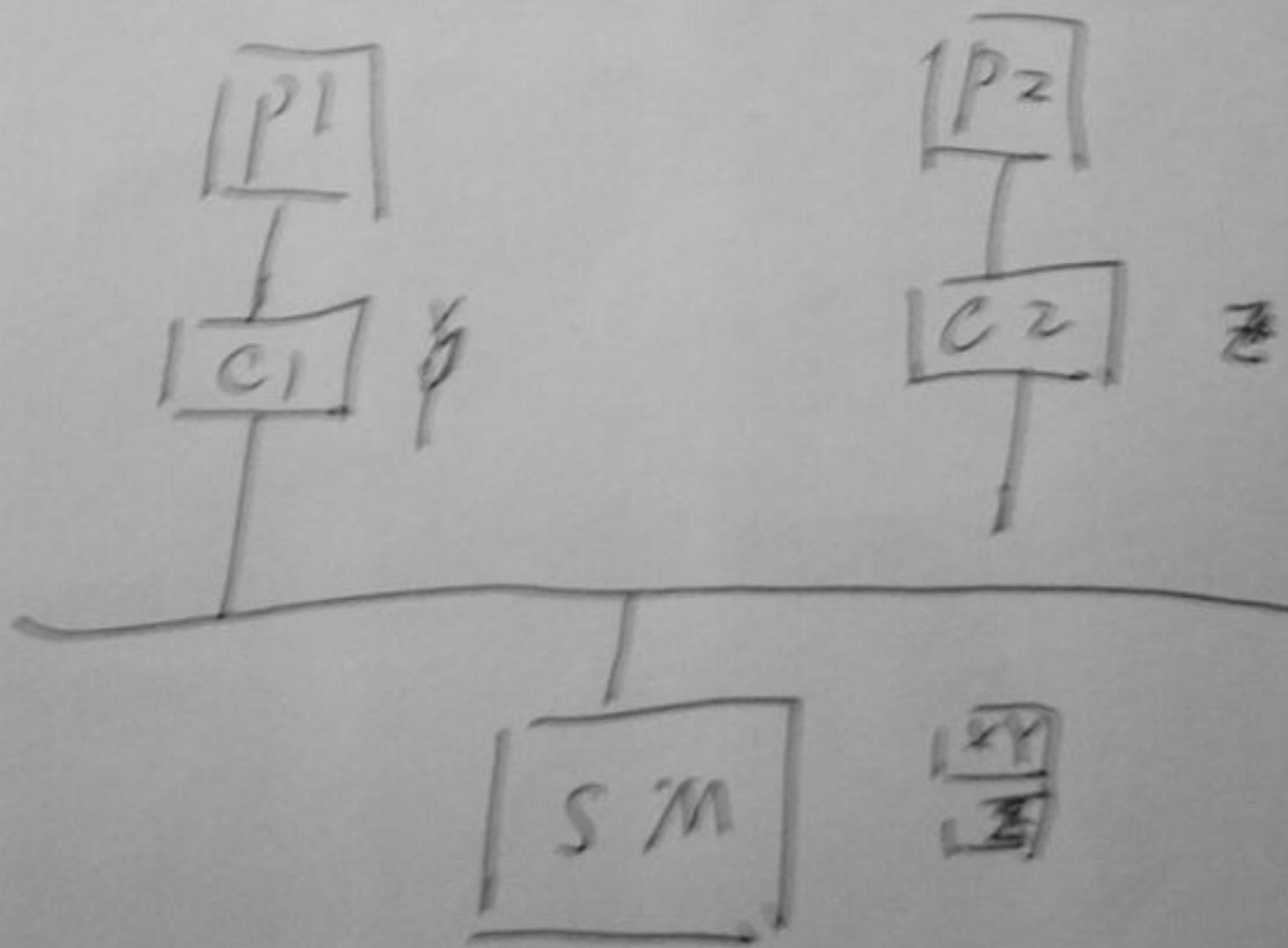
地址：中国 安徽 合肥市金寨路96号 邮编：230026
电话：0551-63602384 传真：0551-63601769 http://www.ustc.edu.cn

5. 0



6. 第 22 + 63 = PS 报 结束。

6.



M(x,y)	I(x,y)	BusRdy		MEM
S(x,y)	S(x,y)	Flush	假	PI cache



中国科学技术大学

University of Science and Technology of China

地址：中国安徽合肥市金寨路96号 邮编：230026
电话：0551-63602184 传真：0551-63631760 Http://www.ustc.edu.cn

4. ① R_∞ 当向量长度无穷大时，向量流水线最大性能 Mflops

N_1 达到 $\frac{1}{2}R_\infty$ 时 向量长度

N_V 向量流水线速度大于标量串行方式时 向量长度临界值

$$\textcircled{2} \quad T_n = \left\lceil \frac{n}{64} \right\rceil \times (15 + 49) + 3n$$

$$T_1 = \frac{T_n}{n} = 1 + 3 = 4 \text{ cycle} = 4 \times \frac{1}{5 \times 10^8}$$

$$R_\infty = 2 \times \frac{5 \times 10^8}{4} = 250 \text{ MFLOPS}$$

$$N_1: T_1 = 8 \text{ cycle}$$

$$\left\lceil \frac{n^2}{64} \right\rceil \times 64 + 3n = 8n$$

$$\left\lceil \frac{n}{64} \right\rceil \times 64 = 5n$$

$$\therefore n = \frac{64}{5} = 12.8$$

$$\therefore n = 13$$

$$N_V: \left\lceil \frac{n}{64} \right\rceil \times 64 + 3n = 18 + 15n$$

$$n = 5$$