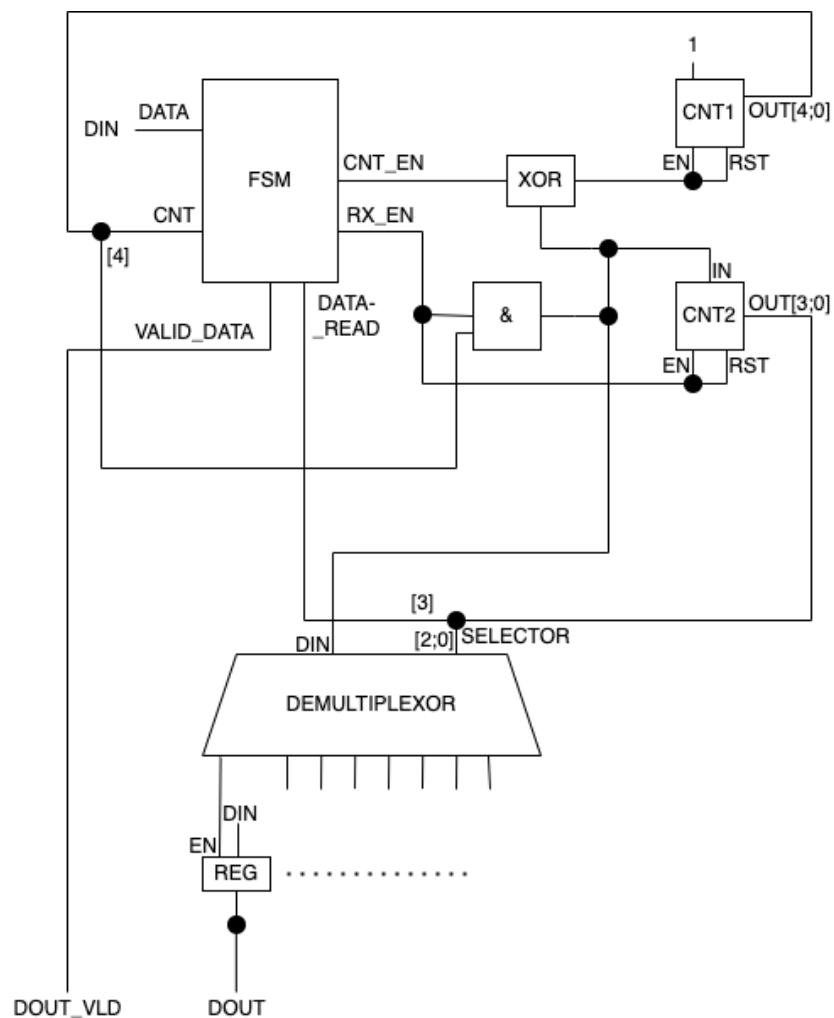


Michael Babušík  
xbabus01

## Architektura navrženého obvodu (na úrovni RTL) Schéma obvodu

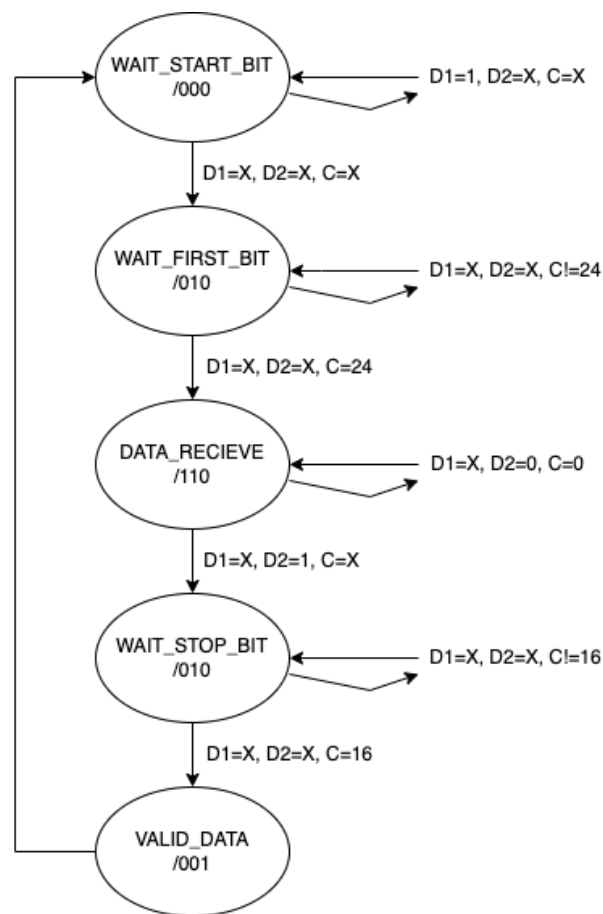


### Popis funkce

Obvod čeká na **start\_bit**, poté čeká 24 CLK, což počítá CNT1, a dostane se do prostředku prvního bitu a postupně CNT2 počítá 16 CLK a posunuje se v mid. bitech. Jednotlivé bity pomocí demultiplexoru vypisuje do registrů, z registru jdou data na DOUT. Za posledním bitem následuje **stop\_bit**. Platnost datového slova na portu DOUT je potvrzen DOUT\_VLD.

## Návrh automatu (Finite State Machine)

### Schéma automatu



### Vstupy:

D1 = DATA  
D2 = DATA\_READ  
C = CNT1

FSM je složen z 5 stavů:

WAIT\_START\_BIT  
WAIT\_FIRST\_BIT  
DATA\_RECIEVE  
WAIT\_STOP\_BIT  
VALID\_DATA

### Moorovy výstupy:

RX\_EN  
CNT\_EN  
VLD

### Popis funkce

Ve stavu WAIT\_START\_BIT automat čeká na příchod start bitu (log 0), přechází do stavu WAIT\_FIRST\_BIT. Počká, dokud není v mid. bitu a přepne se to stavu DATA\_RECIEVE, kde čte data, jakmile automat přečte 8 bitů, dostane se do WAIT\_STOP\_BIT, kde počká 8 hodinových signálů a přejde do stavu VALID\_DATA, kdy je nastaven signál platnosti z něhož při dalším hodinovém signálu přechází do stavu WAIT\_START\_BIT

