

2018-2019 学年第 1 学期

2017 级《计算机组成原理 A/B》

期末考试试题(A 卷)

考试时间：2019 年 1 月 7 日

班级 _____ 学号 _____ 姓名 _____

- ◇ 请将答案写在答题纸上，写明题号，不必抄题，字迹工整、清晰；
- ◇ 请在答题纸和试题纸上都写上你的班级，学号和姓名，交卷时请将试题纸、答题纸和草纸一并交上来。

一、选择题（10 分，每小题 2 分）

1. 下面不属于计算机系统结构中的 8 个伟大思想的是（ ）：
A. 通过流水线提高性能 B. 采用多核程序设计
C. 采用二进制表示 D. 高级程序语言不必关心底层硬件细节
2. 关于硬盘与主存，一般情况下错误的描述是[]。
A. 主存速度快 B. 磁盘容量更大 C. 硬盘价格更低 D. 都是存储介质
3. 下面属于非易失性存储器的是（ ）：
A. SRAM B. DRAM C. CD-ROM D. Cache
4. 现有 32 位单精度 IEEE754 格式的浮点数 7F800000H (H 表示 16 进制数)，请问其含义是[]。
A. 正无穷 B. 0 C. 1×2^{127} D. 1×2^{128}
5. CPU 能够理解的命令是[]。
A. C 语言 B. 高级语言 C. 汇编语言 D. 指令

二、简答题（15 分，每小题 3 分）

1. 解释保护位、舍入位、粘贴位的作用。
2. 阐述冯诺依曼理论三个要点。
3. 简述一个 C 语言程序转换为可执行程序 4 个步骤。
4. 解释程序具有的局部性。
5. 阐述硬件设计的三个基本原则。

三、计算题（25 分）

1. IEEE754 计算。（10 分）

已知 $A = -5.25$, $B = 7.125$, 二者都是 IEEE754 单精度格式的浮点数, 求 $A - B = ?$ 要求将 A、B 表示成 IEEE754 的个时候进行计算, 写出计算步骤, 并且将计算结果转化成 16 进制表示。

2. 计算机性能。（15 分）

设基本 CPI 为 1.0, 主存访问时间为 100ns, 其中包含缺失处理时间, 下表是 P1, P2 的处理器一级 cache 的数据:

	一级 cache 容量	一级 cache 缺失率	一级 cache 命中时间
P1	1KB	2.5%	0.2ns
P2	2KB	2%	0.25ns

问题:

- (1) 假设一级 cache 的命中时间决定了 P1 和 P2 的周期时间, 分别求 P1、P2 的时钟频率。
- (2) 分别求 P1 和 P2 的 CPI。
- (3) 如果 P2 执行某段程序用时 10 秒钟, 求它的指令数。
- (4) 在 P1 中增加二级 cache, 以弥补一级 cache 容量的限制。

二级 cache 容量	二级 cache 缺失率	二级 cache 访问时间
512KB	0.5%	5ns

增加二级 cache 后, 求 P1 的 CPI 是多少? 性能提升了多少?

四、综合题（50 分）

1、流水线（15 分）

采用教材中给定的流水线, 包含 IF、ID、EX、MEM、WB 共 5 段, 假设流水线能够执行以下指令:

```
LW    $1, 20($2)
SUB    $2, $1, $3
ADD    $0, $1, $2
SW     $2, 100($0)
ADD    $1, $2, $3
```

请分析这些指令在采用硬件转发结果的前提下，流水线各段中的执行情况，画出上述指令能正确执行的流水线时空图（在图中标出转发），并计算吞吐率和加速比。

2、（15 分）

采用教材中给定的 MIPS 指令格式，已知如下二进制数列：

A: 0010 0001 0011 0011 1011 0000 0010 0000

B: 0000 1010 1011 0010 1010 1101 0111 0110

C: 0001 0110 1011 0011 0010 1101 0111 0010

D: 1000 1101 1001 0000 0000 0000 0000 0100

寄存器 PC: 0000 0011 1011 0001 1000 0010 1101 1100,

一段内存：

内存地址	内存数据	内存地址	内存数据
.....
30H	30H	14H	14H
.....	13H	13H
24H	24H	12H	12H
.....	11H	11H
20H	20H	10H	10H

假设寄存器 \$t0 到 \$t7 的寄存器号为 8~15，所存初始数据大小为各自寄存器号，\$s0~\$s7 的寄存器号为 16~23，所存初始数据为各自寄存器号的 2 倍。

1. 若 A 是 addi 指令，则 A 中的目的寄存器名是什么、执行该指令后其中所存数据是什么？
2. 若 B 是跳转指令，则跳转到的地址是多少？
3. 若 C 是 bne 指令，则目的地址是多少？
4. 若 D 是 LW 指令，根据 PC 寄存器内容取出该指令并执行，请写出目标寄存器的名称和内容。
5. 若 A 在 \$s0 中，读立即数 61(十进制)，lui \$s0,61 后 \$s0 的值是多少。

3、(20 分)

某计算机虚拟地址空间大小为 256MB，主存地址空间大小为 16MB，页面大小为 128KB；Cache 采用 2 路组相联映射方式，共 16 块；主存与 Cache 之间交换的块大小为 16 字（一个字四个字节）。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如下图所示，图中物理页号/磁盘地址及标记字段的内容为十六进制形式。请回答下列问题：

虚页号	有效位	物理页 / 磁盘地址	组号	有效位	标记	有效位	标记
0H	1	06H	0	1	0200 H	0	---
1H	1	04H	1	0	---	1	0251H
2H	1	15 H	2	1	04C0 H	1	032EH
3H	1	02 H	3	1	01D2 H	0	---
4H	0	---	4	1	0640 H	1	00CDH
5H	1	28 H	5	1	04DA H	1	0D7FH
6H	0	---	6	0	---	0	---
7H	1	32 H	7	1	07AB H	1	0020H
...					
15H	0	...					
16H	1	23H					

页表的内容

cache 的部分内容

- 1) 虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示物理页号？
- 2) 使用物理地址访问 Cache 时，给出物理地址的划分格式。
- 3) 使用虚拟地址 002C050H 访问时，能否从 Cache 中读取到数据？要求给出推导过程。
- 4) 假定为该机配置一个全相联的 TLB，该 TLB 共可存放 4 个页表项，若其采用 LRU 替换算法，当前内容如下图所示，此时依次访问虚拟地址 027BAC0H 和 0110140H，问接下来继续访问 02A0020H 所在的页面是否在主存中？要求说明理由。

有效位	脏位	引用位	标记	物理页面地址
1	1	1	6F3H	3FH
1	0	0	025H	08H
1	1	1	09EH	1DH
1	1	0	008H	07H

TLB 内容