# CIRCUITOS LOGICOS DIGITALES



Universidad Peruana de Ciencias Aplicadas

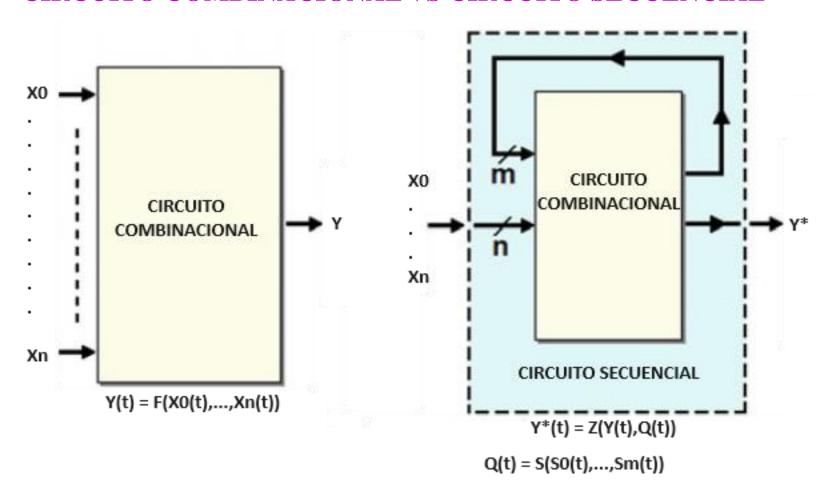
**Laureate International Universities®** 

### CIRCUITOS SECUENCIALES

CICLO ACADÉMICO: 2024-I

#### INTRODUCCIÓN

#### CIRCUITO COMBINACIONAL VS CIRCUITO SECUENCIAL



#### INTRODUCCIÓN

TIPOS DE CIRCUITOS DIGITALES

#### CIRCUITOS COMBINACIONALES

Circuitos donde la salida depende únicamente de sus entradas actuales o las que se reciben en un determinado momento. Es decir, es un circuito donde la salida es una función sólo de sus entradas actuales sin tener en cuenta ningún estado anterior de este.

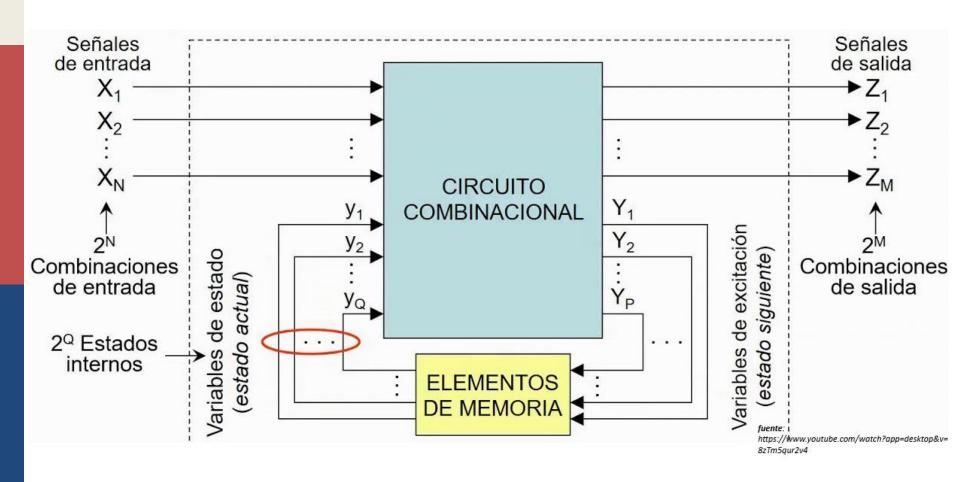
#### CIRCUITOS SECUENCIALES

Circuitos donde la salida depende de las entradas actuales y también de los estados previos (que pueden cambiar con el tiempo) ya que incluyen elementos de memoria los cuales permiten que estos circuitos recuerden los estados anteriores y así empleen también esa información para generar la salida actual.

#### CIRCUITOS SECUENCIALES – DEFINICIÓN

Los circuitos digitales secuenciales son un tipo de circuito electrónico que se caracteriza por tener elementos de memoria (denominados como elementos Biestables(bi: dos, estables: estados estables) con el propósito de almacenar y manipular la información en secuencia. Están diseñados para realizar operaciones y tareas que requieren un control temporal y secuencial. Por ese motivo; sus salidas dependen de las entradas actuales y también de los estados almacenados en los elementos de memoria (estados anteriores). Así que un sistema secuencial debe tener la capacidad de recordar o memorizar.

## ESTRUCTURA DE UN CIRCUITO SECUENCIAL



#### BIESTABLES – DEFINICIÓN

Un circuito digital **biestable**, es un tipo de multivibrador que tiene la capacidad de almacenar y retener 1 de 2 estados posibles (0 o 1 lógico) hasta el momento que se aplique una señal de control adecuado para cambiar su estado.

Se puede construir mediante puertas lógicas (NAND, NOR, etc.) interconectadas de manera específica.

Los diferentes tipos de biestables que existen ofrecen características y capacidades muy particulares que les permite adaptarse a diferentes aplicaciones de circuitos secuenciales.

#### **BIESTABLES – CARACTERÍSTICAS**

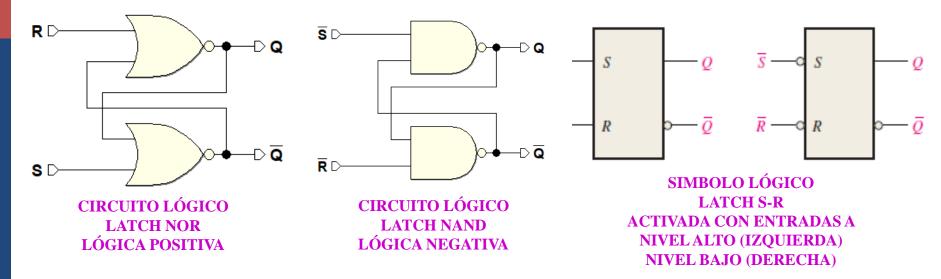
- Capacidad para almacenar un bit de información: células elementales de memoria de un circuito secuencial.
- Pueden adoptar 2 estados estables: '0' y '1'.
- En el caso de los biestables, su salida y estado coinciden.
- Clasificación:
  - De acuerdo con la existencia o inexistencia de la señal de control o disparo adecuados para cambiar su estado:
    - Asíncronos, sin señal de control: Latches o Cerrojos.
    - Síncronos, con señal de control (p.e., un pulso de reloj): Flip-Flops o básculas.
  - De acuerdo con el tipo de señal de control o disparo para cambiar su estado\*\*\*\*
  - \*\*\*\*Aplicable sólo para el Flip-Flop.
    - Disparados por nivel-activo (mediante un nivel alto o bajo)
    - Disparados por flancos o transiciones (ascendente o descendente).

#### BIESTABLES – CARACTERÍSTICAS SEGÚN LA SEÑAL DE CONTROL O DISPARO

- Biestables asíncronos (sin señal de control) Latches o cerrojos:
  - Sus salidas responden ante todas las variaciones de sus entradas.
- Biestables síncronos (con señal de control) Flip Flops o básculas:
  - Sus salidas responden sólo cuando se recibe la señal de control.
    - <u>Disparados por nivel-activo</u>: Sus salidas responden a **todas** las variaciones de sus entradas sólo cuando las señales de disparo se encuentra en el nivel activo.
    - Disparados por flancos o transiciones: Las salidas responden a todas las variaciones de las entradas en el instante que se producen los disparos en los flancos o transiciones. Aunque varíe el valor de las entradas, el valor de su salida se mantendrá hasta el siguiente flanco.
      - Flancos de subida o ascendente.
      - Flancos de bajada o descendente.

# BIESTABLES ASINCRONOS – LATCH (CERROJO) TIPO S-R (SET-RESET) – DEFINICIÓN.

- <u>Un Latch o cerrojo S-R con entradas bajo lógica positiva (entradas activas a nivel alto)</u> puede construirse utilizando 2 puertas NOR interconectadas como se muestra en el circuito lógico.
- Un Latch S-R con entradas bajo lógica negativa (entradas activas a nivel BAJO) puede construirse utilizando 2 puertas NAND interconectadas como se muestra en el circuito lógico.
- Observe que la salida de cada puerta lógica se conecta a la entrada de la otra puerta lógica. Esto origina un **realimentación** (*feedback*) regenerativa o positiva que caracteriza a los Latches y Flip-Flops.

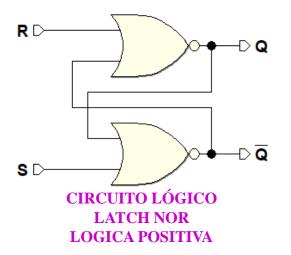


# BIESTABLES ASINCRONOS – LATCH (CERROJO) TIPO S-R (SET-RESET) – FUNCIONAMIENTO.

- Las 2 entradas de un biestable SR ó RS van a realizar las siguientes acciones (opuestas) cuando son activadas:
- $\square$  R(reset, restablecer): poner la salida a cero ( $Q=0, \bar{Q}=1$ )
- S(set, establecer): poner la salida a uno  $(Q = 1, \bar{Q} = 0)$
- Si ninguna de las entradas está activa, el biestable mantendrá el mismo valor de salida de la salida previa (esto es para el caso de un Latch NOR)
- En el caso en que ambas entradas se activen de forma simultánea (R=S=0 o R=S=1), las salidas complementarias Q y  $\bar{Q}$  tomarán el mismo valor (continuará ...)

#### BIESTABLES ASINCRONOS – LATCH (CERROJO) TIPO S-R (SET-RESET) CONSTRUIDO CON NOR - CARACTERÍSTICAS

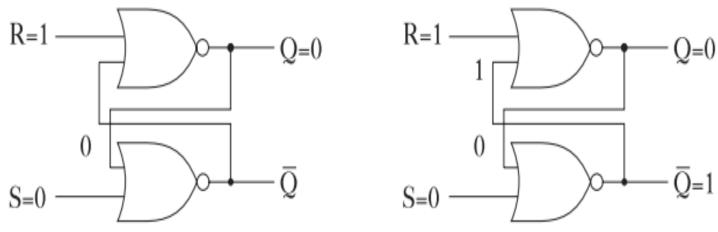
(continua...) para que se de este caso, las 2 entradas R y S deberán estar activas a nivel alto (1), ya que, como se puede deducir rápidamente de la tabla de verdad de la puerta NOR, siempre que una de las entradas sea 1, la salida será siempre 0 (independientemente del valor de la segunda entrada).



A	B	NOR
0 0	0	1
<b>1</b> 0	1	0
2 1	0	0
3 1	1	0

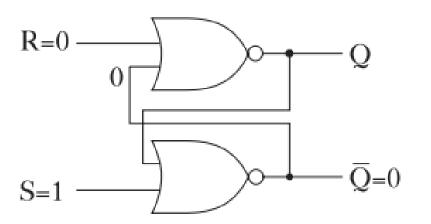
TABLA DE VERDAD PUERTA NOR

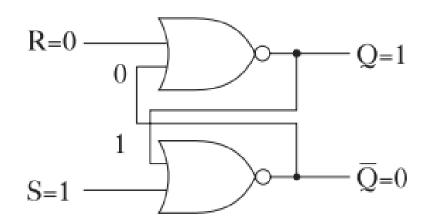
□ <u>CASO 1</u>: Si se activa RESET (R = 1, S = 0) la salida será siempre cero (Q = 0). La puerta NOR que tiene a  $\bar{Q}$  como salida tendrá 2 ceros en sus entradas por lo que  $\bar{Q}$  será 1.



CIRCUITO LÓGICO LATCH NOR CUANDO R=1, S=0 O=0, O'=1

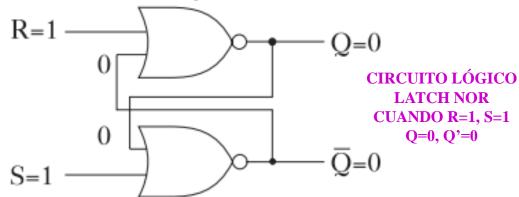
□ <u>CASO 2</u>: Si se activa SET mientras RESET está desactivada (S = 1, R = 0) entonces  $\bar{Q}$  siempre será cero (0). La puerta NOR que tiene a Q como salida tendrá 2 ceros como entradas con lo que su salida (Q) será 1.



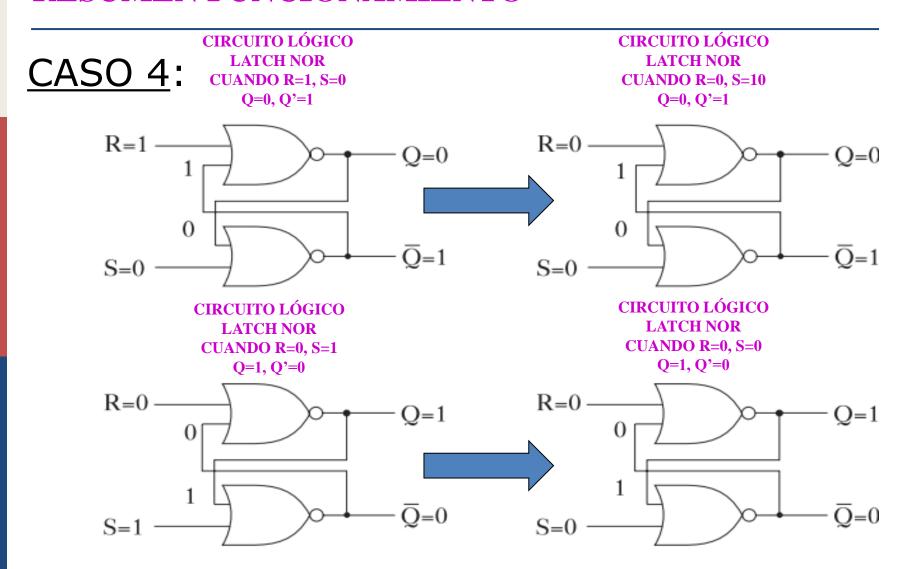


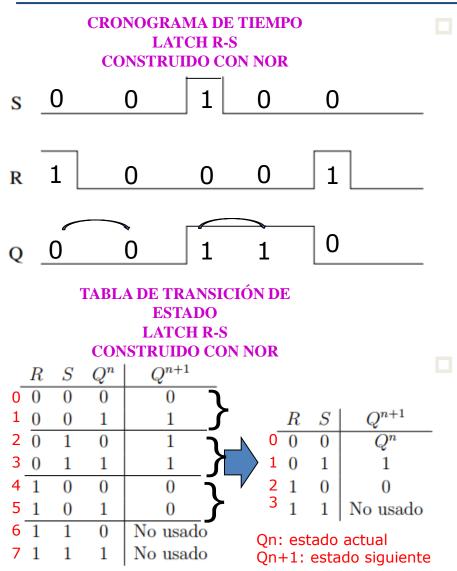
CIRCUITO LÓGICO LATCH NOR CUANDO R=0, S=1 Q=1, Q'=0

□ <u>CASO 3</u>: Si RESET y SET se activan (R = 1, S = 1) generará que (Q = 0,  $\bar{Q} = 0$ ). Esta configuración normalmente no se usa porque generalmente nos interesará que Q y  $\bar{Q}$  tengan valores complementarios sin embargo, el hecho de que las salidas se llamen Q y  $\bar{Q}$  no significa que una es la negada de la otra, depende de cada caso.



 $\square$  CASO 4: Si R=0, S=0. En esta situación el valor de las salidas de las 2 puertas NOR no está determinada por estas entradas, sino por el valor de los lazos de realimentación que provienen de las salidas Q y  $\bar{Q}$ . En este caso, será posible que el Latch mantenga la configuración de uno de los 2 posibles resultados. Esto dependerá del valor previo de los lazos de realimentación y, por tanto, de todas las entradas anteriores.

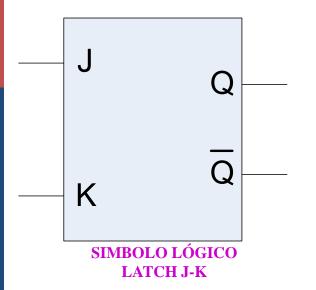




- Cuando R y S están inactivas el LATCH R-S mantiene la configuración que se obtuvo en la operación previa. Así que, en general, podemos indicar que el estado siguiente (Qn+1) será igual al estado actual (Qn).
- De esta manera se almacena un bit de información (1 si previamente se activo SET ó 0 si previamente se activo RESET).

# BIESTABLES ASINCRONOS – LATCH (CERROJO) TIPO J-K – CARACTERÍSTICAS

El LATCH J-K se diferencia del LATCH R-S en que el LATCH J-K elimina de su tabla de transición el caso no usado y lo reemplaza por el caso Toggle en donde se da la conmutación del estado anterior  $(\overline{Q_t})$ 



#### TABLA DE TRANSICIÓN DE ESTADO LATCH J-K

	2111 011 0 11			
	J	K	<b>Q</b> t	<b>Q</b> <sub>t+1</sub>
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
_		,		

J	K	Q <sub>t+1</sub>
0	0	Qt
0	1	0
1	0	1
1	1	Q <sub>t</sub> ′

Qt: estado actual Qt+1: estado siguiente

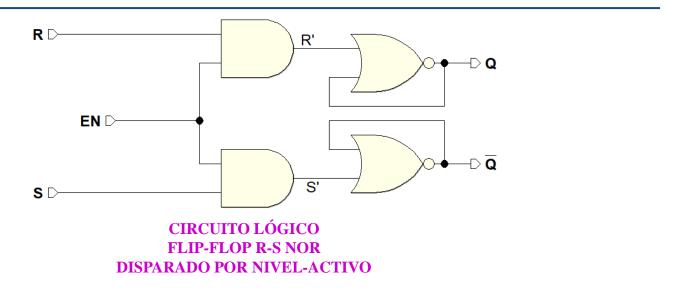
$$Q_{t+1} = \overline{K}Q_t + J\overline{Q_t}$$

#### BIESTABLES SINCRONOS – FLIP-FLOPS – DEFINICIÓN.

Los biestables sincrónicos o FLIP-FLOPS, son elementos de memoria que operan de manera sincronizada a causa de una señal de reloj. A diferencia de los biestables asincrónicos o LATCHES, que cambian su salida ante una variación de sus entradas; los biestables sincrónicos solo cambian su salida o estado sólo cuando detectan una señal de control o de disparo el cual puede ser por nivel activo o flanco/transición.

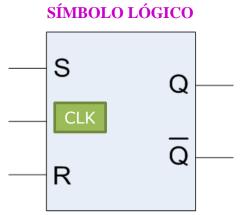
- Hasta el momento hemos descrito el funcionamiento de los biestables asíncronos (LATCH R-S & J-K).
- Sin embargo, en cualquier sistema digital secuencial que incluya cierta lógica combinacional junto con elementos biestables asíncronos; va a ser prácticamente imposible garantizar que las señales se presenten, exactamente, en los instantes de tiempo requeridos para realizar las operaciones lógicas de diseño; con lo cual hay alta probabilidad de perder fácilmente el control sobre el sistema. Hace falta un sincronismo.

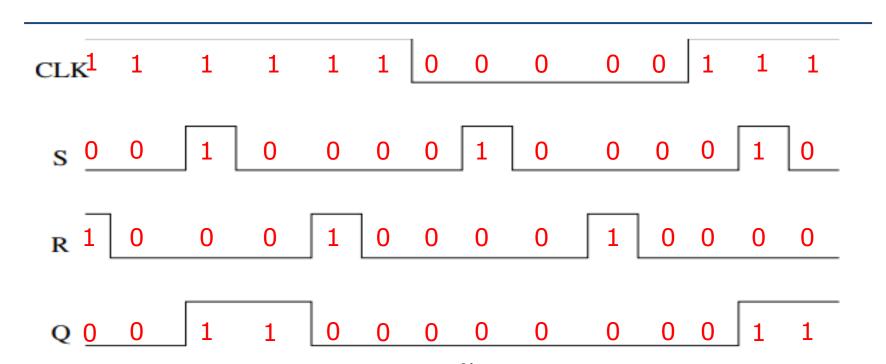
- Esta dificultad se supera integrando un elemento de sincronismo el cual supeditará los cambios de estado de los biestables asíncronos a la existencia de una señal externa de disparo que, usualmente, será común para todo el sistema.
- De esta forma, las señales de salida se sincronizarán con la señal de disparo externa y no dependerán de las transiciones de las señales de entrada de los biestables, generando, por lo tanto, un funcionamiento sincronizado.



- El FLIP-FLOP R-S sincronizado por **nivel activo** se compone de un LATCH R-S construido con puertas NOR, pero también integra 2 puertas AND en la entrada.
- La señal de control o disparo (EN o CLK) que realizará la sincronización ingresará sólo una de las 2 entradas de ambas puertas AND y las señales R y S ingresarán a las otras 2 entradas restantes.

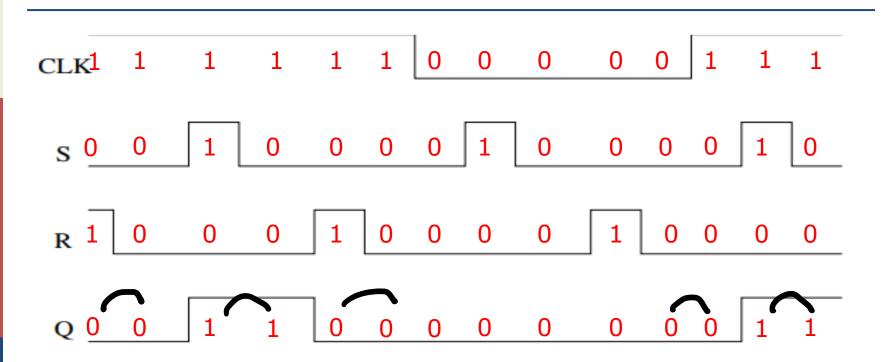
De esta manera, las entradas de las puertas NOR ( $\bar{R}$  y  $\bar{S}$ ) sólo estarán activas cuando la señal de control o de disparo este en alta (en este caso, señal de disparo de tipo nivel activo en alta); con lo el estado del FLIP-FLOP (FF) quedará definido por las señales de las entradas R y S, pero en transiciones que únicamente podrán ocurrir cuando la señal externa de activación lo permita. Este dispositivo es también conocido como FF-RS.





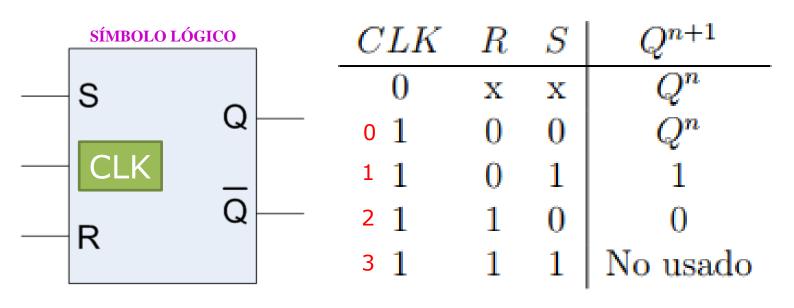
En este cronograma, la señal de control (*CLK*) que hemos introducido genera los siguientes comportamientos en el biestable:

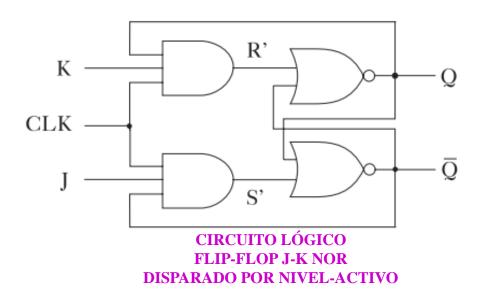
**CASO 1**: Cuando el reloj está inactivo (CLK = 0), el FLIP-FLOP mantiene su estado, independientemente de los valores de las señales R y S.



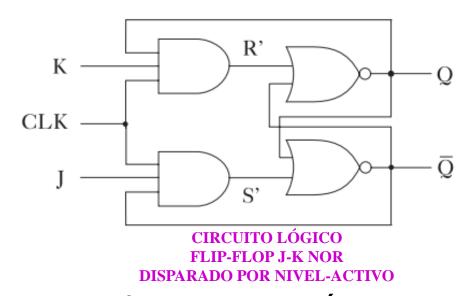
□ **CASO 2**: Cuando el reloj está activo (CLK = 1) entonces  $R = \overline{R}$  y  $S = \overline{S}$ , con lo cual el FLIP-FLOP funcionará como el LATCH R-S asíncrono.

#### TABLA DE TRANSICIÓN DE ESTADO FLIP FLOP R-S

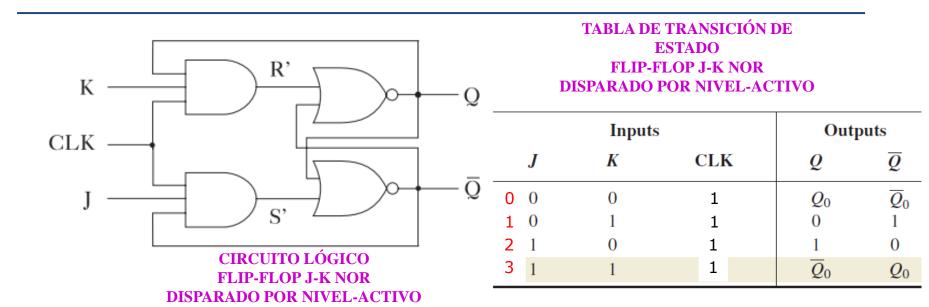




El FLIP-FLOP JK puede ser considerado como un FLIP-FLOP RS modificado donde el estado no usado especificado en la tabla de transición de estados del FF-RS queda perfectamente definido. Las entradas J y K se comportan como las entradas S y R del FF-RS; sin embargo, cuando estas se activan simultáneamente, el FLIP-FLOP JK conmuta al estado complementario del estado en que se encuentra.

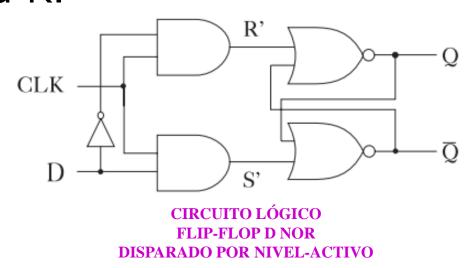


Cuando las entradas J y K están activas de forma simultánea, la salida que en ese momento se encuentre a 1 hace que la salida de la puerta AND asociada con esa salida se ponga a 1 (la salida de la otra puerta AND permanecerá en 0); esto hace bascular el FLIP-FLOP.



- Nótese que esta conexión de realimentación del FLIP-FLOP JK ocasiona que, si la señal CLK permanece a 1 (cuando J = K = 1), se producirán transiciones de forma continua produciendo un estado final que no podremos predecir al momento de deshabilitar el CLK del FLIP-FLOP JK.
- Para evitar esto se deben diseñar FLIP-FLOPS más complejos que, en vez de dispararse con un nivel-activo alto, se disparen en las transiciones o flancos (ascendentes/descendentes) del CLK.

- El FLIP-FLOP tipo D disparado por nivel-activo alto es también considerado como un FF-RS modificado.
- La entrada D se conecta con la entrada S del FF-RS, y el complemento de D se conecta con la entrada R.



El nombre de FLIP-FLOP tipo D (FF-D) se debe a su capacidad para transferir datos desde su línea de entrada (D) a su salida, siempre que exista una señal de disparo. Cuando D es 0, se activa  $\bar{R}=1$  y Q=0; mientras que, cuando D es 1, se activa  $\bar{S}=1$  y Q=1. En ambos casos, el valor de la entrada se transmite a la salida.

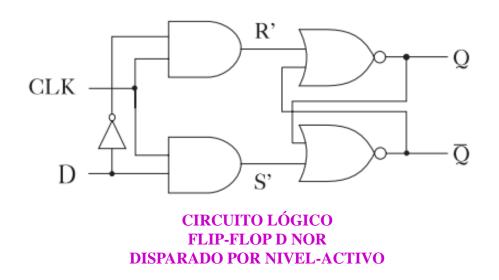
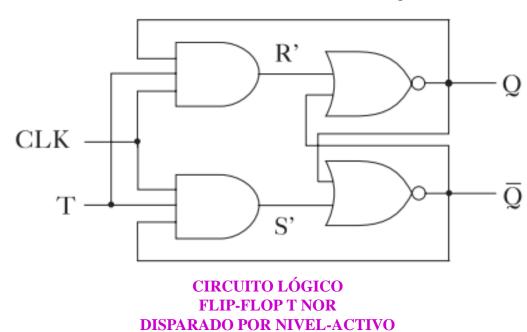


TABLA DE TRANSICIÓN DE ESTADO FLIP-FLOP D NOR DISPARADO POR NIVEL-ACTIVO

CLK	D	$Q^{n+1}$
0	$\mathbf{X}$	$Q^n$
0 1	0	0
1 1	1	1

- El FLIP-FLOP tipo T es una versión simplificada del FLIP-FLOP JK.
- Se obtiene directamente del JK conectando la entrada T con las entradas J y K.



- La designación T para este FLIP-FLOP es a consecuencia del cambio de estado que se da en este flip-flop ( $Toggle\ o\ basculación$ ). Cuando T=1, entonces J=K=1 y el flip-flop cambiará de estado (cambiará de estado indefinidamente mientras el CLK sea 1).
- Cuando T = 0, entonces J = K = 0 y el FLIP-FLOP permanece en el estado en el que se encontraba.

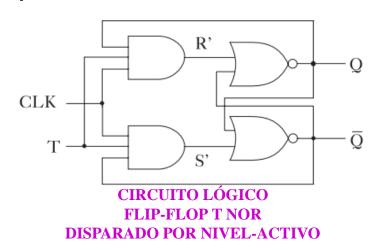
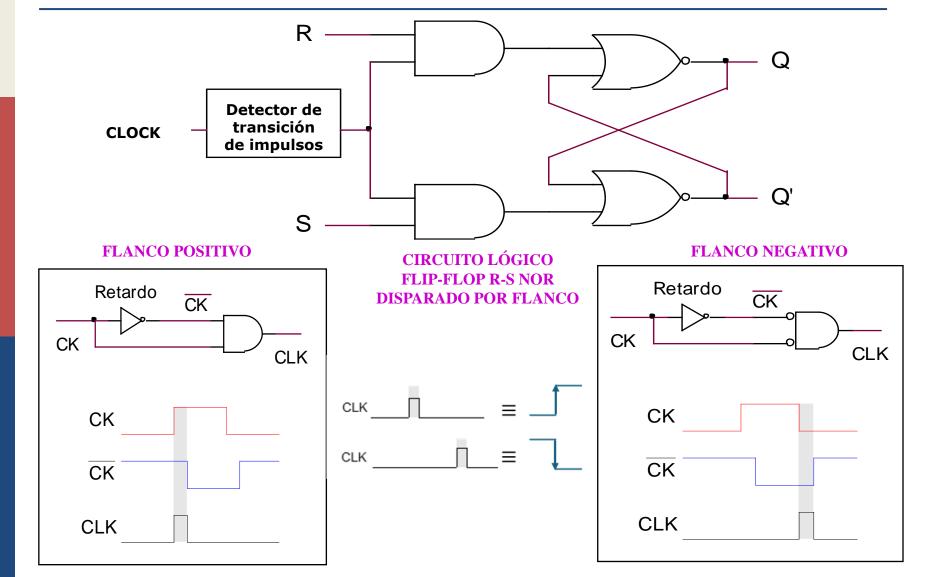


TABLA DE TRANSICIÓN DE ESTADO FLIP-FLOP T NOR DISPARADO POR NIVEL-ACTIVO

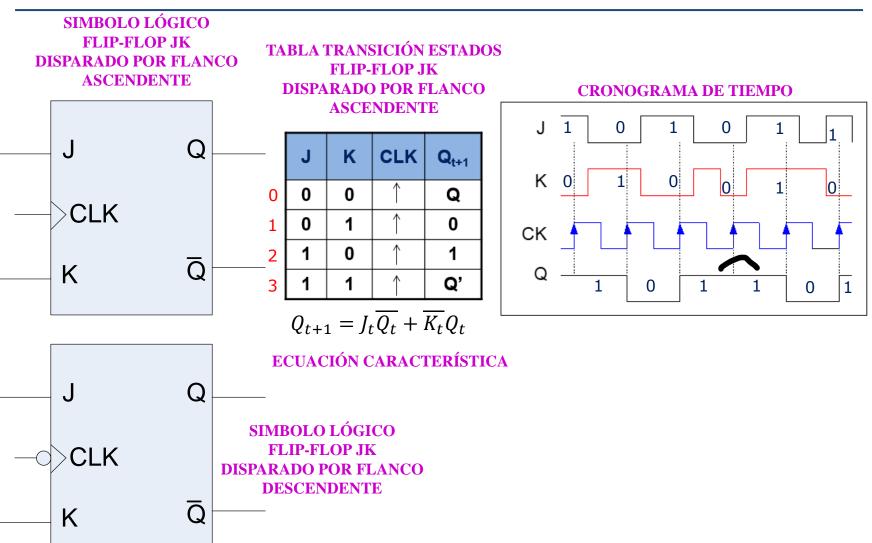
CLK	T	$Q^{n+1}$
0	X	$Q^n$
0 1	0	$Q^n$
1 1	1	$\overline{Q}^n$

	T	$Q^n$	$Q^{n+1}$
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

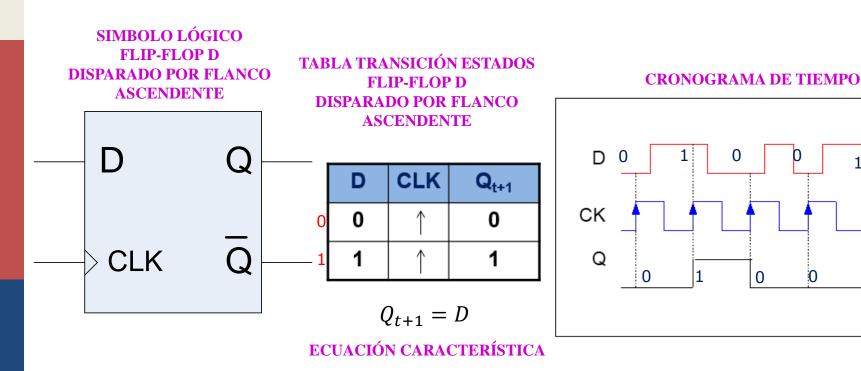
#### BIESTABLES SINCRONOS – FLIP-FLOP DISPARADOS POR FLANCO – CARACTERÍSTICAS



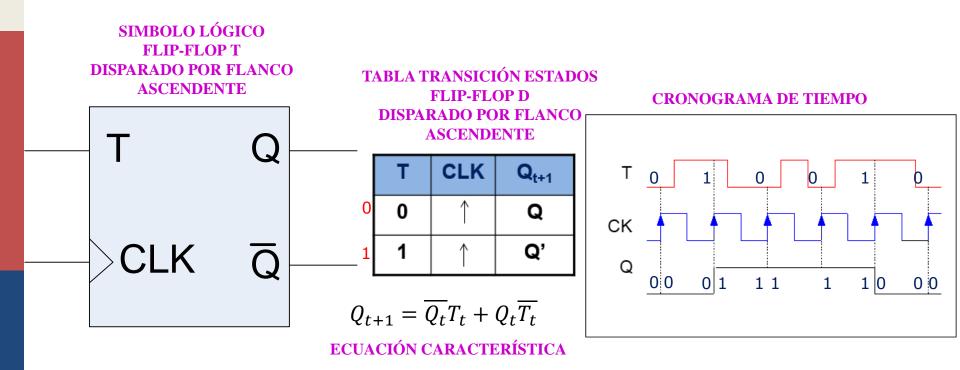
#### BIESTABLES SINCRONOS – FLIP-FLOP JK DISPARADOS POR FLANCO – FUNCIONAMIENTO



#### BIESTABLES SINCRONOS – FLIP-FLOP D DISPARADOS POR FLANCO – FUNCIONAMIENTO



#### BIESTABLES SINCRONOS – FLIP-FLOP T DISPARADOS POR FLANCO – FUNCIONAMIENTO



#### BIESTABLE SINCRONO CON ENTRADAS ASINCRONAS PRESET/CLEAR – FLIP-FLOP JK DISPARADOS POR FLANCO – FUNCIONAMIENTO

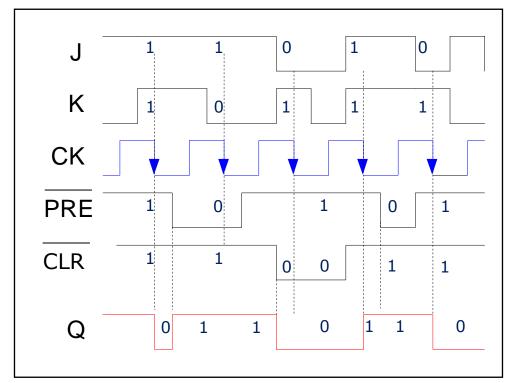
SIMBOLO LÓGICO
FLIP-FLOP JK
DISPARADO POR FLANCO
DESCENDENTE
PR

J Q

CLK

K Q'
CLR

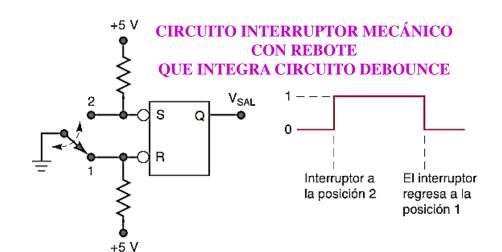
#### **CRONOGRAMA DE TIEMPO**



#### BIESTABLE ASINCRONO – LATCH RS – **APLICACIÓN**

☐ Circuito debounce (eliminador de rebote) en un interruptor mecánico mediante Latch RS.

> **CON REBOTE** SIN CIRCUITO DEBOUNCE +5 V Rebote aleatorio 5 V 2 ➤ V<sub>SAL</sub> Interruptor terminando la



Interruptor iniciando la

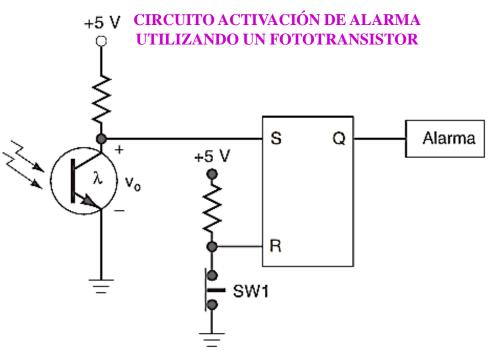
transición desde el punto 1 al punto 2

transición desde

el punto 1 al 2

### BIESTABLE ASINCRONO – LATCH RS – APLICACIÓN

□ Activación de una alarma por interrupción de un haz de luz.



### BIESTABLE SINCRONO – FLIP FLOP JK – APLICACIÓN

☐ Generador de secuencia.

