

CIRCUITOS LOGICOS DIGITALES



UNIVERSIDAD PERUANA DE CIENCIAS APLICADAS

Laureate International Universities®

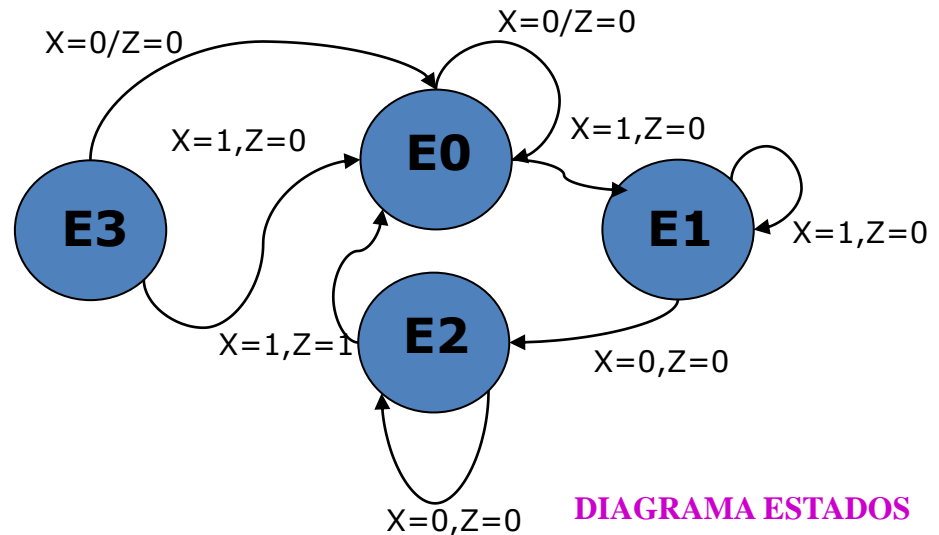
EJEMPLOS FSM MEALY – MOORE

CICLO ACADÉMICO: 2024-I

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

EJEMPLO-1: Diseñar un Sistema Secuencial Síncrono que permita detectar la secuencia de entrada en binario 101. Utilice FFs JK como elementos de memoria.

1. Realizar el diagrama de transición de estados teniendo en cuenta que la señal de entrada X ingresará los datos, que el sistema detectará, bit a bit.



SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

2. Determinar el número de FFs y el número de estados además definir el tipo de biestables y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS			
# ESTADOS	4		
# FF:	2		
CONDICIÓN	4	≤	4
MSB:	Q1(t)		
TIPO FF:	FF-JK		

LEYENDA	
Q1(t);Q0(t):	SALIDA DE BIESTABLES
X(t):	ENTRADA
S(t):	ESTADO ACTUAL
Z(t):	SALIDA

Q0(t)X(t)	CODIFICACIÓN ESTADO ACTUAL S(t)
00	Representa el E0 (Estado inicial, ningún bit en la entrada)
01	Representa el E1 (Se ha recibido un '1', MSB)
10	Representa el E2 (Se ha recibido la secuencia '01')
11	Representa el E3 (Se ha recibido la secuencia '101')

X(t)	CODIFICACIÓN ENTRADA X(t)
0	Mantiene E0, cambia E1 a E2, mantiene E2 y cambia E3 a E0
1	Cambia E0 a E1, mantiene E1, cambia E2 a E0 y cambia E3 a E0

Z(t)	CODIFICACIÓN SALIDA Z(t)
0	Cuando no detecta la secuencia '101'
1	Cuando sí detecta la secuencia '101'

NOTA: SALIDA Z(t) DEPENDE DEL ESTADO ACTUAL S(t) Y X(t)

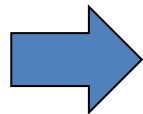
SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

3. Construir la tabla de transición de estados, tabla de excitación y tabla de la(s) salida(s) del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS										TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$								TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA ACTUAL $X(t)$					ESTADO SIGUIENTE $S(t+1)$													SALIDA ACTUAL $Z(t)$			
$S(t)$		$X(t)$								J1	K1	J0	K0								
Q1(t)	Q0(t)	X(t)	CLK		Q1(t+1)	Q0(t+1)												Z(t)			
E0	0	0	0	CLK1	E0	0	0			0	X	0	X					0			
E0	0	0	1	CLK2	E1	0	1			0	X	1	X					0			
E1	0	1	0	CLK3	E2	1	0			1	X	X	1					0			
E1	0	1	1	CLK4	E1	0	1			0	X	X	0					0			
E2	1	0	0	CLK5	E2	1	0			X	0	0	X					0			
E2	1	0	1	CLK6	E0	0	0			X	1	0	X					1			
E3	1	1	0	CLK7	E0	0	0			X	1	X	1					0			
E3	1	1	1	CLK8	E0	0	0			X	1	X	1					0			

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

4. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

J1

Q1(t) Q0(t) X(t) CLK	00	01	11	10
0	0	0	0	1
1	X	X	X	X
	0	0	0	0
	0	0	0	0

J0

Q1(t) Q0(t) X(t) CLK	00	01	11	10
0	0	1	X	X
1	0	0	X	X
	0	0	0	0
	0	0	0	0

K1

Q1(t) Q0(t) X(t) CLK	00	01	11	10
0	X	X	X	X
1	0	1	1	1
	0	0	0	0
	0	0	0	0

K0

Q1(t) Q0(t) X(t) CLK	00	01	11	10
0	X	X	0	1
1	X	X	1	1
	0	0	0	0
	0	0	0	0

$$J1 = Q0X' \quad Z(t) = Q1Q0'X$$

$$K1 = X + Q0$$

$$J0 = Q1'X$$

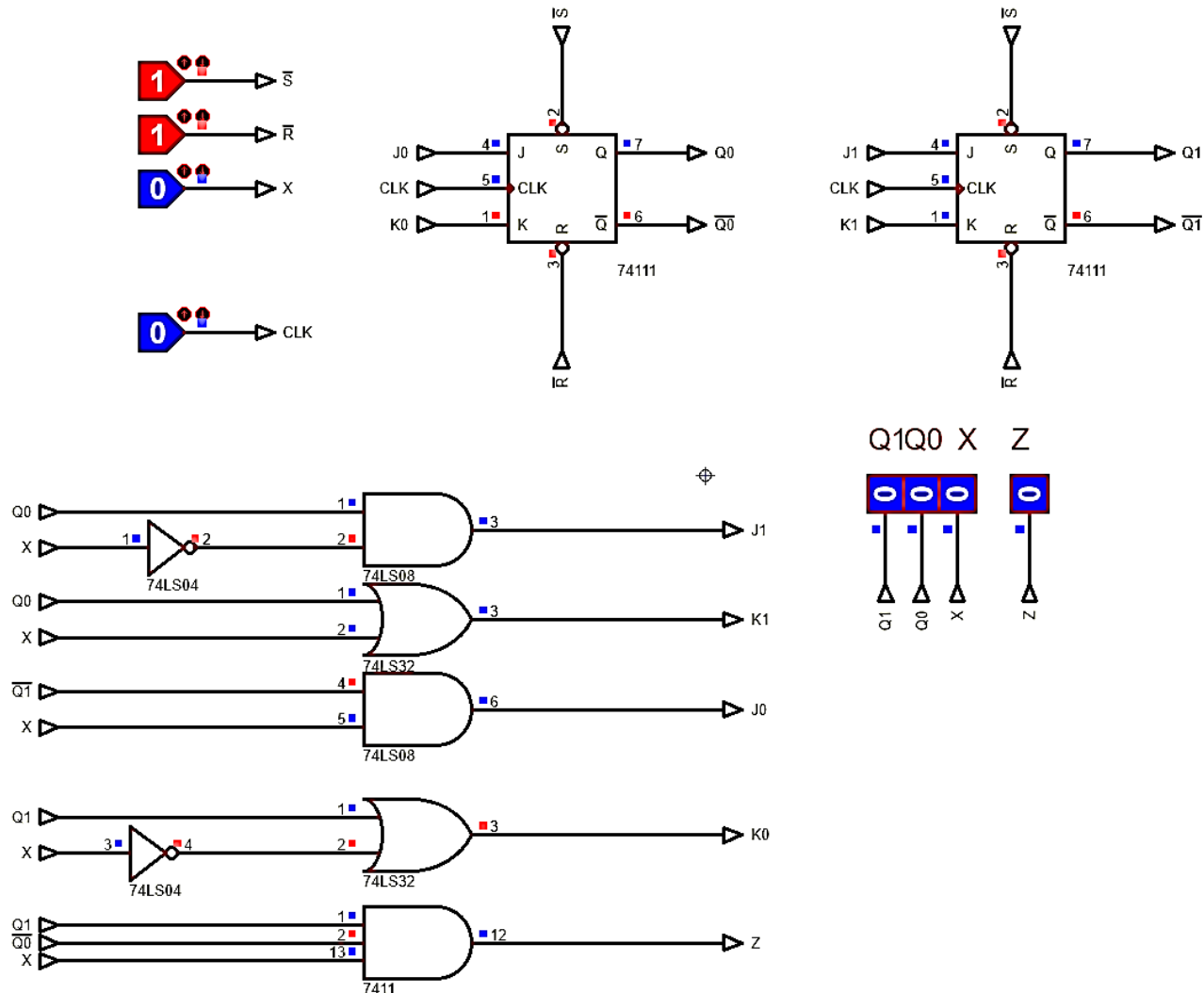
$$K0 = X' + Q1$$

Z(t)

Q1(t) Q0(t) X(t) CLK	00	01	11	10
0	0	0	0	0
1	0	1	0	0
	0	0	0	0
	0	0	0	0

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

5. Realizar el circuito lógico del sistema secuencial síncrono.



SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

EJEMPLO-2: Diseñar un sistema secuencial síncrono que permita detectar la secuencia de entrada en binario 1101 que ingresa desde el MSB hasta el LSB. Utilice FFs JK como elementos de memoria.

1. Realizar el diagrama de transición de estados teniendo en cuenta que la señal de entrada X ingresará los datos, que el sistema detectará, bit a bit.

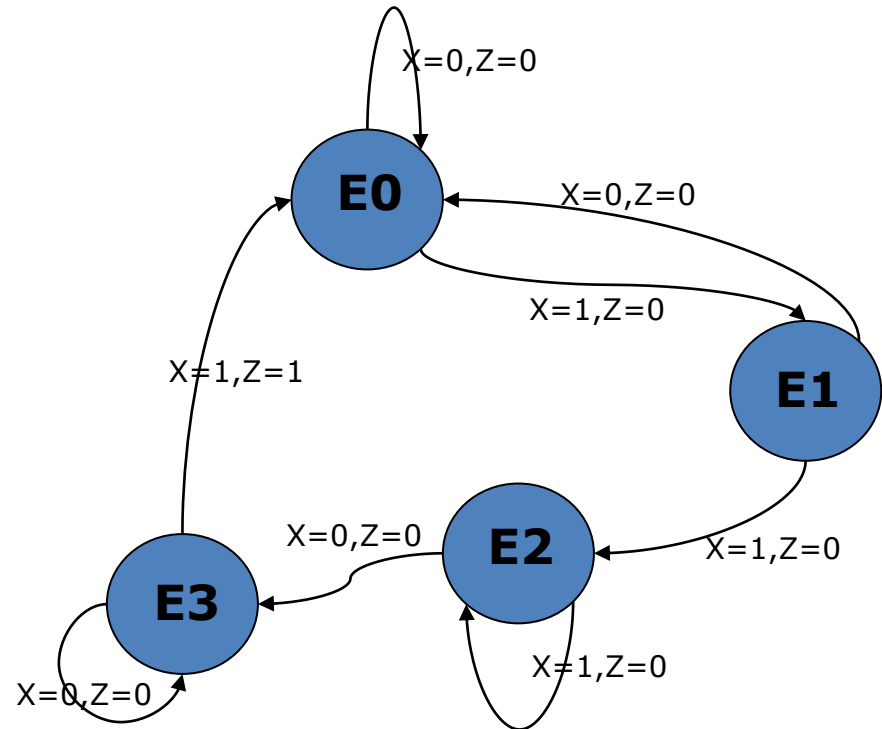


DIAGRAMA ESTADOS

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

2. Determinar el número de FFs y el número de estados además definir el tipo de biestable y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS	
# ESTADOS	4
# FF:	2
CONDICIÓN	4 ≤ 4
MSB:	X(t)
TIPO FF:	FF-JK

LEYENDA	
Q1(t);Q0(t):	SALIDA DE BIESTABLES
X(t):	ENTRADA
S(t):	ESTADO ACTUAL
Z(t):	SALIDA

Q1(t)Q0(t)	CODIFICACIÓN ESTADO ACTUAL S(t)
00	Representa el E0 (Estado inicial, ningún bit en la entrada)
01	Representa el E1 (Se ha recibido un '1', MSB)
10	Representa el E2 (Se ha recibido la secuencia '11')
11	Representa el E3 (Se ha recibido la secuencia '110')

X(t)	CODIFICACIÓN ENTRADA X(t)
0	Mantiene E0, cambia E1 a E0, E2 a E3 y mantiene E3
1	Cambia E0 a E1, E1 a E2, mantiene E2 y cambia E3 a E0

Z(t)	CODIFICACIÓN SALIDA Z(t)
0	Cuando no detecta la secuencia '1101'
1	Cuando sí detecta la secuencia '1101'

NOTA: SALIDA Z(t) DEPENDE DEL ESTADO ACTUAL S(t) Y X(t)

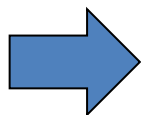
SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

3. Construir la tabla de transición de estados, tabla de excitación y tabla de la(s) salida(s) del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS										TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$								TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA $X(t)$					ESTADO SIGUIENTE $S(t+1)$													SALIDA $Z(t)$			
$S(t)$		$X(t)$								J1	K1	J0	K0								
$X(t)$	$Q1(t)$	$Q0(t)$	CLK		$Q1(t+1)$	$Q0(t+1)$												$Z(t)$			
E0	0	0	0	CLK1	E0	0	0			0	X	0	X					0			
E1	0	0	1	CLK2	E0	0	0			0	X	X	1					0			
E2	0	1	0	CLK3	E3	1	1			X	0	1	X					0			
E3	0	1	1	CLK4	E3	1	1			X	0	X	0					0			
E0	1	0	0	CLK5	E1	0	1			0	X	1	X					0			
E1	1	0	1	CLK6	E2	1	0			1	X	X	1					0			
E2	1	1	0	CLK7	E2	1	0			X	0	0	X					0			
E3	1	1	1	CLK8	E0	0	0			X	1	X	1					1			

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

4. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

J1

X(t) Q1(t) Q0(t) CLK	00	01	11	10
0	0	0	X	X
1	0	1	X	X
	0	0	0	0
	0	0	0	0

J0

X(t) Q1(t) Q0(t) CLK	00	01	11	10
0	0	X	X	1
1	1	X	X	0
	0	0	0	0
	0	0	0	0

K1

X(t) Q1(t) Q0(t) CLK	00	01	11	10
0	X	X	0	0
1	X	X	1	0
	0	0	0	0
	0	0	0	0

K0

X(t) Q1(t) Q0(t) CLK	00	01	11	10
0	X	1	0	X
1	X	1	1	X
	0	0	0	0
	0	0	0	0

$$J1 = XQ0$$

$$K1 = XQ0$$

$$J0 = X'Q1 + XQ1'$$

$$K0 = X + Q1'$$

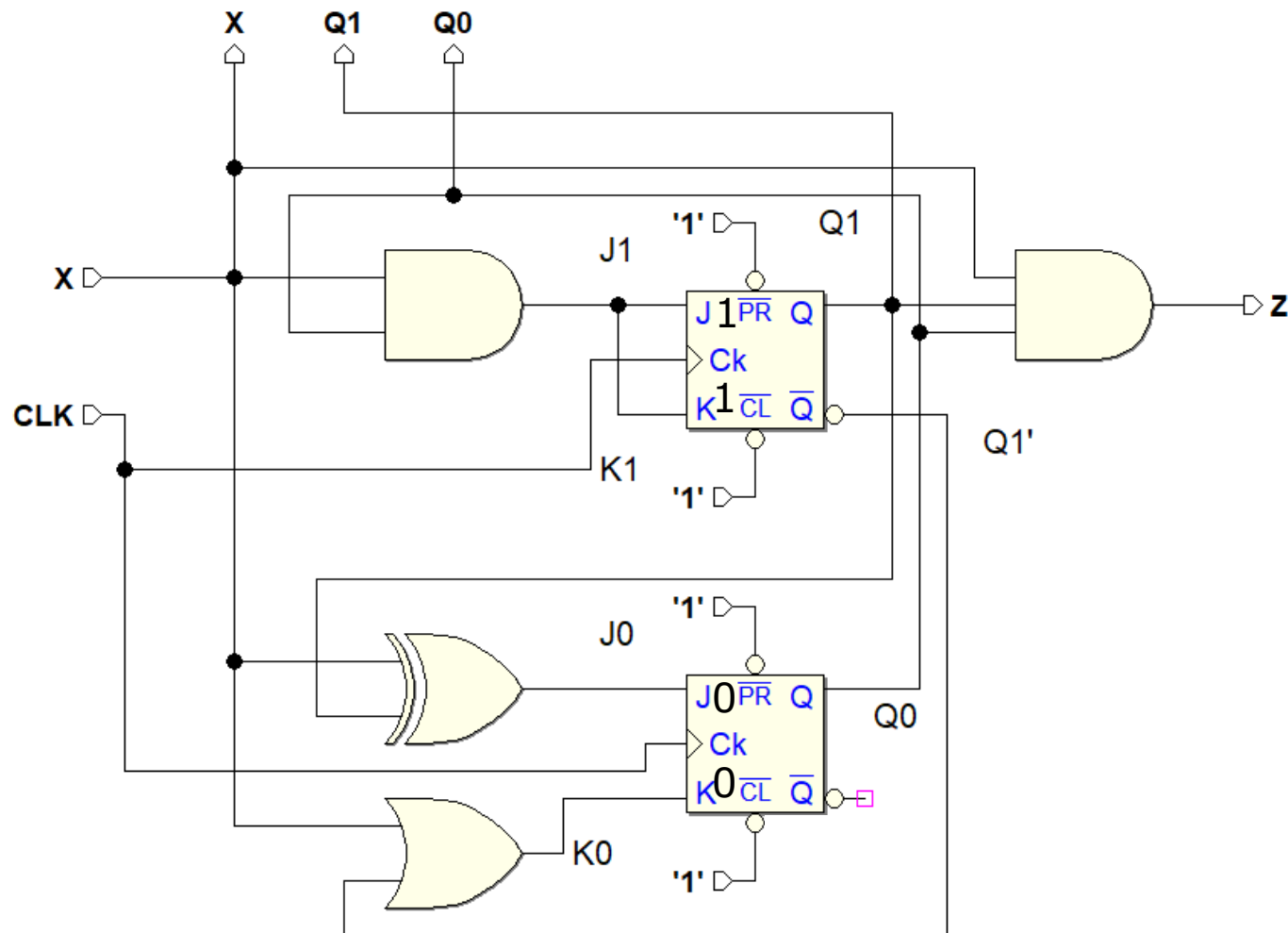
$$Z(t) = XQ1Q0$$

Z(t)

X(t) Q1(t) Q0(t) CLK	00	01	11	10
0	0	0	0	0
1	0	0	1	0
	0	0	0	0
	0	0	0	0

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

5. Realizar el circuito lógico del sistema secuencial síncrono.



SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

EJEMPLO-3: Diseñar un generador de secuencia. El generador en cuestión deberá proporcionar a su salida la secuencia 110010, desde el MSB hasta el LSB. Utilice FFs D como elementos de memoria.

1. Realizar el diagrama de transición de estados.

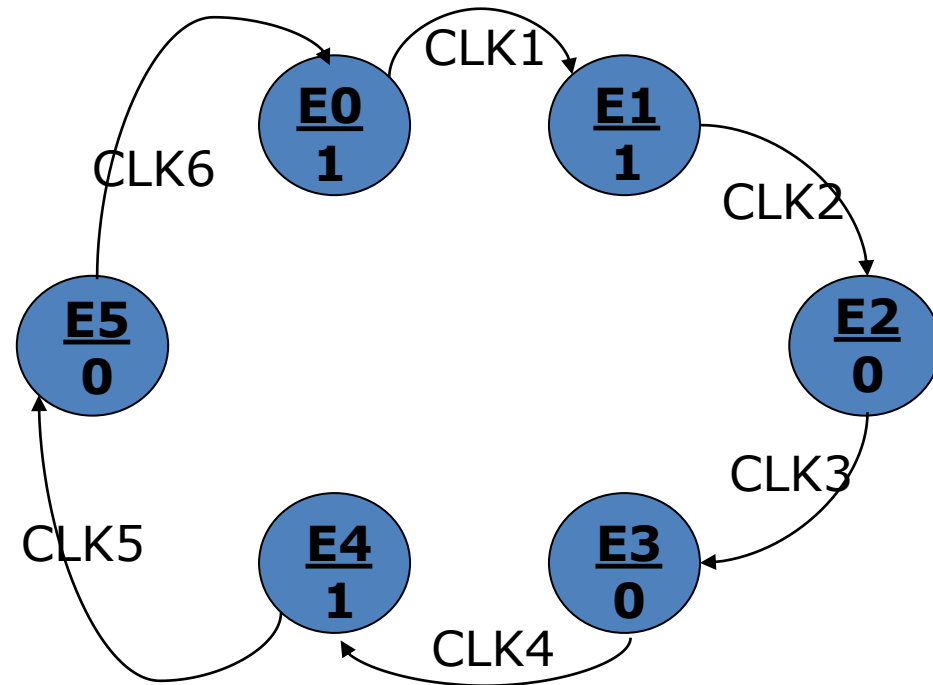


DIAGRAMA ESTADOS

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

2. Determinar el número de FFs y el número de estados además definir el tipo de biestable y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS	
# ESTADOS	6
# FF:	3
CONDICIÓN	6 ≤ 8
MSB:	Q2(t)
TIPO FF:	FF-JK

LEYENDA	
Q2(t);Q1(t);Q0(t):	SALIDA DE BIESTABLES
CLK:	ENTRADA
S(t):	ESTADO ACTUAL
Z(t):	SALIDA

Q2(t)Q1(t)Q0(t)	CODIFICACIÓN ESTADO ACTUAL S(t)
000	Representa el E0 (Estado inicial)
001	Representa el E1
010	Representa el E2
011	Representa el E3
100	Representa el E4
101	Representa el E5
110	Representa el E6
111	Representa el E7

CLK	CODIFICACIÓN ENTRADA X(t)
CLK1	Cambia E0 a E1
CLK2	Cambia E1 a E2
CLK3	Cambia E2 a E3
CLK4	Cambia E3 a E4
CLK5	Cambia E4 a E5
CLK6	Cambia E5 a E6
CLK7	Cambia E6 a un estado don't care EX
CLK8	Cambia E7 a un estado don't care EX

Z(t)	CODIFICACIÓN SALIDA Z(t)
0	Representa E2, E3 y E5
1	Representa E0, E1 y E4
X	Representa una salida don't care

NOTA: SALIDA Z(t) DEPENDE DEL ESTADO ACTUAL S(t)

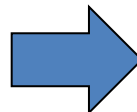
SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

3. Construir la tabla de transición de estados, tabla de excitación y tabla de la(s) salida(s) del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS										TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$								TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA $X(t)$					ESTADO SIGUIENTE $S(t+1)$													SALIDA $Z(t)$			
$S(t)$				$X(t)$						D2	D1	D0									
Q2(t)	Q1(t)	Q0(t)	CLK		Q2(t+1)	Q1(t+1)	Q0(t+1)											Z(t)			
E0	0	0	0	CLK1	E1	0	0	1		0	0	1						1			
E1	0	0	1	CLK2	E2	0	1	0		0	1	0						1			
E2	0	1	0	CLK3	E3	0	1	1		0	1	1						0			
E3	0	1	1	CLK4	E4	1	0	0		1	0	0						0			
E4	1	0	0	CLK5	E5	1	0	1		1	0	1						1			
E5	1	0	1	CLK6	E0	0	0	0		0	0	0						0			
E6	1	1	0	CLK7	EX	X	X	X		X	X	X						X			
E7	1	1	1	CLK8	EX	X	X	X		X	X	X						X			

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

4. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

D2					D0				
Q2(t)	Q1(t)	Q0(t)	CLK		Q2(t)	Q1(t)	Q0(t)	CLK	
0	0	0	1	0	0	1	0	0	1
1	1	0	X	X	1	1	0	X	X
	0	0	0	0		0	0	0	0
	0	0	0	0		0	0	0	0

D1				
Q2(t)	Q1(t)	Q0(t)	CLK	
0	0	1	0	1
1	0	0	X	X
	0	0	0	0
	0	0	0	0

$$D2 = Q2Q0' + Q1Q0$$

$$D1 = Q2'Q1'Q0 + Q1Q0'$$

$$D0 = Q0'$$

$$Z(t) = Q1'Q0' + Q2'Q1'$$

Z(t)				
Q2(t)	Q1(t)	Q0(t)	CLK	
0	1	1	0	0
1	1	0	X	X
	0	0	0	0
	0	0	0	0

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

5. Realizar el circuito lógico del sistema secuencial síncrono.

