

## CIRCUITOS LÓGICOS DIGITALES

### SEMANA 11

### MAQUINAS DE ESTADO

**Ejercicio 1:** Una máquina expendedora de galletas está controlada por un circuito secuencial como se muestra en la Fig.1. Dicho circuito recibe como entradas el código de 2 bits de las monedas que va introduciendo el usuario. En la tabla 1 se muestra la codificación de la entrada M de 2 bits. Como salidas, el circuito debe activar 2 señales, la primera señal define si se debe o no entregar la galleta (G), y la segunda señal define el cambio a reintegrar (C1 y C0). En las tablas 2 y 3 se muestran la codificación de las salidas G y C. El funcionamiento del circuito es el siguiente: el usuario debe introducir monedas hasta alcanzar la cantidad de 100, que será el precio de la galleta. Una vez que la suma de monedas alcance dicho importe, automáticamente la máquina servirá la galleta, retornando además el cambio si corresponde. Por ejemplo, si el usuario ingresa 1 moneda de 25 y 2 monedas de 50, la máquina debe entregar la galleta y una moneda de 25 como cambio (salidas G C1 C0 = 1 0 1).

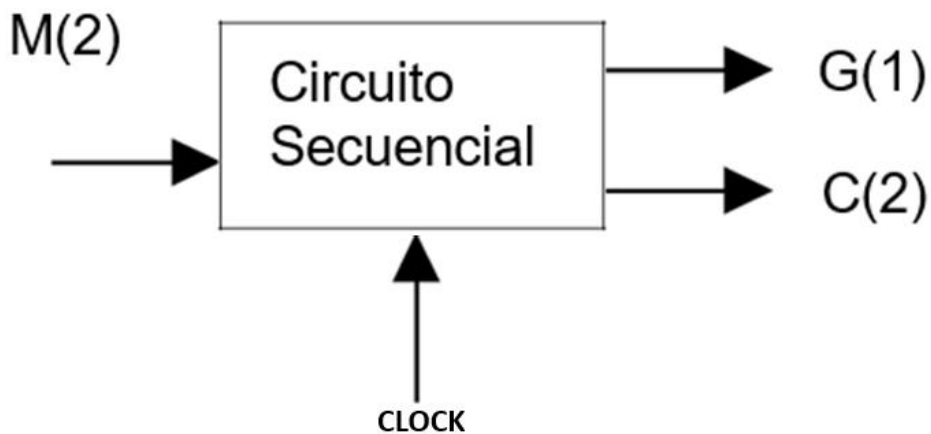


Fig. 1

| M1 | M0 | Significado         |
|----|----|---------------------|
| 0  | 0  | No hay moneda       |
| 0  | 1  | Nueva moneda de 25  |
| 1  | 0  | Nueva moneda de 50  |
| 1  | 1  | Nueva moneda de 100 |

Tabla 1: Codificación de la entrada M.

| G | Significado       |
|---|-------------------|
| 0 | No servir galleta |
| 1 | Servir galleta    |

Tabla 2: Codificación de la salida G.

| C1 C0 | Significado   |
|-------|---------------|
| 0 0   | No hay cambio |
| 0 1   | Cambio de 25  |
| 1 0   | Cambio de 50  |
| 1 1   | Cambio de 75  |

Tabla 3: Codificación del cambio C.

En base a lo descrito en el párrafo anterior, se solicita diseñar el sistema secuencial síncrono indicando claramente lo siguiente:

1. El diagrama de estados.
2. El número de estados.
3. El número de biestables o FFs del sistema. Usar un biestable T para el estado MSB, y biestables JK para el resto de los estados que tienen posiciones diferentes al MSB.
4. La tabla de codificación de los estados del sistema.
5. La tabla de transición de estados, tabla de excitación de los elementos de memoria y la tabla de salida(s) del sistema secuencial síncrono.
6. Simplificar o minimizar las funciones lógicas de la(s) salida(s) del sistema y también de las entradas de los FFs.
7. El circuito lógico utilizando FFs y puertas lógicas básicas.

**Ejercicio 2:** Diseñar un sistema secuencial síncrono que permita detectar la secuencia de entrada en binario 101, indicando claramente lo siguiente:

1. El diagrama de estados.
2. El número de estados.
3. El número de biestables o FFs del sistema. Usar biestables JK como elementos de memoria.
4. La tabla de codificación de los estados del sistema.
5. La tabla de transición de estados, de salida(s) y excitación del sistema secuencial síncrono.
6. Simplificar o minimizar las funciones lógicas de la(s) salida(s) del sistema y también de las entradas de los FFs.
7. El circuito lógico utilizando FFs y puertas lógicas básicas de 2 entradas.

**Ejercicio 3:** Diseñar un sistema secuencial capaz de reconocer el patrón 001011. La entrada al circuito se realizará mediante la señal de entrada X, de forma síncrona, y en serie (un nuevo bit en cada ciclo de reloj). El circuito dispondrá de una salida Z que tomará el valor '1' en el instante en el que se reconozca el patrón en la secuencia de entrada, y será '0' en todos los demás casos.

NOTA: debe tenerse en cuenta que al recibir un bit fuera de secuencia no hay que desechar todos los valores recogidos hasta ese momento. Es posible que parte de la secuencia siga siendo válida. Por ejemplo, si suponemos que se ha recibido la secuencia 00, y a continuación llega un tercer 0, se considerara que los 2 últimos zeros son parte de una secuencia correcta.

En base a lo descrito en los párrafos anteriores, se solicita diseñar el sistema secuencial síncrono indicando claramente lo siguiente:

1. El diagrama de estados.
2. El número de estados.
3. El número de biestables o FFs del sistema. Usar un biestable JK, T y D, en el orden desde el MSB hasta el LSB, como elementos de memoria.
4. La tabla de codificación de los estados del sistema.
5. La tabla de transición de estados, de salida(s) y excitación del sistema secuencial síncrono.
6. Simplificar o minimizar las funciones lógicas de la(s) salida(s) del sistema y también de las entradas de los FFs.
7. El circuito lógico utilizando FFs y puertas lógicas básicas de 2 entradas.

**Ejercicio 4:** Se desea diseñar el sistema de encendido de intermitencia de un vehículo, Fig.2.

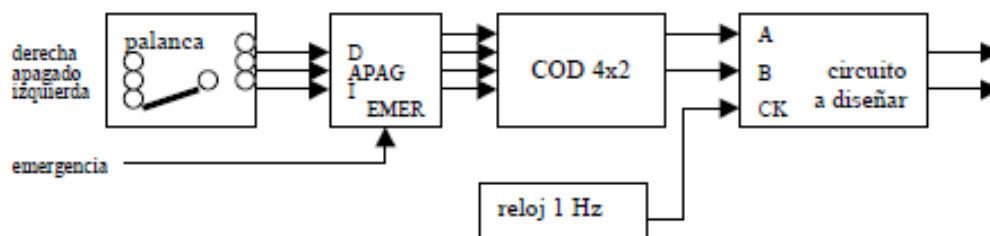


Fig. 2

Para ello hay que diseñar un circuito secuencial que cumpla con las siguientes especificaciones:

- a. Cuando la palanca se coloque en la posición DERECHA, se deberá encender y apagar de forma intermitente la luz identificada como D, de forma síncrona con un reloj de 1Hz.
- b. Cuando la palanca se coloque en la posición IZQUIERDA, se deberá encender y apagar de forma intermitente la luz identificada como I, de forma síncrona con un reloj de 1Hz.
- c. Cuando la palanca se coloque en la posición central, APAGADO, no se encenderá ninguna luz.
- d. Cuando se active el interruptor de EMERGENCIA, se activarán ambas luces simultáneamente, y se desactivarán ambas de forma síncrona con el reloj, independientemente de la posición de la palanca, es decir, la entrada de emergencia tiene prioridad absoluta.

**NOTA:** Aunque en la práctica casi siempre mecánicamente es imposible cambiar de la posición IZQUIERDA A DERECHA de forma directa, sin pasar por la posición de APAGADO; para el diseño de este sistema, considérela posible.

En base a lo descrito en los párrafos anteriores, se solicita diseñar el sistema secuencial síncrono indicando claramente lo siguiente:

1. El diagrama de estados.
2. El número de estados.
3. El número de biestables o FFs del sistema. Para el diseño, utilizar de manera conveniente cualesquiera de los biestables JK, T o D, como elementos de memoria.
4. La tabla de codificación de los estados del sistema.
5. La tabla de transición de estados, de salida(s) y excitación del sistema secuencial síncrono.
6. Simplificar o minimizar las funciones lógicas de la(s) salida(s) del sistema y también de las entradas de los FFs.
7. El circuito lógico utilizando FFs y puertas lógicas básicas de 2 entradas.