

CIRCUITOS LOGICOS DIGITALES



UNIVERSIDAD PERUANA DE CIENCIAS APLICADAS

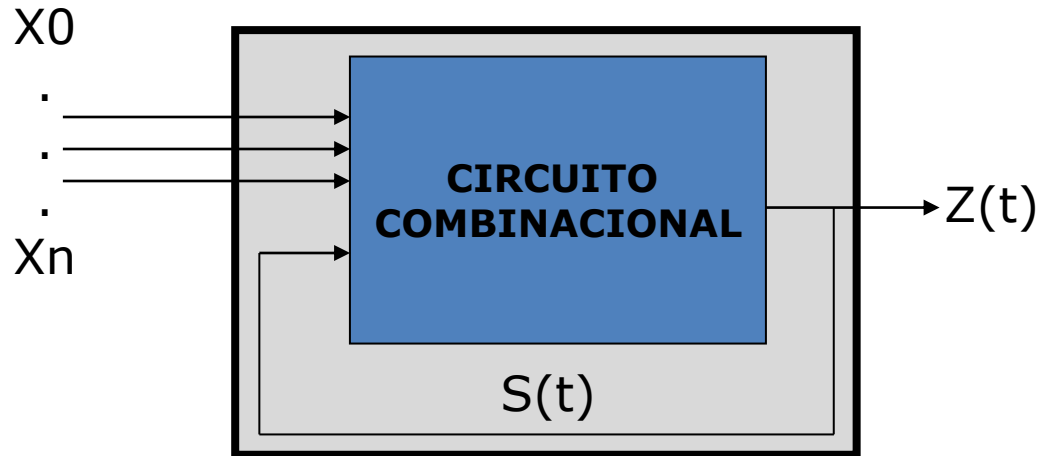
Laureate International Universities®

MÁQUINAS DE ESTADO

CICLO ACADÉMICO: 2024-I

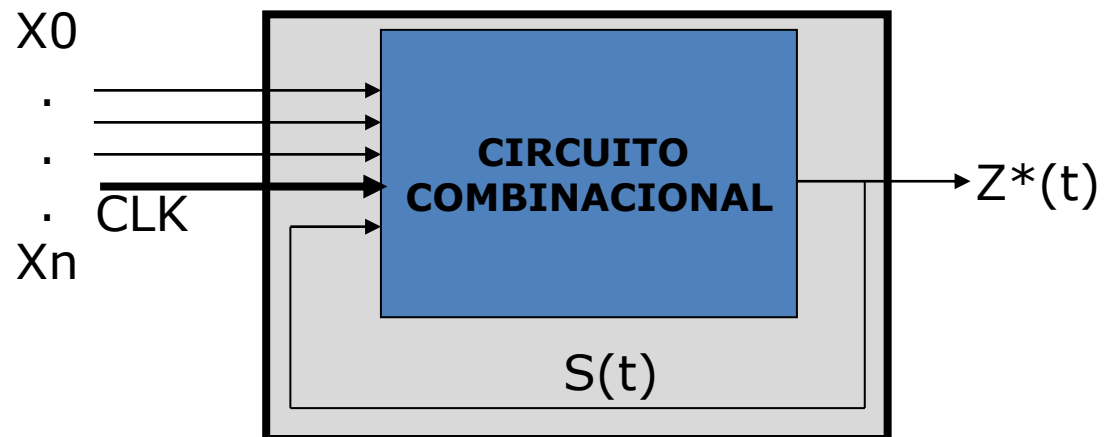
SISTEMAS SECUENCIALES: TIPOS

SISTEMAS
SECUENCIALES
ASÍNCRONOS



$$Z(t) = F[X(t), S(t)]$$

SISTEMAS
SECUENCIALES
SINCRONOS



$$Z^*(t) = F^*[Z(t), CLK]$$

SISTEMAS SECUENCIALES SINCRONOS:

DEFINICION

Los sistemas secuenciales síncronos son aquellos sistemas que operan de forma sincronizada con una señal de disparo o reloj externa (CLK).

Esto significa que todas las operaciones y transiciones de estado en el sistema ocurren en momentos predefinidos y regulares los cuales están determinados por los ciclos de la señal de disparo (CLK).

A consecuencia de ello, su señal de salida $Z(t)$ sólo evoluciona al aplicarle una de las combinaciones de las señales de entrada $X(t)$ y también una señal de reloj (CLK).

Cada etapa, situación o evento diferente por la que pasa o se encuentra el circuito secuencial se denomina estado $S(t)$. En cada estado, el circuito almacena un recuerdo de su historia en su variable de estado interno, $S(t)$, para poder realizar el proceso que sigue.

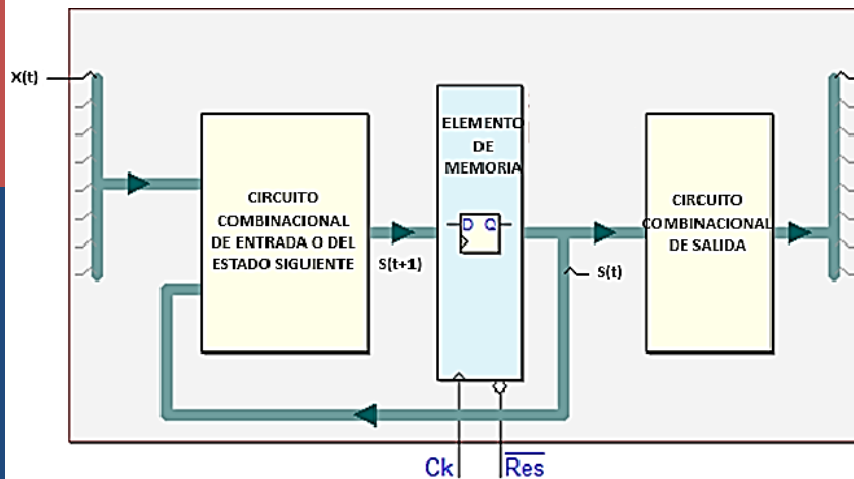
Así mismo, este tipo de sistema secuencial tiene una capacidad de memoria finita, y también un conjunto finito de estados posibles.

Debido a esta característica, este tipo de sistema secuencial recibe el nombre de maquina finita de estados (FSM)

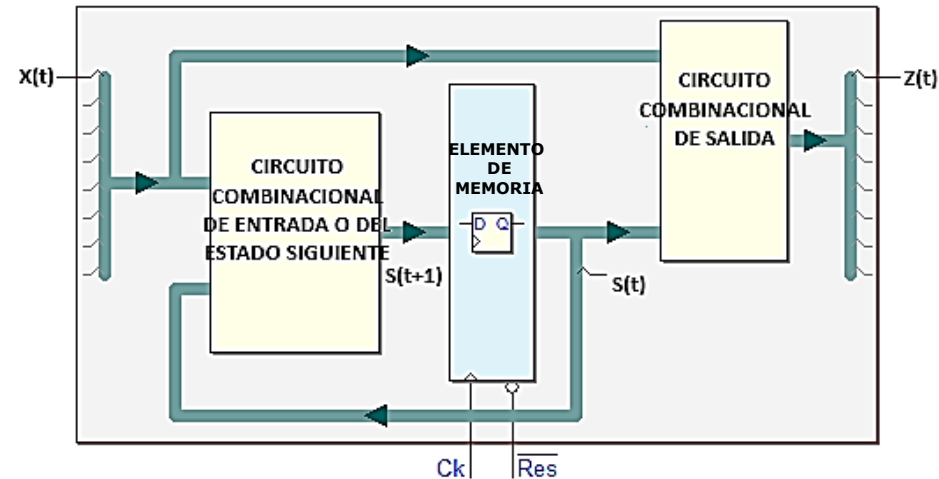
SISTEMAS SECUENCIALES SINCRONOS: MODELOS

Para analizar y sintetizar un sistema secuencial síncrono, es necesario identificar cómo su salida $Z(t)$ responde a sus entradas $X(t)$ y también cómo se genera dicha salida $Z(t)$.

Dicho análisis se puede realizar utilizando 2 modelos de FSM:



FSM
MODELO MOORE



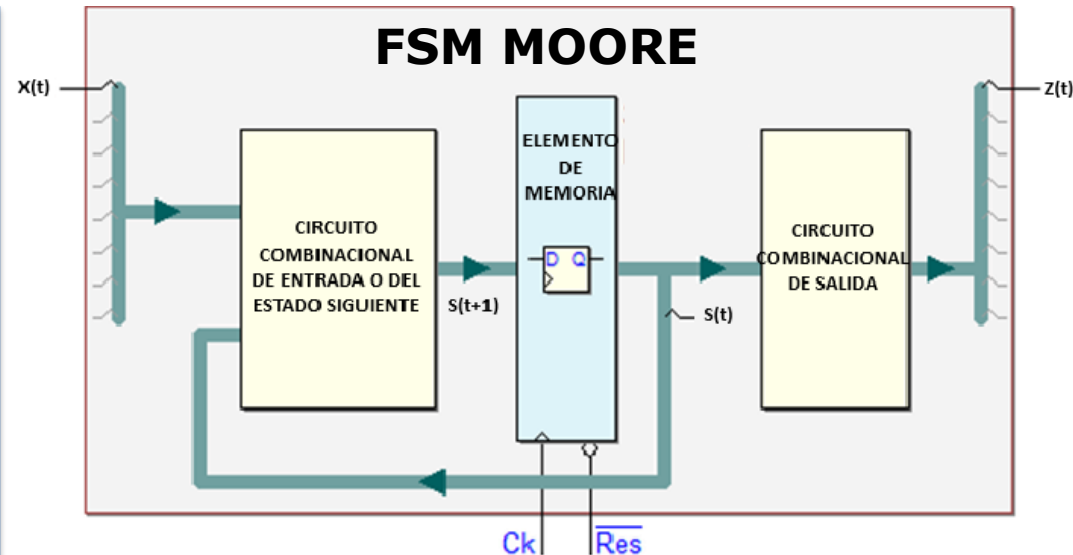
FSM
MODELO MEALY

SISTEMAS SECUENCIALES SINCRONOS: MODELO DE MOORE - CARACTERÍSTICAS

- El estado siguiente, $S(t+1)$ depende de la entrada $X(t)$ y del estado actual $S(t)$.
- La salida $Z(t)$ depende de los estados internos

$$Z(t) = F(S(t))$$

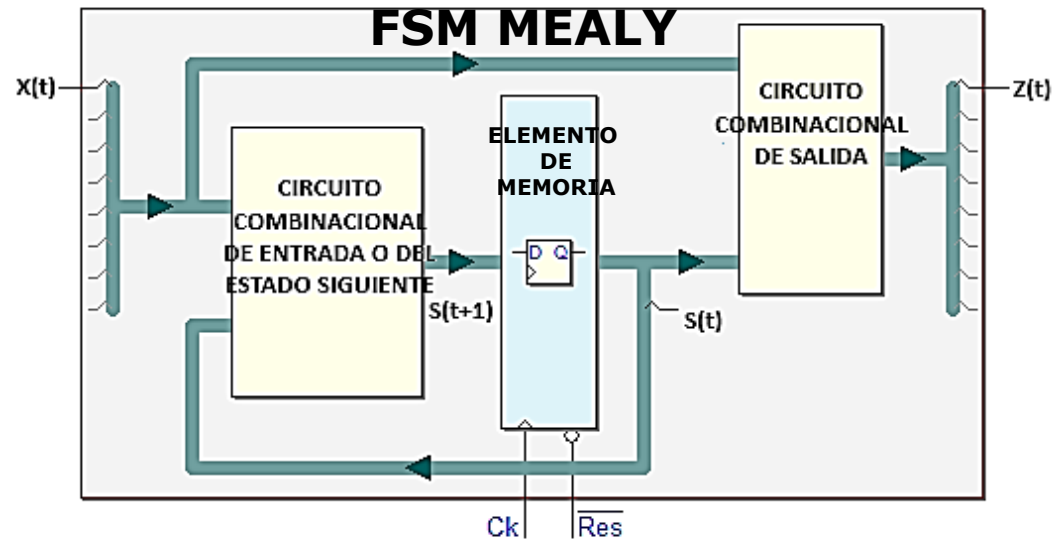
- El estado actual $S(t)$ se retroalimenta al circuito combinacional de entrada (CCE) y también ingresa al circuito combinacional de salida (CCS).
- Cuando $S(t)$ se retroalimenta al CCE; $X(t)$ y $S(t)$ se operacionalizan para generar $S(t+1)$.
- Cuando $S(t)$ ingresa al CCS; genera la salida $Z(t)$.
- Una FSM Moore se puede representar mediante diagramas de estado los cuales representan las transiciones de estados que se suscitan internamente en la FSM.



SISTEMAS SECUENCIALES SINCRONOS:

MODELO DE MEALY - CARACTERÍSTICAS

- El estado siguiente, $S(t+1)$ depende de la entrada $X(t)$ y del estado actual $S(t)$.
- La salida $Z(t)$ depende de los estados internos y de la entrada
 $Z(t) = F(X(t), S(t))$
- El estado actual $S(t)$ se retroalimenta al CCE y también ingresa al CCS.
- Cuando $S(t)$ se retroalimenta al CCE; $X(t)$ y $S(t)$ se operacionalizan para generar $S(t+1)$.
- Cuando $S(t)$ y $X(t)$ ingresan al CCS; genera la salida $Z(t)$.
- Una FSM Mealy se puede representar mediante diagramas de estado los cuales representan las transiciones de estados que se suscitan internamente en la FSM.



a) Estado



b) Transición



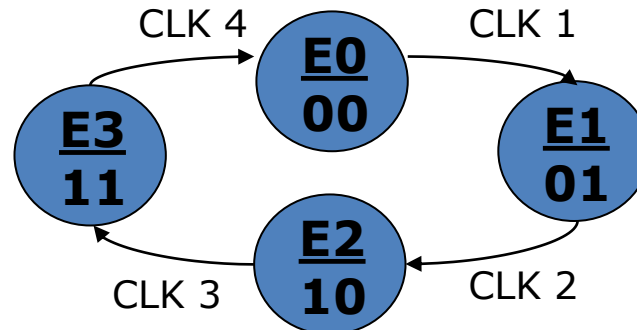
SISTEMAS SECUENCIALES SINCRONOS: ¿CUANDO UTILIZAR FSM MOORE O MEALY?

FSM Moore: $Z(t) = F(\text{Estados Internos}) = F(S(t))$

- La representación de un sistema secuencial síncrono mediante un FSM Moore es útil cuando las transiciones entre los estados no depende de la entrada $X(t)$, p.e., el caso de un sistema que genera secuencias.

EJEMPLO-1: Diseñar un sistema secuencial síncrono que muestre los números del 0 al 3 (en binario). Mostrar su diagrama de estado.

Las salidas $Z(t)$ se correlacionan con sus estados $S(t)$ y no depende de la entrada $X(t)$



La variable de entrada $X(t)$ y la señal externa (CLK) ocasionan las transiciones entre los estados.

DIAGRAMA ESTADOS
FSM
MODELO MOORE

SISTEMAS SECUENCIALES SINCRONOS:

¿CUANDO UTILIZAR FSM MOORE O MEALY?

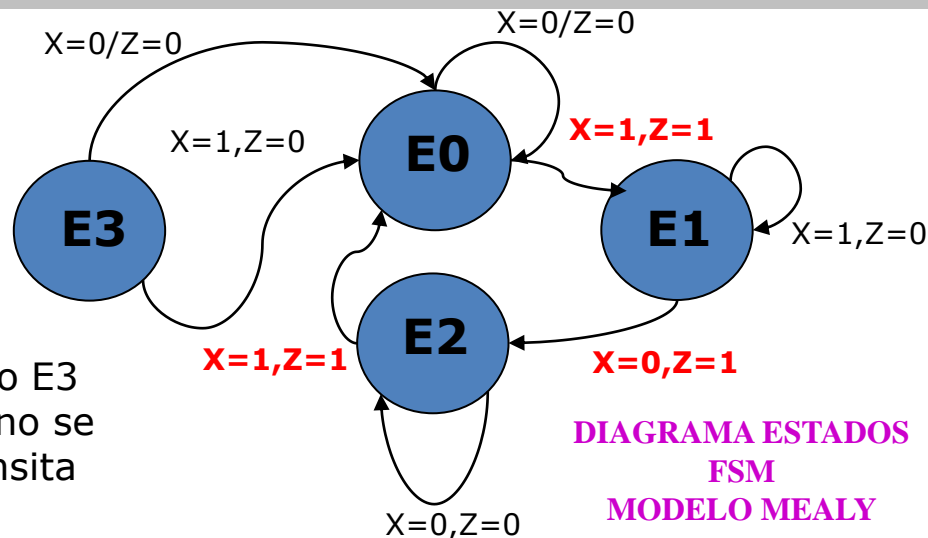
FSM Mealy: $Z(t) = F(\text{Entrada}, \text{Estados Internos}) = F(X(t), S(t))$

- La representación de un sistema secuencial síncrono mediante un FSM Mealy es útil cuando se necesite detectar en su salida una secuencia ya que las transiciones entre sus estados son sensibles a cambios en la entrada. Esto ocasiona que la salida cambien inmediatamente en respuesta a los cambios en las entradas y también (a cambios) en los estados.

EJEMPLO 2: Diseñar un sistema secuencial síncrono que detecte la secuencia completa de entrada binaria 101. Indicar su diagrama de estado.

Las salidas $Z(t)$ se correlacionan con sus estados $S(t)$ y también con su entrada $X(t)$.

Para el Ejemplo-2; El estado E3 puede ser una posibilidad (no se descarta) pero siempre transita hacia el estado inicial E0.



La variable de entrada $X(t)$ y la señal externa (CLK) ocasionan las transiciones entre los estados y también influyen en la salida $Z(t)$.

SISTEMAS SECUENCIALES SINCRONOS: METODOLOGÍA DE ANÁLISIS Y SINTESIS PARA EL DISEÑO DE FSM MOORE/MEALY

1. Leer el enunciado identificar las entradas y salidas del sistema secuencial síncrono.
2. Realizar el diagrama de transición o de estados, de acuerdo con la identificación de las entradas y salidas obtenidas del enunciado. De ser el caso, simplificar el diagrama de estados hasta obtener el menor número de estados.
3. Determinar/realizar lo siguiente:
 - a. El número de biestables o FFs que se usará para el bloque elemento de memoria (BEM).
 - b. El número de estados de la FSM teniendo en cuenta que:
$$\# \text{ Estados} \leq 2^{\# \text{ FFs}}$$
 - a. Los tipos de biestables o FFs que se utilizarán en el BEM (FF-RS/JK/D/T).
 - b. Codificar los estados del sistema.
4. Construir la tabla de transición de estados, tabla de salida(s) y tabla de excitación del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.
5. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los biestables o FFs que hacen que posible que sus estados pasen de $S(t)$ a $S(t+1)$.
6. Realizar el circuito lógico y simularlo
7. Implementar el circuito lógico usando ICs comerciales o Lógica Programable.

SISTEMAS SECUENCIALES SINCRONOS:

ELEMENTOS DE MEMORIA

TABLAS DE EXITACIÓN DE LOS FF-JK

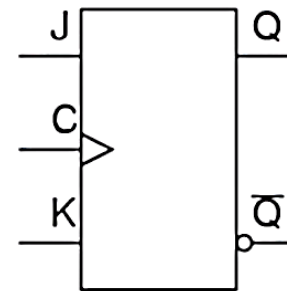
1. Los FF-JK son los elementos de memoria más versátiles que hay.
2. Se pueden activar mediante flanco ascendente o descendente que proviene de una señal externa de disparo.
3. Existen en una gran variedad de ICs comerciales de FF-JK: 74LS107, 74LS109, 74LS112, etc.
4. A partir de su tabla de verdad se puede determinar su tabla de excitación de estados.

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

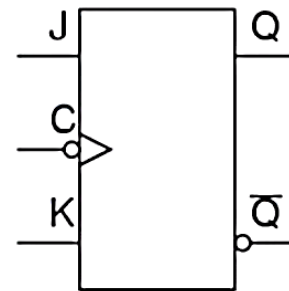


$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

TABLA DE EXITACIÓN DEL
FF-JK
A PARTIR DE SU TABLA DE VERDAD



SÍMBOLO LÓGICO
FF-JK
ACTIVADO FLANCO
ASCENDENTE



SÍMBOLO LÓGICO
FF-JK
ACTIVADO FLANCO
DESCENDENTE

En el diagrama de estado que se muestra; para pasar del estado E0 a E1 se necesita una transición. Esta transición se puede determinar a partir de la tabla de excitación del elemento de memoria.

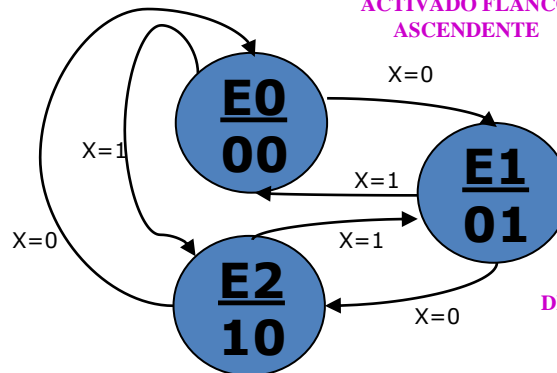


DIAGRAMA DE ESTADOS O
TRANSICIÓN

SISTEMAS SECUENCIALES SINCRONOS:

ELEMENTOS DE MEMORIA

TABLAS DE EXITACIÓN DE LOS FFs

TABLA EXCITACIÓN
FF-RS

Q(t)	Q(t+1)	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

TABLA EXCITACIÓN
FF-JK

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

TABLA EXCITACIÓN
FF-D

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

TABLA EXCITACIÓN
FF-T

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

SISTEMAS SECUENCIALES SINCRONOS:

ELEMENTOS DE MEMORIA

¿CÓMO DETERMINAR LA CANTIDAD DE FFs A UTILIZAR EN EL SISTEMA?

Existe una relación entre el número de estados y la cantidad de biestables o FFs. Se debe cumplir la siguiente relación:

$$\# \text{ Estados} \leq 2^n$$

Donde n es el número de FFs que deberá utilizar la FSM para generar los estados que se necesita para su diseño.

EJEMPLO-3:

Si un sistema secuencial asíncrono tiene 5 estados, ¿Cuántos elementos de memoria necesita el sistema?

$$\# \text{ Estados} \leq 2^n$$

$$5 \leq 2^3 = 8$$

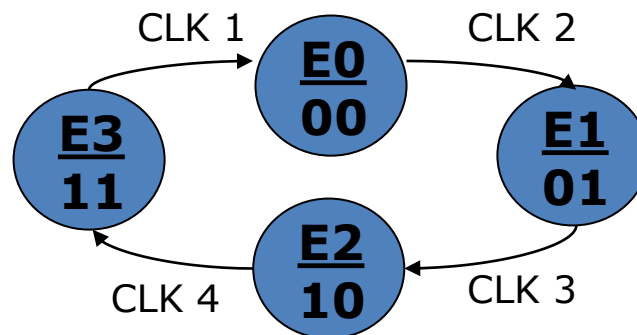
El sistema necesita 3 elementos de memoria (3-FFs) para generar los estados requeridos

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

EJEMPLO-1: Diseñar un sistema secuencial síncrono que muestre los números del 0 al 3, en binario. Utilice FFs JK como elementos de memoria.

1. Realizar el diagrama de transición de estados teniendo en cuenta que la única señal de entrada que ocasiona las transiciones es la señal externa de reloj CLK.



SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

2. Determinar el número de FFs y el número de estados además definir el tipo de biestables y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS	
# ESTADOS:	4
# FFs:	2
CONDICIÓN:	4 ≤ 4
MSB:	Q1(t), Q1(t+1)
TIPO FF:	FF-JK

LEYENDA	
Q1(t);Q0(t):	SALIDA DE BIESTABLES
CLK:	ENTRADA
S(t):	ESTADO ACTUAL
Z(t):	SALIDA

Q1(t)Q0(t)	CODIFICACIÓN ESTADO ACTUAL S(t)
00	E0 (Representa 00 binario)
01	E1 (Representa 01 binario)
10	E2 (Representa 10 binario)
11	E3 (Representa 11 binario)

CLK	CODIFICACIÓN ENTRADA X(t)
CLK1	Flanco para transición E0 → E1
CLK2	Flanco para transición E1 → E2
CLK3	Flanco para transición E2 → E3
CLK4	Flanco para transición E3 → E0

Z(t)	CODIFICACIÓN SALIDA Z(t)
0	No se muestra un numero desde 0 al 3 (en binario)
1	Se muestra un numero desde 0 al 3 (en binario)

NOTA: SALIDA Z(t) DEPENDE DEL ESTADO ACTUAL S(t) y CLK

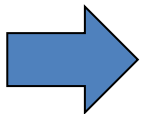
SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

3. Construir la tabla de transición de estados, tabla de excitación y tabla de la(s) salida(s) del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS										TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$								TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA $X(t)$						ESTADO SIGUIENTE $S(t+1)$												SALIDA $Z(t)$			
$S(t)$			$X(t)$							J1	K1	J0	K0								
Q1(t)	Q0(t)	CLK				Q1(t+1)	Q0(t+1)											Z(t)			
E0	0	0	CLK1			E1	0	1										1			
E1	0	1	CLK2			E2	1	0										1			
E2	1	0	CLK3			E3	1	1										1			
E3	1	1	CLK4			E0	0	0										1			

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

4. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

J1

Q1(t)	Q0(t)	CLK	00	01	11	10
			0	1	X	X
			0	0	0	0
			0	0	0	0
			0	0	0	0

J0

Q1(t)	Q0(t)	CLK	00	01	11	10
			1	X	X	1
			0	0	0	0
			0	0	0	0
			0	0	0	0

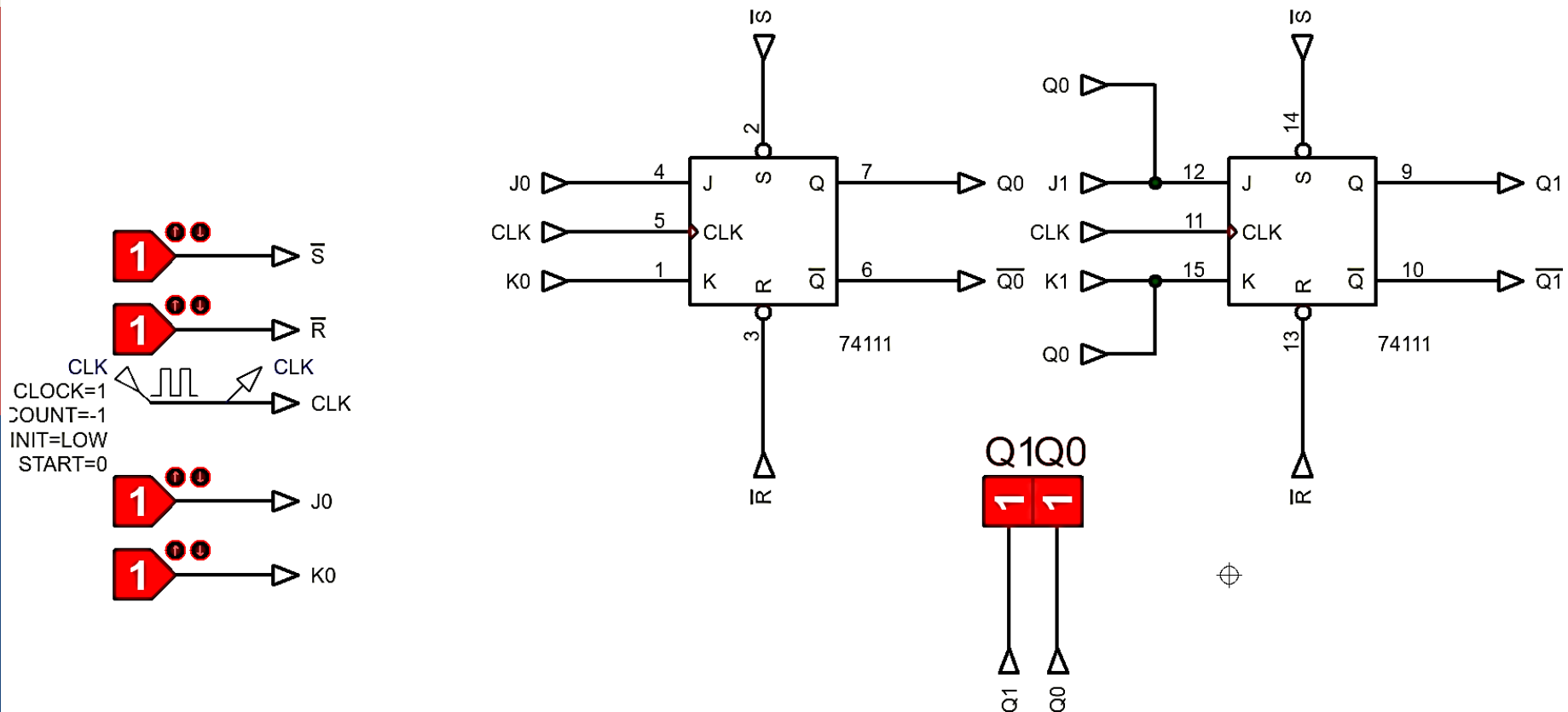
K1						K0							
Q1(t)	Q0(t)	CLK	00	01	11	10	Q1(t)	Q0(t)	CLK	00	01	11	10
			X	X	1	0				X	1	1	X
			0	0	0	0				0	0	0	0
			0	0	0	0				0	0	0	0
			0	0	0	0				0	0	0	0

$J1 = Q0$
 $K1 = Q0$
 $J0 = 1$
 $K0 = 1$

Z(t)						
Q1(t)	Q0(t)	CLK	00	01	11	10
			1	1	1	1
			0	0	0	0
			0	0	0	0
			0	0	0	0

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

5. Realizar el circuito lógico del sistema secuencial síncrono.



SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

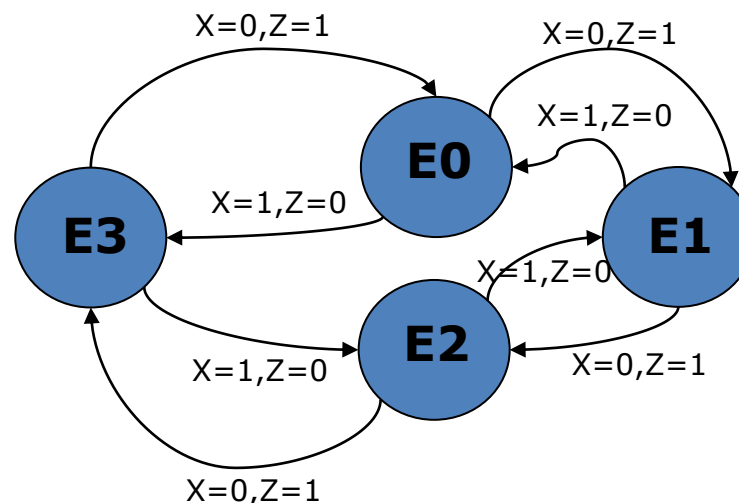
EJEMPLO-2: Diseñar un Sistema Secuencial Síncrono que posea las siguientes 2 funciones las cuales serán controladas por una variable externa X . Use FFs JK como elementos de memoria.

Cuando $X=0$; mostrar ascendentemente los números en binario del 0 a 3.

Cuando $X=1$; mostrar descendentemente los números en binario del 3 a 0 además su salida en baja.

Durante la cuenta ascendente y descendente, la salida Z del sistema deberá estar en alta y baja, respectivamente.

1. Realizar el diagrama de transición de estados teniendo en cuenta que cuando $X(t)=0$ el sistema cuenta de forma ascendente y cuando $X(t)=1$ lo hará de forma descendente.



SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

2. Determinar el número de FFs y el número de estados además definir el tipo de biestable y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS	
# ESTADOS	4
# FF:	2
CONDICIÓN:	4 ≤ 4
MSB:	Q1(t), Q1(t+1)
TIPO FF:	FF-JK

LEYENDA	
Q1(t); Q0(t):	SALIDA DE BIESTABLES
X(t):	ENTRADA
S(t):	ESTADO ACTUAL
Z(t):	SALIDA

Q1(t)Q0(t)	CODIFICACIÓN ESTADO ACTUAL S(t)
00	E0 (Representa 00 binario)
01	E1 (Representa 01 binario)
10	E2 (Representa 10 binario)
11	E3 (Representa 11 binario)

X(t)	CODIFICACIÓN ENTRADA ACTUAL X(t)
0	Cuenta ascendente 0 → 1 → 2 → 3 → 0 ...
1	Cuenta descendente 3 → 2 → 1 → 0 → 3 ...

Z(t)	CODIFICACIÓN SALIDA ACTUAL Z(t)
0	Indica que el sistema cuenta de manera ascendente
1	Indica que el sistema cuenta de manera descendente

NOTA: SALIDA Z(t) DEPENDE DEL ESTADO ACTUAL S(t) y X(t)

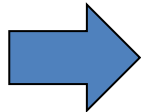
SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

3. Construir la tabla de transición de estados, de salida(s) y excitación del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS										TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$								TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA $X(t)$					ESTADO SIGUIENTE $S(t+1)$													SALIDA $Z(t)$			
$X(t)$		$S(t)$		$X(t)$						J1	K1	J0	K0								
$X(t)$		$Q1(t)$	$Q0(t)$	CLK	$Q1(t+1)$	$Q0(t+1)$												$Z(t)$			
E0	0	0	0	CLK1	E1	0	1			0	X	1	X					1			
E1	0	0	1	CLK2	E2	1	0			1	X	X	1					1			
E2	0	1	0	CLK3	E3	1	1			X	0	1	X					1			
E3	0	1	1	CLK4	E0	0	0			X	1	X	1					1			
E0	1	0	0	CLK5	E3	1	1			1	X	1	X					0			
E1	1	0	1	CLK6	E0	0	0			0	X	X	1					0			
E2	1	1	0	CLK7	E1	0	1			X	1	1	X					0			
E3	1	1	1	CLK8	E2	1	0			X	0	X	1					0			

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

4. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

J1					J0				
X(t)	Q1(t)	Q0(t)	CLK		X(t)	Q1(t)	Q0(t)	CLK	
0	0	1	X	X	0	1	X	X	1
1	1	0	X	X	1	1	X	X	1
	0	0	0	0		0	0	0	0
	0	0	0	0		0	0	0	0

K1					K0				
X(t)	Q1(t)	Q0(t)	CLK		X(t)	Q1(t)	Q0(t)	CLK	
0	X	X	1	0	0	X	1	1	X
1	X	X	0	1	1	X	1	1	X
	0	0	0	0		0	0	0	0
	0	0	0	0		0	0	0	0

$$J1 = XQ0' + X'Q0$$

$$K1 = XQ0' + X'Q0$$

$$J0 = 1$$

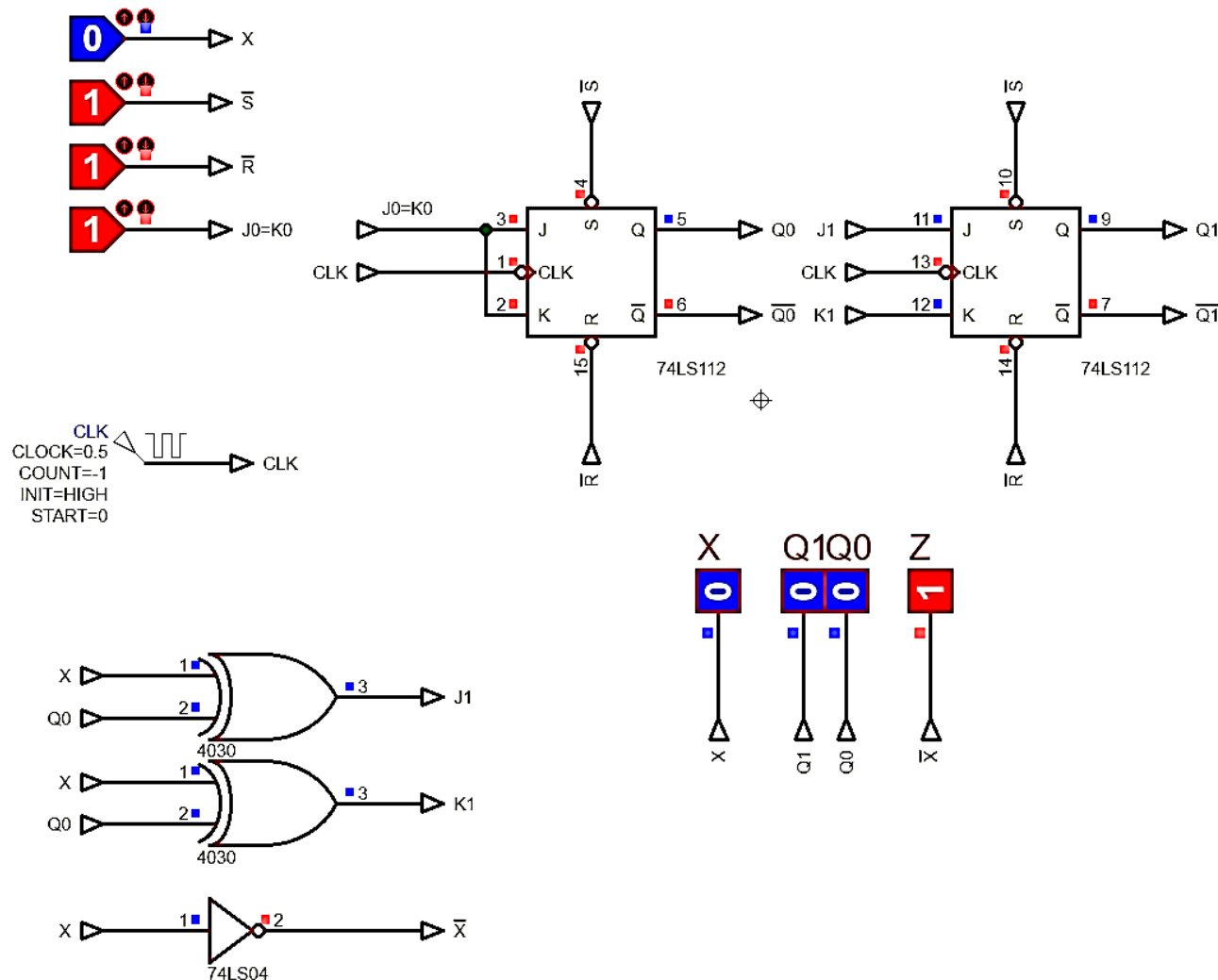
$$K0 = 1$$

$$Z(t) = X'$$

Z(t)				
X(t)	Q1(t)	Q0(t)	CLK	
0	1	1	1	1
1	0	0	0	0
	0	0	0	0
	0	0	0	0

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

5. Realizar el circuito lógico del sistema secuencial síncrono.



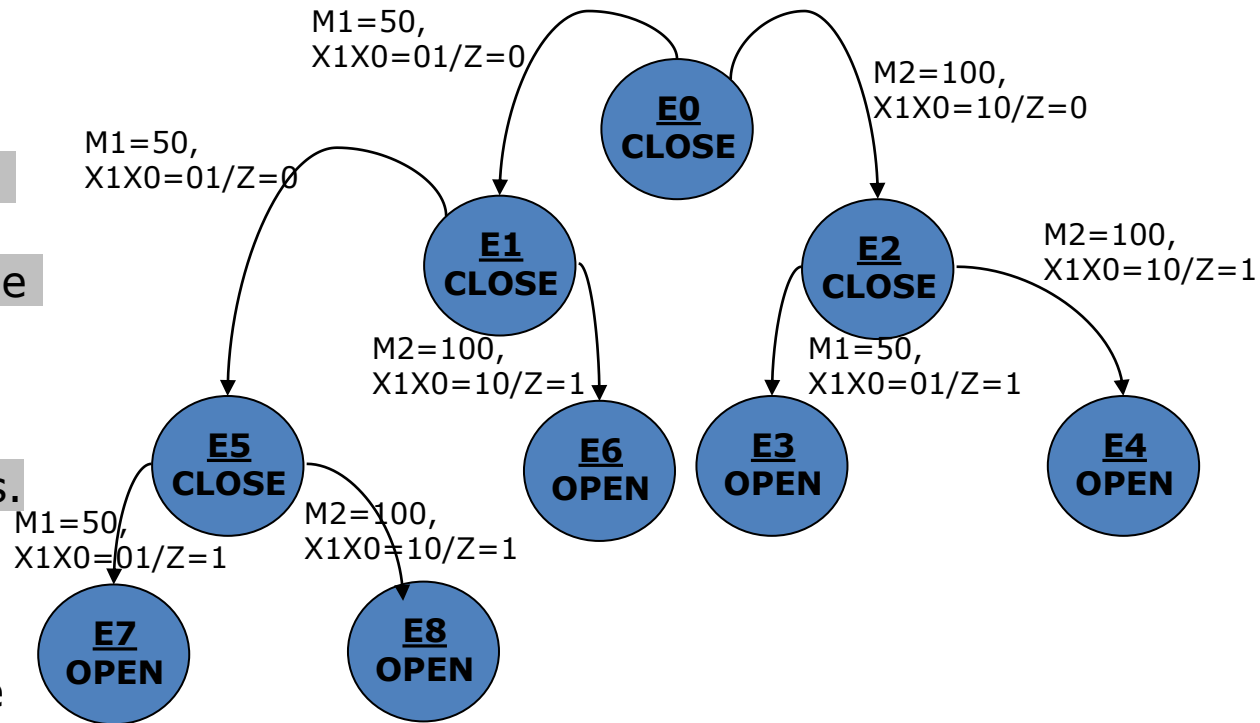
SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

EJEMPLO-3: Diseñar una máquina de bebidas que entregue una bebida luego de recibir 150 pesos. Utilice FFs D como elementos de memoria. Las condiciones de su funcionamiento son las siguientes:

- a. La máquina acepta monedas de 50 y 100 pesos.
- b. La máquina no entrega cambio.

1. Realizar el diagrama de transición de estados teniendo en cuenta la codificación siguiente:

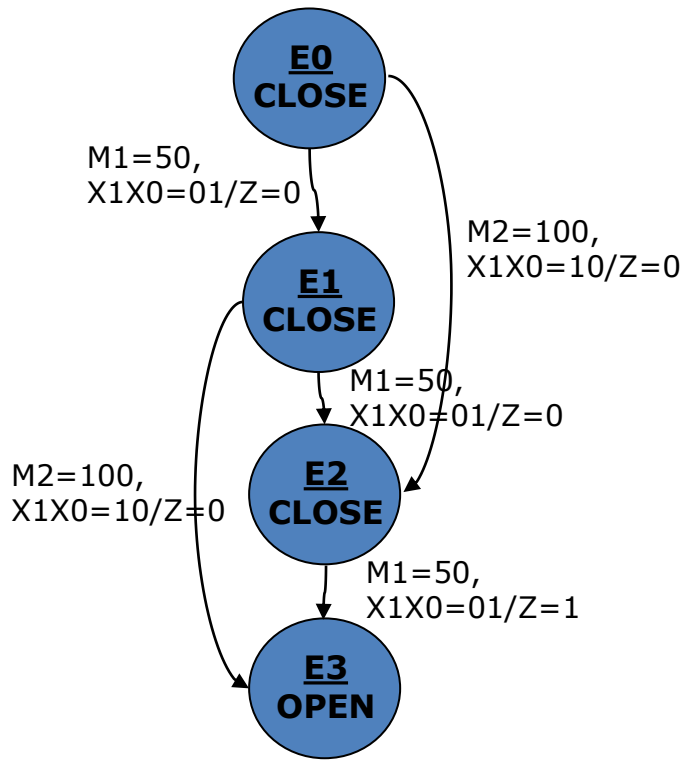
M1: 50 pesos, M2: 100 pesos,
CLOSE: Despachador de productos cerrado, OPEN:
Despachador de productos abierto



SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

2. Al simplificar el diagrama de estados anterior se obtiene lo siguiente:



3. Determinar el número de FFs y el número de estados además definir el tipo de biestable y finalmente codificar las entradas, los estados y la salida del sistema.

REGLAS	
# ESTADOS	4
# FF:	2
CONDICIÓN:	4 ≤ 4
MSB:	$Q1(t), Q1(t+1)$
TIPO FF:	FF-D

LEYENDA	
$Q1(t); Q0(t)$:	SALIDA DE BIESTABLES
$X1(t); X0(t)$:	ENTRADA
$S(t)$:	ESTADO ACTUAL
$Z(t)$:	SALIDA

$Q1(t)Q0(t)$	CODIFICACIÓN ESTADO ACTUAL $S(t)$
00	E0 (Representa que la maquina no tiene monedas)
01	E1 (Representa que la maquina tiene 50 pesos)
10	E2 (Representa que la maquina tiene 100 pesos)
11	E3 (Representa que la maquina tiene 150 pesos)

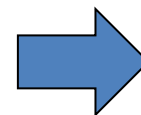
$X1(t)X0(t)$	CODIFICACIÓN ENTRADA $X(t)$
00	No se ingresan monedas.
01	Se ingresa una moneda de 50 pesos
10	Se ingresa una moneda de 100 pesos
11	No representa ninguna ingreso de moneda valido

$Z(t)$	CODIFICACIÓN SALIDA ACTUAL $Z(t)$
0	No se entrega bebida porque no se tiene monedas o se recibe menos de 150 pesos
1	Se entrega bebida luego de recibir 150 pesos
X	Representa una salida sin importancia

NOTA: SALIDA $Z(t)$ DEPENDE DEL ESTADO ACTUAL $S(t)$ Y $X(t)$

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

NOTA: Para obtener la tabla de excitación de los elementos de memoria, se deberá usar la tabla de transición de los FFs que usará la FSM.



Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

4. Construir la tabla de transición de estados, de salida(s) y excitación del sistema secuencial identificando las salidas de los biestables, su número de estados y su codificación así como las entradas de los FFs usados como elementos de memoria.

TABLA DE TRANSICION DE ESTADOS						TABLA DE EXCITACIÓN DE LOS ELEMENTOS DE MEMORIA PARA LA TRANSICIÓN $S(t) \rightarrow S(t+1)$						TABLA DE SALIDA			
ESTADO ACTUAL $S(t)$ + ENTRADA $X(t)$						ESTADO SIGUIENTE $S(t+1)$						SALIDA $Z(t)$			
$S(t)$		$X(t)$													
Q1(t)	Q0(t)	X1(t)	X0(t)	CLK		Q1(t+1)	Q0(t+1)					Z(t)			
E0	0	0	0	0	CLK1	E0	0	0				0			
E0	0	0	0	1	CLK2	E1	0	1				0			
E0	0	0	1	0	CLK3	E2	1	0				0			
E0	0	0	1	1	CLK4		X	X				X			
E1	0	1	0	0	CLK5	E1	0	1				0			
E1	0	1	0	1	CLK6	E2	1	0				0			
E1	0	1	1	0	CLK7	E3	1	1				1			
E1	0	1	1	1	CLK8		X	X				X			
E2	1	0	0	0	CLK9	E2	1	0				0			
E2	1	0	0	1	CLK10	E3	1	1				1			
E2	1	0	1	0	CLK11	E3	1	1				1			
E2	1	0	1	1	CLK12		X	X				X			
E3	1	1	0	0	CLK13	E3	1	1				1			
E3	1	1	0	1	CLK14	E3	1	1				1			
E3	1	1	1	0	CLK15	E3	1	1				1			
E3	1	1	1	1	CLK16	E3	1	1				1			

SISTEMAS SECUENCIALES SINCRONOS:

EJEMPLOS

5. Simplificar o minimizar las funciones lógicas de la(s) salida(s) de la FSM y también de las entradas de los FFs.

D1

Q1(t) Q0(t) X1(t) X0(t) CLK	00	01	11	10
00	0	0	X	1
01	0	1	X	1
11	1	1	1	1
10	1	1	X	1

Z(t)

Q1(t) Q0(t) X1(t) X0(t) CLK	00	01	11	10
00	0	0	X	0
01	0	0	X	1
11	1	1	1	1
10	0	1	X	1

D0

Q1(t) Q0(t) X1(t) X0(t) CLK	00	01	11	10
00	0	1	X	0
01	1	0	X	1
11	1	1	1	1
10	0	1	X	1

$$D1 = Q0X0 + X1 + Q1$$

$$D0 = Q1X0 + Q0'X0 + Q1X1 + Q0X0'$$

$$Z(t) = Q1Q0 + Q1X0 + Q0X1 + Q1X1$$

SISTEMAS SECUENCIALES SINCRONOS: EJEMPLOS

6.
Realizar el
circuito
lógico del
sistema
secuencial
síncrono.

