

NTUEE DCLAB

---

# **Course Information & Regulations**

---

*Graduate Institute of Electronics Engineering*  
National Taiwan University

# Staff and Contact Information

---

- Instructor
  - 楊家驤 教授
    - MD 616
    - [chyee@ntu.edu.tw](mailto:chyee@ntu.edu.tw)
- TA
  - 陳彥龍
    - MD 501
    - [d07943002@ntu.edu.tw](mailto:d07943002@ntu.edu.tw)
  - 董子維
    - MD 405B
    - [f07943011@ntu.edu.tw](mailto:f07943011@ntu.edu.tw)
  - 鍾杰
    - MD 501
    - [r06943011@ntu.edu.tw](mailto:r06943011@ntu.edu.tw)
- Regular meeting hour: Thursday 12:20 ~ 13:10

# Rules

---

- 實驗各組嚴禁將實驗器材、書籍或手冊帶出實驗室使用
- 除非告知助教並得到許可，禁止讓非本實驗之同學進入實驗室
- 禁止於實驗室大聲喧嘩
- 維護實驗室清潔，各組於離開實驗室前，應將材料、零件收妥，尤其各實驗桌必須清理乾淨
- 每週會安排一組為值日生，要負責掃地並清理共用長桌
- 因實驗室不提供垃圾桶，所有垃圾請在離開實驗室時就拿至一樓垃圾區處理，不可留在實驗室，若發現違規則扣學期總分
- 請勿隨意使用別組空間或取用器材
- 實驗室裡面都是系上財產，離開時請確保前門上鎖，後側門則請保持關閉（因為只能從裡面開，所以不必上鎖）

# Syllabus

---

2019/09/12 (四)	Intro. & Lab1 Lecture & Verilog I
2019/09/19 (四)	Verilog II
2019/09/26 (四)	Verilog III
2019/10/01 (二)	Lab1 Demo
2019/10/03 (四)	Lab2 Lecture
2019/10/29 (二)	Lab2 Demo
2019/10/31 (四)	Lab3 Lecture
2019/11/26 (二)	Lab3 Demo
2019/12/05 (四)	Final Project Proposal
TBD	Final Project Presentation

若有更動，以實驗室網站為準

# Grading Policy

---

- 3 Labs (15% each)
  - Demo: 8%
  - Report & Code: 7%
- 1 Final project (50% total)
  - Proposal: 5%
  - Demo: 25%
  - Report & Code: 20%
- 整潔分數: 5%
- Demo要能做到講解時提到的要求，並且可以自行延伸做額外的功能設計，後者會酌量加分
- 評分一律以一組為單位，選則合適的組員是個人的責任
- Report遲交每三天\*0.7

# Report Regulations

---

- Report
  - 內容應包含使用所需器材與架設方式、使用方式與詳細步驟、實作設計技術細節與巧思、碰過的問題或挑戰與解決方式
  - 期末報告亦可加入對整學期實驗心得與建議
  - 以pdf檔繳交
  - 命名方式：teamXX\_lab1\_report.pdf
- 將Report & Code包成一個zip上傳到實驗室 NAS 各組的 submission 資料夾
  - 命名方式：teamXX\_lab1.zip、teamXX\_final.zip
  - Lab繳交期限：demo當天午夜
  - Final繳交期限：demo隔天午夜
- 若未遵守繳交格式會酌情扣分

# Final Project

---

- Proposal

- 5 min.

- 主題、相關文獻探討、預期的解決方案、可能遭遇的困難與解決方法等

- Presentation

- 20 min.

- 簡報以及現場展示，形式不拘，但要讓聽眾了解想解決之問題、以及成果的技術含量

- 盡量做到模組化，容易安裝攜帶，展示時需上台操作給所有同學看

# FPGA Contest

- Intel InnovateFPGA創新大賽
  - <http://www.innovatefpga.com/pr/index.html>
  - 使用DE-10 Nano平台
  - 鼓勵設計、發明與創新
- 可上競賽官網查看歷年作品，作為final project題目參考

2019 *InnovateFPGA* **Artificial Intelligence at the Edge!**



How it Works

2018 Grand Final at Intel

Previous Innovate Contest Winners

## World FPGA Design Contest

Show us how you would use Intel FPGAs to make edge devices smarter  
Win money and recognition within the industry  
Click on your region below to sign up and for contest detail





# Final Project Budget

---

- 每組有NT\$ 2500預算
  - 請勿買非final project所需物件
  - 單價超過NT\$ 500者需先告知老師與助教並取得同意
- 報帳時間為lab3 demo當天 (11/26)
  - 助教有權拒收發票，不確定能否購買的物品請提前寄信詢問
  - 也請務必遵守下列發票要求
- 報帳發票與收據要求
  - 抬頭：國立臺灣大學 (注意臺字不可簡寫)
  - 統一編號：03734301
  - 品名
    - 不能寫電子材料或電子零件
    - 應以中文詳列各項品名、單價、數量與總價無誤
    - 積體電路可寫為 IC，其餘應列中文



# Questions?

# Decide Team ID

---

- 一組派一人抽組別
- 收齊整組學生證設定門禁