

TD 1 : Architecture des ordinateurs

Exercice 1 :

1. Par des schémas, illustrer les deux modèles les plus répandus dans la conception des ordinateurs à savoir :
 - 1.1 Modèle de Von Neumann.
 - 1.2 Modèle de Harvard.
 - 1.3 Citer quelques types de mémoires, d'entrées/sorties et de CPU existants.
 - 1.4 Quelles sont les fonctions d'un processeur ?
2. Donner un avantage et un inconvénient pour chacun d'eux.

Exercice 2 :

Répondre par vrai ou faux :

- a. Un processeur peut posséder plusieurs langages d'assemblage.
- b. L'UC, l'UAL et les registres sont les principaux constituants d'un processeur.
- c. Une instruction est composée d'un seul champ : le code opération.
- d. L'unité de contrôle décode les instructions et les exécute.
- e. L'unité arithmétique et logique réalise le calcul et la comparaison des nombres.
- f. Les registres sont des emplacements mémoires qui se trouvent à l'extérieur du CPU.
- g. Le système bus est un ensemble des liens physiques (commande, adresses, données) qui relie le processeur et la mémoire.
- h. Le registre C0 (Compteur Ordinal) reçoit une donnée de la mémoire.
- i. Le registre IR (registre d'instruction) contient l'instruction en cours d'exécution.

Exercice 3 :

1. Que signifie une fréquence d'horloge ?
2. Quelle est la fonction d'un registre ?
3. Donner une autre appellation du Compteur Ordinal.
4. Quelle est la technologie de la mémoire cache du microprocesseur ?
5. Que signifient DRAM et SRAM ? Expliquer
6. Où utilise-t-on la DRAM ?
7. Donner quelques avantages et quelques inconvénients de chacune d'elles ?
8. Classez par ordre croissant les mémoires suivantes par taille puis par rapidité : RAM, registres, disques durs, cache L1, cache L2.

Exercice 4 :

Étant donné la mémoire centrale représentée sous forme d'un tableau par le schéma ci-contre :

n° octets	Données								adresses
0	0	0	0	0	1	1	1	0	0x10001000
1	0	0	0	0	1	1	1	1	0x10001001
2	1	0	1	0	0	0	0	1	0x10001002
3	1	1	0	0	1	0	1	1	0x10001003
4	0	0	0	1	1	0	0	1	0x10001004
5	0	1	0	1	0	1	1	0	0x10001005
6	1	1	0	1	0	1	1	1	0x10001006
7	1	0	0	0	1	0	0	0	0x10001007

1. En quel code de numération est donnée l'adresse mémoire ? Par quel symbole il est identifié ?
2. Donner les adresses et le nombre des mots mémoires dans les cas suivants :
 - a) Un mot = 1 octet.
 - b) Un mot = 2 octets.
 - c) Un mot = 4 octets.
 - d) Un mot = 8 octets.
 - e) Qu'est ce que vous remarquez ?
3. Dans le cas d'un mot mémoire égal à 4 octets, donner en hexadécimal le contenu du premier et deuxième mot.

Exercice 5 :

Un bus d'adresses constitué de 16 bits. Les bits de ce bus sont repérés de A15 à A0.

1. Calculer le nombre d'adresses possibles.
2. Déduire en octets la capacité de la mémoire dans le cas où un mot mémoire est de 32bits (4octets).

Exercice 6 :

Deux bus identiques de type AGP ayant les mêmes largeurs et les mêmes fréquences utilisés dans deux machines séparées. Lors de leurs utilisations, nous avons constaté que le taux de transfert de l'un des deux est égal au double de l'autre.

1. Exprimer le taux de transfert en fonction de la largeur du bus, sa fréquence et le nombre de flux d'informations.
2. Expliquer pourquoi que le taux de transfert de l'un des deux est égal au double de l'autre.

Exercice 7 :

1. Donner la signification des abréviations des bus suivants : ISA, EISA, PCI et AGP.
2. Compléter le tableau suivant :

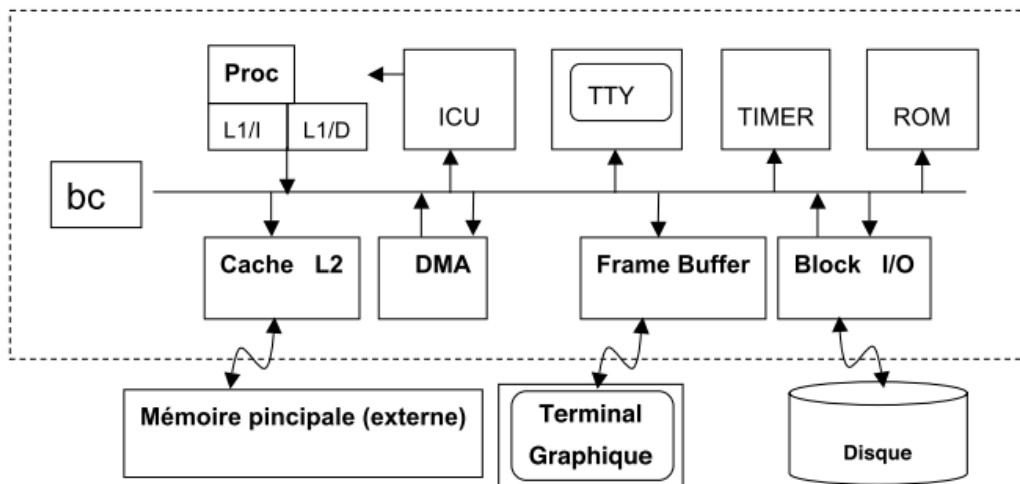
Bus	ISA	EISA	PCI	AGP
Largeur du bus (bits)	16	32	32	32
Fréquence du bus (Mhz)	8.33	8.33	33.33	66.66
Taux de transfert (Mo/s)				

Exercice 8 :

On considère l'architecture matérielle (voir figure ci-dessous). Cette architecture contient un seul processeur (avec ses caches de 1^{er} niveau), un timer, un terminal écran/clavier de type TTY, un contrôleur graphique (« frame buffer ») permettant d'afficher des images, une ROM contenant le « code de boot », un cache de 2^{ème} niveau permettant d'accéder à la mémoire externe, et deux périphériques possédant une capacité d'adressage de la mémoire : le

contrôleur DMA permet de transférer des données d'un tampon mémoire vers un autre. Le contrôleur I/O permet de transférer des données entre le disque et un tampon mémoire. On suppose que des images sont stockées sur le disque, et qu'on cherche à afficher une séquence d'image en respectant la cadence vidéo. La fréquence vidéo est de 25 images par seconde (une nouvelle image doit être affichée toutes les 40 ms).

- **phase Load** : chargement de l'image depuis le disque vers un premier tampon mémoire appelé buf_in. Ce transfert est réalisé par le contrôleur I/O.
- **phase Modif** : le processeur lit l'image stockée dans buf_in, la modifie, et recopie l'image modifiée dans un second tampon mémoire buf_out.
- **phase Display** : affichage de l'image par copie du tampon buf_out vers la mémoire vidéo. Ces transferts (lecture puis écriture) sont réalisés par le DMA.



On suppose que l'image est codée en « niveaux de gris », et que chaque pixel est codé sur 8 bits. On notera N le nombre total de pixels d'une image : Par exemple, une image de 400 lignes de 600 pixels a une taille de $N = 240\,000$ pixels.

On suppose que cette architecture est celle d'un téléphone mobile, qui fonctionne à 25MHz. Cette fréquence est assez basse, pour limiter la consommation d'énergie, et augmenter la durée de vie de la batterie. La largeur du bus est de 32 bits, ce qui signifie qu'on peut transférer au plus un mot de 32 bits par cycle.

1. De combien de cycles dispose-t-on entre deux affichages d'image ? Quelle est la bande passante maximale du bus (en nombre d'octets par cycle) ?
2. Quel est le temps minimal nécessaire (mesuré en nombre de cycles) pour transférer une image de N pixels entre deux composants matériels ?
3. Pour chaque image affichée, combien y a-t-il de transferts de cette image sur le bus ?
4. En déduire la taille maximale d'une image, en faisant l'hypothèse (optimiste) que le bus ne sert qu'à transférer les pixels d'une image d'un composant vers un autre.
- 5.

Exercice 9 :

On dispose de plusieurs RAM (M1) ayant une capacité de 2 Mb avec un bus de données de 4bits. On désire réaliser une RAM (M2) ayant une capacité de 4 Mb. Les bus de données des deux RAM sont identiques. Calculez la taille des bus d'adresse des deux types de RAM.

Exercice 10 :

1. Donner les étapes d'un cycle machine.
2. Expliquer succinctement la fonction de chaque étape.

Exercice 11 : Supposons que nous avons deux implémentations de la même architecture de jeu d'instructions. Un ordinateur de période d'horloge 250 ps et un CPI (nombre de cycles par instruction) de 2.0 pour un programme donné, et l'ordinateur B a un cycle d'horloge de 500 ps et un CPI de 1.2 pour le même programme. Quel est l'ordinateur le plus rapide pour ce programme et de combien de fois.

Exercice 12 :

Un processeur fonctionne à une fréquence d'horloge de 1,8 GHz exécute un programme qui utilise un mélange de 4 types d'instruction:

Type d'instruction	Nombre d'Instructions exécutées	Nombre de cycles par Instruction
Opération arithmétique sur les nombres entiers	150 000	1
Transfert mémoire	45 000	2
Opération arithmétique sur les nombres flottants	55 000	2
Contrôle (sauts)	20 000	2
Affichage	500	15

- Combien de cycles ce programme prendra-t-il pour s'exécuter ?
- Calculer son temps d'exécution nécessaire ?
- Calculez le CPI (cycle per instruction) de ce programme, défini comme le rapport entre le nombre de cycles requis pour son exécution et le nombre d'instructions ?

Exercice 13 :

Un processeur possède un pipeline à 5 étages tel que décrit dans le cours (**Fetch-Decode-Execute-MEM-Write**). Un programme est composé des instructions suivantes :

```
ADD R4, R1, R2
SUB R1, R2, R4
MUL R6, R1, R5
DIV R3, R2, R5
MUL R2, R3, R4
```

1. Représentez l'exécution de ces instructions dans le pipeline en vous basant sur le cours.
2. On suppose que chaque étage du pipeline nécessite un cycle, calculez le temps d'exécution du programme ci-dessus.