

Arquitectura y Organización de Computadoras I

El bus

MSc. Ing. Ticiano J. Torres Peralta

Pu. Pablo Rodríguez Rey

Ing. Pablo Toledo

Tomas Consoli

2024 – Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Repaso – Medidas de Información

La unidad básica es el dígito binario (1 o 0), y se llama un bit. Desde el bit, podemos construir las demás medidas comunes que se usan para representar cantidades.

Nibble (half-byte, tetrade, semi-octet, quadbit, quartet): 4 bits.

Byte: 8 bits.

Palabra* (Word): la unidad natural de datos que maneja una arquitectura. Para una arquitectura de 32 bits, es 32 y para una de 64 bits, 64.

Half (Halfword): la mitad de una palabra.

*Por cuestiones de que procesadores tienden a retener una gran compatibilidad en revesa con viejas generaciones, la definición de una palabra se puede complicar. Por ejemplo, es común que un procesador que maneja tanto un ISA de 32 bits como una de 64 bits, defina el word como 32 bits y un longword como 64bits.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

El bus

El bus es una conexión eléctrica que crea un camino de comunicación entre dos o mas dispositivos, y pueden ser clasificados según su función.

Hay tres clases de bus:

- **Bus de datos:** transmiten el dato mismo.
- **Bus de direccionamiento:** transmiten la dirección adonde se va a leer o escribir el dato.
- **Bus de control:** gestiona los otros bus y los dispositivos conectados a ellos. Gestiona pedidos, interrupciones, señales de sincronización y acknowledgements.

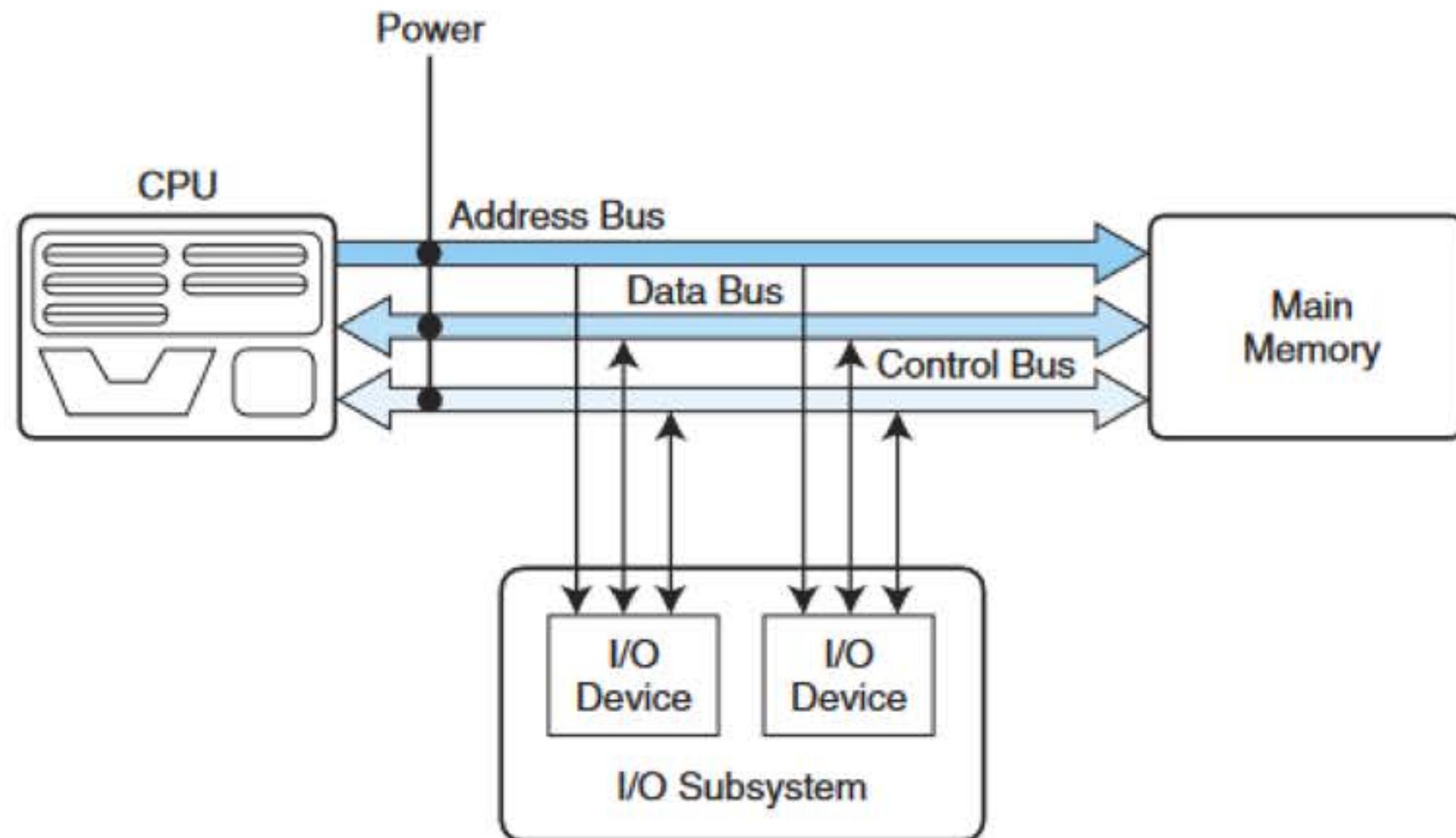
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA
facet

El bus



Buses de la Computadora

Dado a que hay una variedad significante entre la característica del dato que se transfiere y el tipo de dispositivo que lo usa, durante los años se los fue categorizando en tipos:

- **Buses Procesador-memoria:** son cortos y de alta velocidad, con un diseño especializado para maximizar la transferencia de datos (bandwidth) entre el sistema de memoria y el procesador.
- **Buses internos de E/S:** mas largos que los de procesador-memoria y están diseñados para poder acomodar una variedad de dispositivos con diferentes bandwidths.
- **Buses de expansion:** para acomodar mas periféricos y dispositivos mas viejos.
- **Buses Locales:** buses dedicados a dispositivos que se conecta directo al procesador. Son de alta velocidad y generalmente solo se pueden conectar una cantidad muy limitada de dispositivos similares.
- **Interno al procesador:** para transportar datos en el camino de datos, o para transportar señales de control desde la unidad de control.

2024

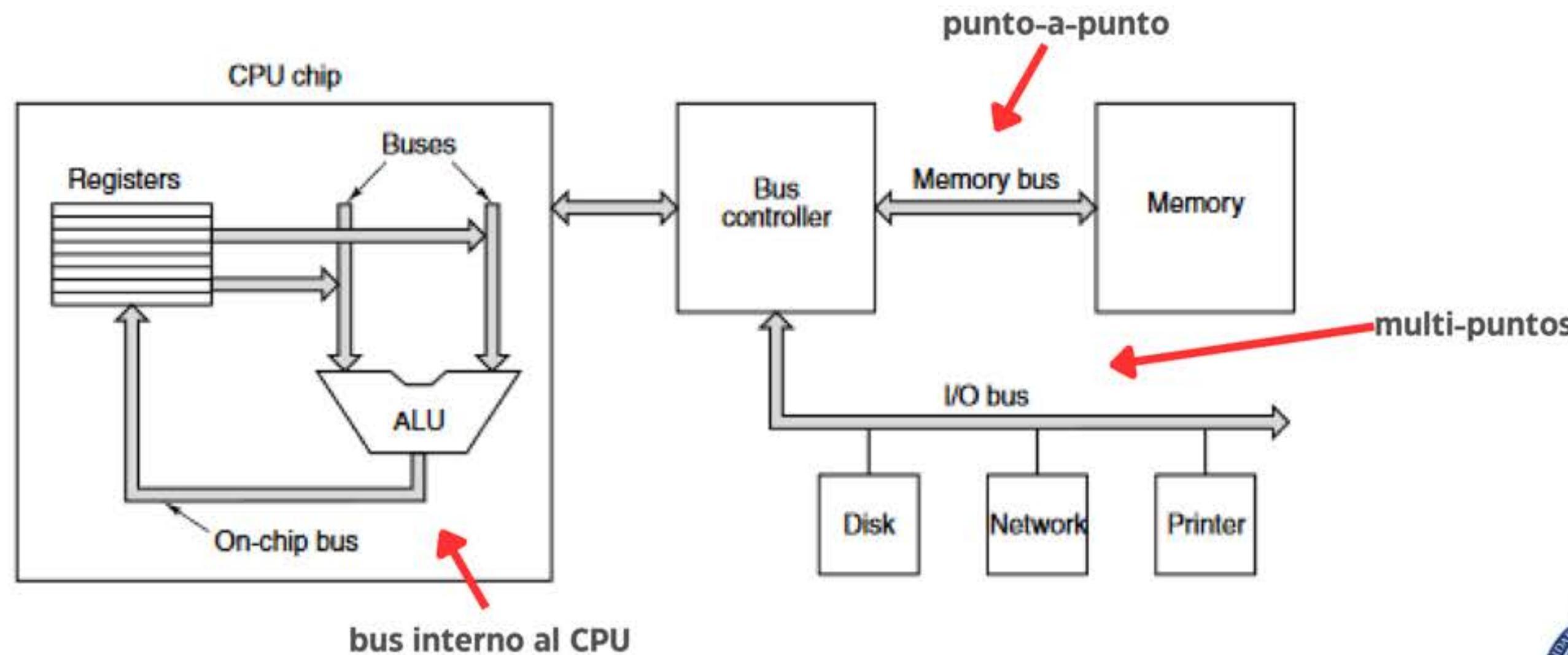
Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

El bus

Un bus puede ser **punto-a-punto**, conectando dos dispositivos o puede ser un bus **multi-puntos**, donde mas de dos dispositivos comparten un mismo bus.



2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facyt
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arquitectura del Bus

Arquitecturas mas antiguas tienen un solo bus conocido como el **bus del sistema (system bus)**. Consistía de entre 50 a 100 cables en la placa madre, con conectores espaciados, para enchufar la memoria y los dispositivos de E/S.

Eran de bajo costo, y versátiles en términos que se podían fácilmente conectar nuevos dispositivos. También, al poseer multiples líneas, se podían comunicar los bits en forma paralela. Sin embargo, al ser un recurso compartido, la comunicación entre dispositivos se convertía en un cuello de botella.

Como recurso compartido, era importante establecer un protocolo de comunicación. Esto se facilitaba con mecanismos de **arbitraje**. Tambien está sincronizado, que significa que todos los dispositivos tienen que sincronizar su comunicación a una velocidad especifica.

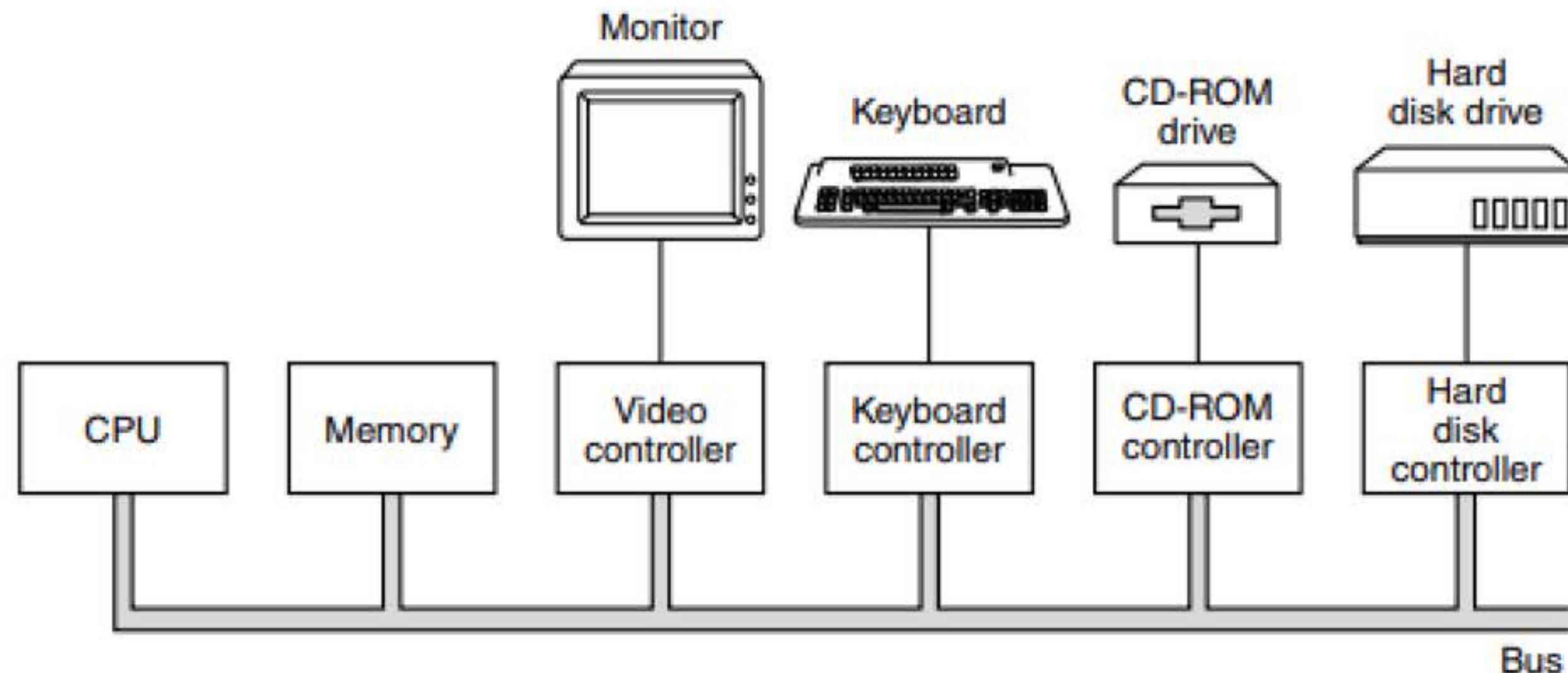
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arquitectura del Bus



2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facyt
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arquitectura del Bus

Arquitecturas mas modernas tienden a tener varios bus. Es común que tanto la memoria, como la tarjeta de video, tengan su bus dedicado de comunicación con el procesador, mientras el resto de los dispositivos comparten otro bus.

Cuantos bus son suficientes? Todo depende del costo-rendimiento que se calcula en el diseño de un arquitectura. Menos bus significa mas dispositivos compartiendo ese recurso bajando el costo pero menos rendimiento, mientras que con bus dedicados a ciertos dispositivos significa que el rendimiento de ese dispositivo se puede maximizar por un costo mayor.

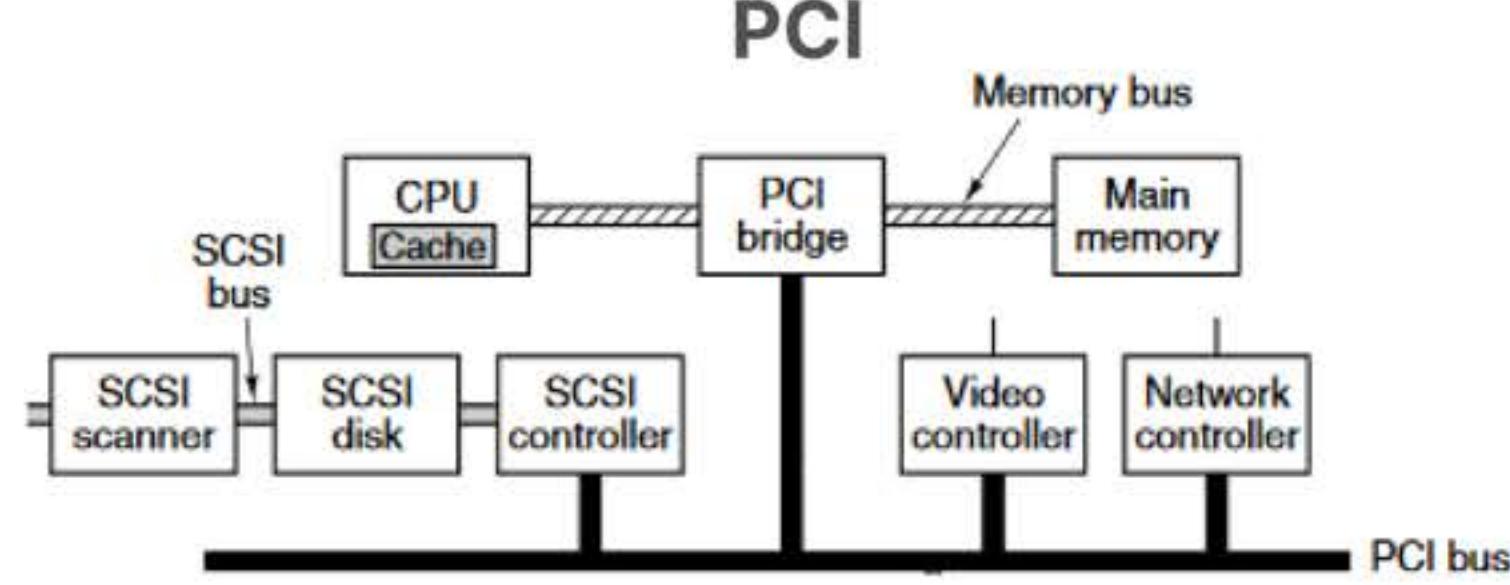
2024

Primer Cuatrimestre

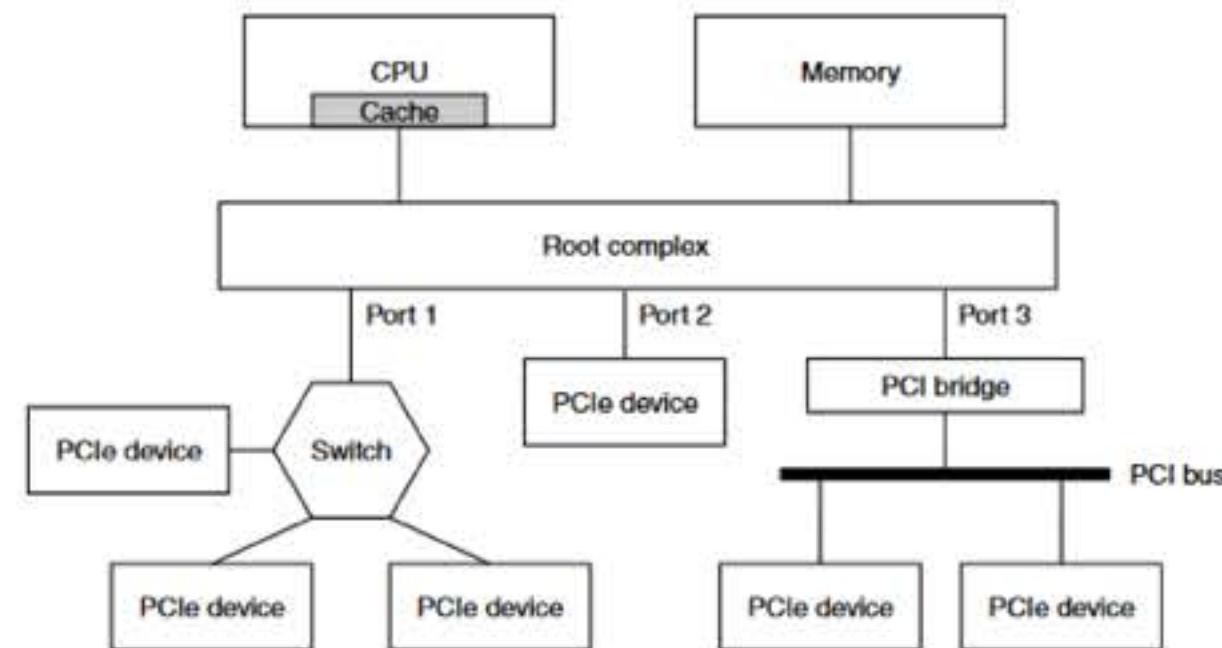


UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arquitectura del Bus



PCI Express (PCIe)



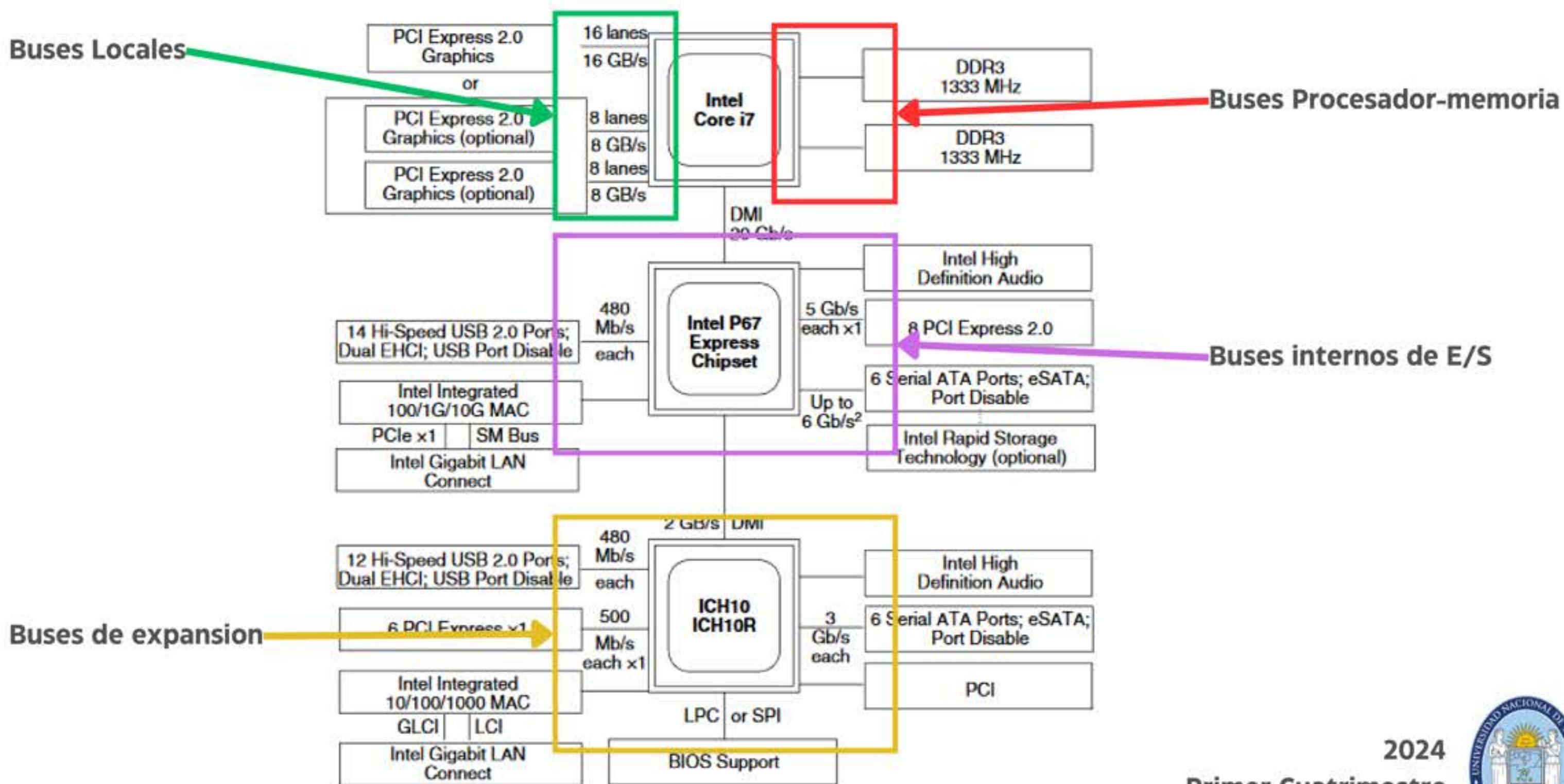
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arquitectura del Bus



2024

Primer Cuatrimestre



Protocolo de bus

Es importante que existan estándares de comunicación en los bus, de esta manera los fabricantes de dispositivos pueden garantizar que su dispositivo se pueda conectar a la computadora. Estos estándares de comunicación se llaman **protocolo de bus**.

Durante la historia hubo una pléthora de estándares. Cada fabricante de computadora tenía el suyo y hasta entre diferentes familias de computadoras del mismo fabricante podían cambiar. Idealmente debería existir un protocolo universal de bus. Hoy, casi tenemos ese protocolo universal conocido como USB.

(AMBA Protocols es una familia de protocolos diseñados por ARM)

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA
facet

Dispositivos conectados al bus

Hay tales que son activos e inician comunicación, estos se los llama se llaman **maestros***. Mientras hay otros que son pasivos y reciben comunicaciones, cuales se los llaman **esclavos***. Es importante destacar que hay dispositivos que pueden tomar cualquiera de los dos roles.

*Hace años que se esta buscando completamente remplazar la terminología maestro-esclavo por alternativas como primario-secundario. Desafortunadamente es común todavía encontrarla en literatura.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Dispositivos conectados al bus

Ejemplos:

- El procesador puede actuar como primario y ordenar al controlador de discos (el secundario) a leer o escribir un bloque de datos.
- El controlador de discos (DMA) puede actuar como maestro y ordenar a la memoria a recibir datos de algún disco.

Master	Slave	Example
CPU	Memory	Fetching instructions and data
CPU	I/O device	Initiating data transfer
CPU	Coprocessor	CPU handing instruction off to coprocessor
I/O device	Memory	DMA (Direct Memory Access)
Coprocessor	CPU	Coprocessor fetching operands from CPU

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Circuitos de interfaz

Cada dispositivo que se conecta a un bus tiene circuitos importantes que resuelven como se comunican con el bus. Estos pueden ser:

- **Controlador (Driver) de Bus:** circuito para iniciar comunicaciones con el bus en dispositivos primarios.
- **Receptor de Bus:** circuito para recibir comunicaciones del bus en dispositivos secundarios.
- **Transceptor de Bus:** circuitos para dispositivos que pueden ser tanto primario como secundario.

Estos circuitos tienen un rol importante de hacer interfaces entre los bus internos de los dispositivos y el bus externo que los conecta todos. Por ejemplo, un bus de control interno puede tener un diseño lo suficiente diferente que se tiene que implementar un circuito que convierte esas señales de control a una compatible con el bus externo. Esto se puede hacer a través de un decodificador.

Estas interfaces suelen ser **dispositivos de tres estados**, en otras palabras, pueden tener el estado 0, 1 y el de desconexión (alta impedancia o High-z).

Diseño de un bus

Hay cuatro parámetros principales en un diseño de un bus:

- Ancho de bus
- Temporización de bus
- Arbitraje de bus
- Operaciones de bus

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Ancho de bus

El parámetro mas obvio es el ancho de bus.

Por ejemplo, mientras mas líneas de dirección, mas memoria podremos direccionar. Si tenemos n líneas de dirección (n bits para direccionar), podremos direccionar un total de 2^n direcciones en memoria.

A pesar la simpleza del concepto, nos topamos con varios problemas. Un bus mas ancho requiere mas cables. Estos cables requieren un espacio físico en la placa madre y requieren conectores mas grandes para hacer interfaces. Todo esto incrementa el costo del sistema.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA
facet

Ancho de bus

Este dilema de costo-beneficio tiende a causar que los diseñadores de arquitectura sean miope y diseñen con poca proyección a futuro, después de todo, un bus de 32 bits para direccionar una memoria de 2^{32} bytes es mucho mas barato que uno de 64 bits para direccionar la misma memoria.

Peor es el dilema cuando se necesita extender el bus en una nueva arquitectura mientras mantener la compatibilidad en reversa con viejas arquitecturas.

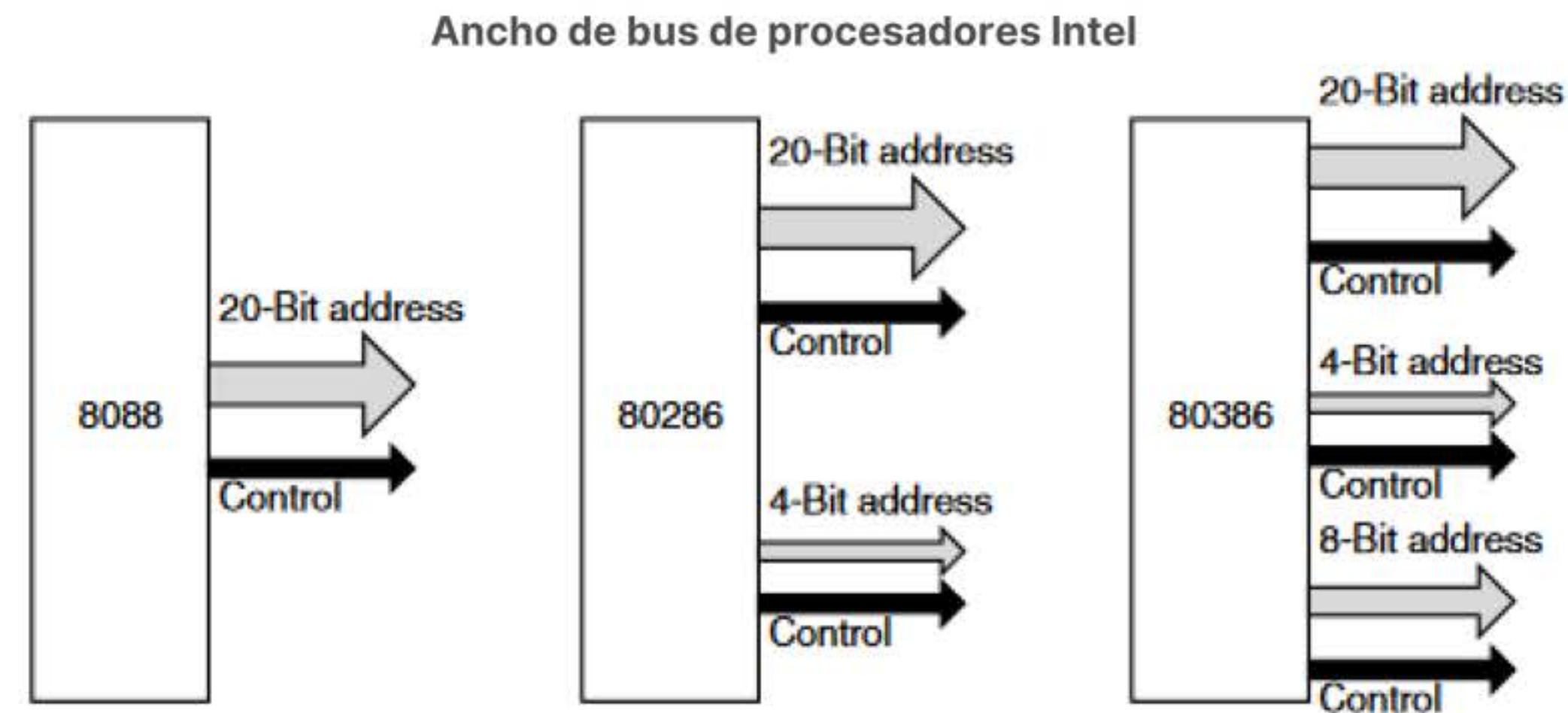
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Ancho de bus



Temporización de bus

En términos de rendimiento, el ancho del bus es uno de los parámetros. Otro parámetro que también tiene que ver con rendimiento es la velocidad del bus (o temporización del bus).

Este parámetro esta gobernado por el reloj del bus y presenta un problema grande. Mientras mas corto el periodo (mas grande la frecuencia) mas significativa es la condición de carrera de cada bit. Esto es mas comúnmente conocido como **sesgo del bus (bus skew)**.

Otro problema importante es que un bus mas rápido no es compatible con dispositivos diseñados para uno mas lento. Esto es un problema muy real en industria y causa mucho mal estar tanto en los diseñadores de dispositivos y los consumidores.

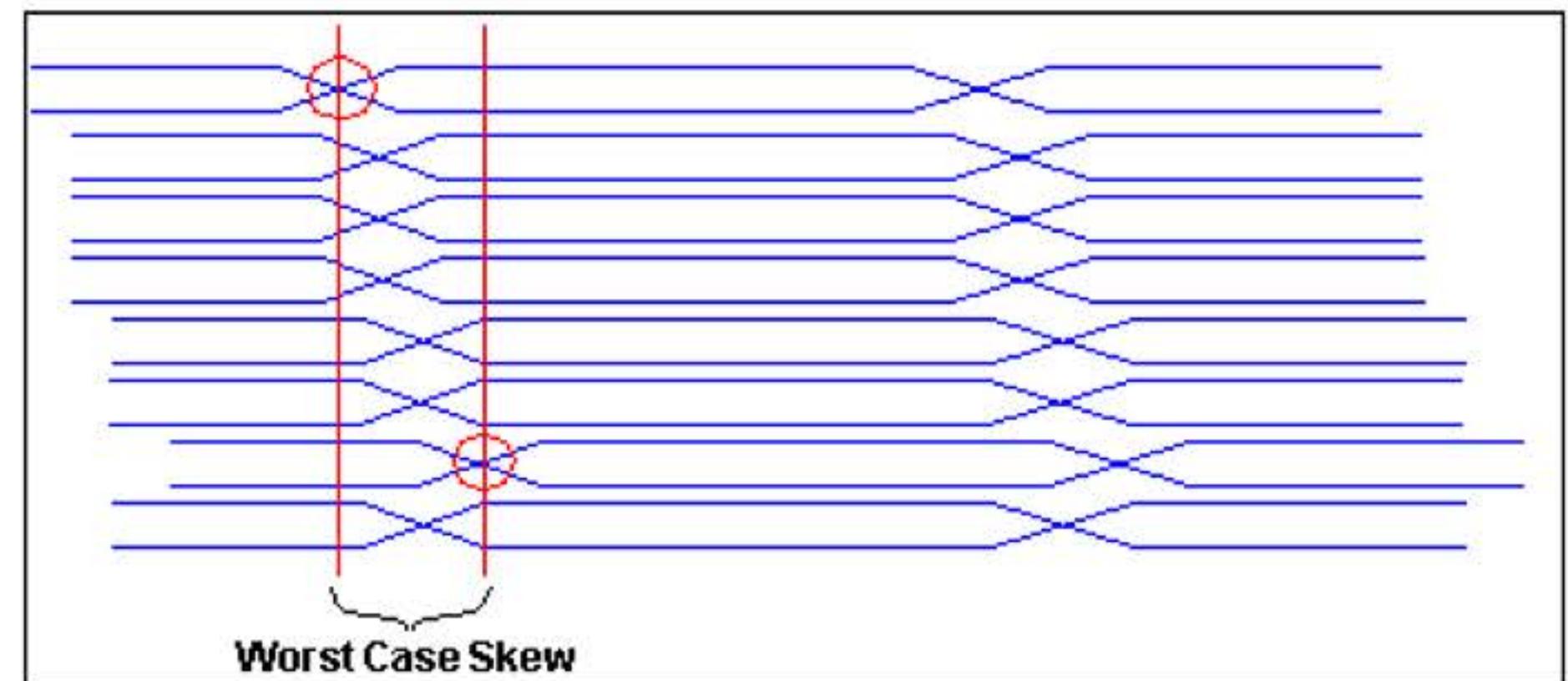
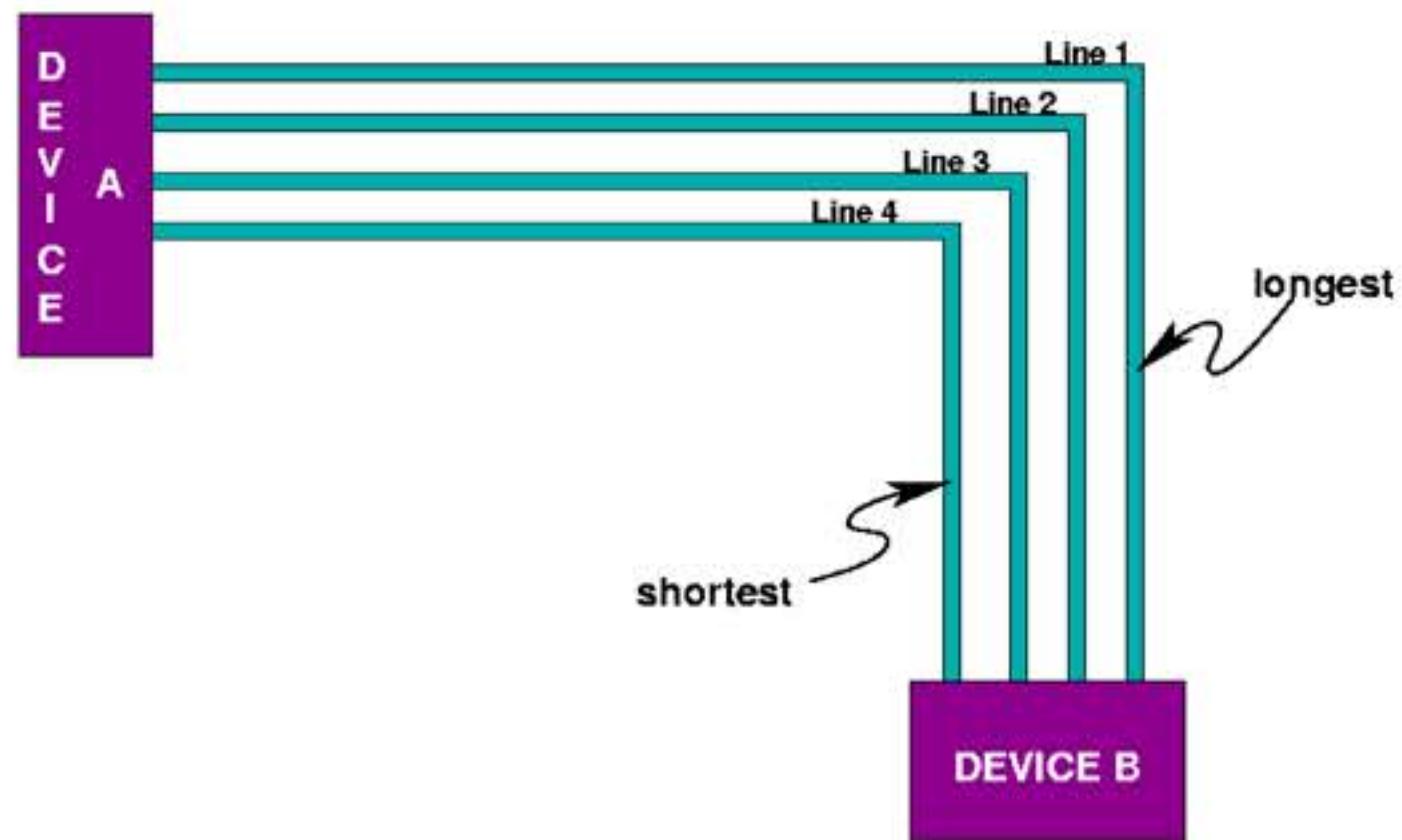
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Temporización de bus



Costo-Rendimiento del bus

En la búsqueda de rendimiento, era más común que se incremente el ancho del bus a que se incremente la velocidad del mismo.

Una técnica para mitigar el problema de tener muchos bus anchos y por consecuencia necesitar mucho espacio físico para ellos, es optar por un **bus multiplexado**. Esto significa que un bus en particular puede ser utilizado en un momento particular como bus de datos y en otro como bus de direccionamiento.

Por ejemplo, que en vez de usar un bus de 32 bits para direccionamiento y uno de 32 bits para datos, se usa uno solo de 32 bits para ambos. Esto reduce el costo pero también el rendimiento.

2024

Primer Cuatrimestre

Arbitraje del bus

Coordinar un recurso compartido es complicado. En el contexto del bus, dos preguntas importantes son:

¿Quien quiere tomar control del bus?

¿Como le otorgo ese permiso?

Para resolver los dilemas que implican las preguntas, se tiene que implementar un mecanismo de arbitraje.

Hay dos tipos de arbitraje:

Centralizado

Descentralizado

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arbitraje Centralizado

Con el arbitraje centralizado, hay un circuito, llamado el arbitro, que controla quien tiene acceso al bus. Este circuito puede o no estar adentro del procesador.

Los dispositivos están todos conectados de forma OR-alambrado a una linea llamada **Solicitud de Bus**. La misma puede ser habilitada por uno o mas dispositivos. El arbitro solo sabe que hay una solicitud, pero no sabe de quien(es).

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

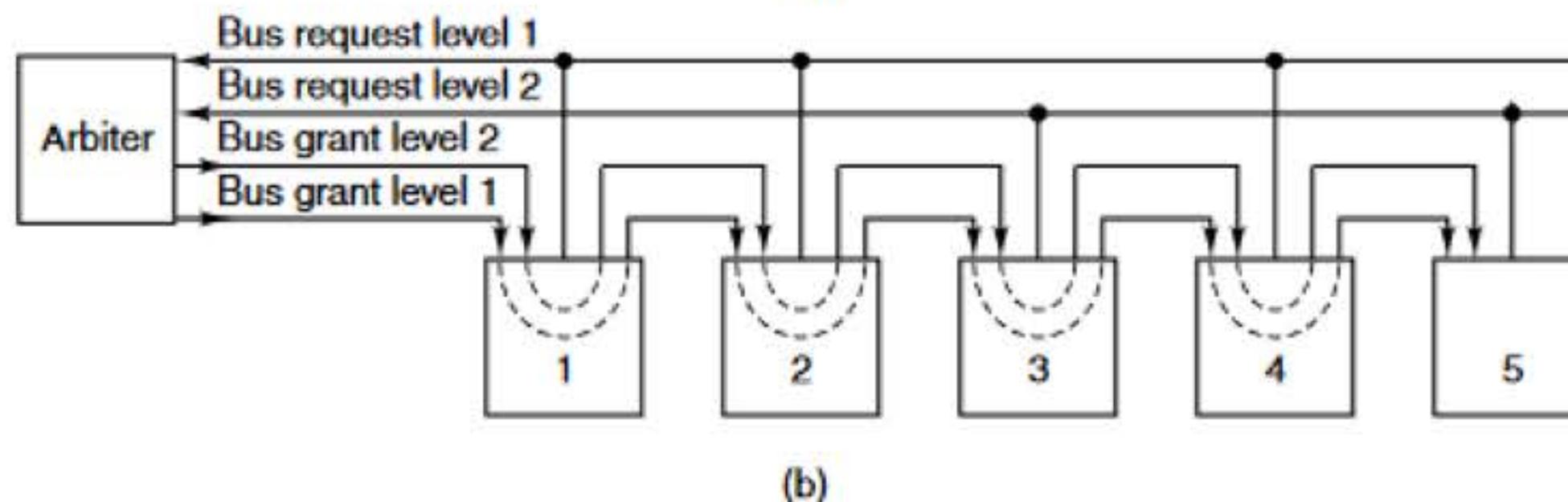
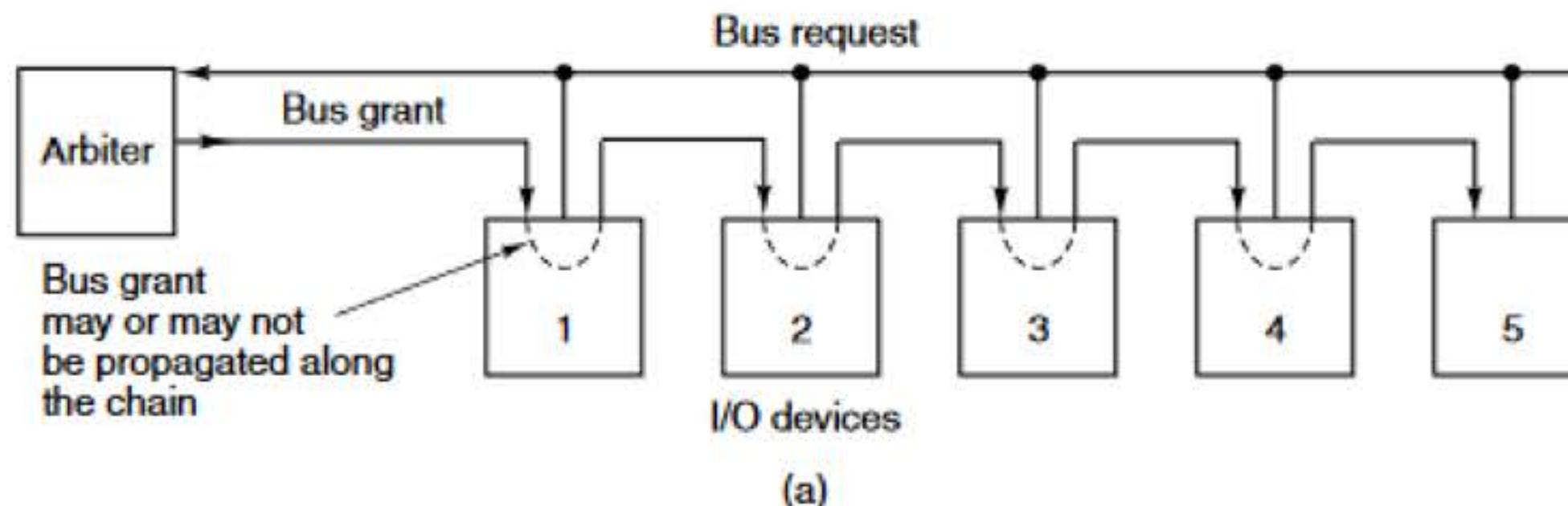
Arbitraje Centralizado

Cuando el arbitro recibe una solicitud, habilita la linea **Concesión de Bus**. El primer dispositivo que recibe la concesión se fija si hizo una solicitud. En el caso que si, toma control del bus y no propaga la señal de concesión; mientras en el caso que no hizo una solicitud, propaga la señal al próximo dispositivo.

Este esquema de comunicación se llama **encadenamiento circular (daisy chaining)**, y tiene la propiedad de: la prioridad del dispositivo se determina según que tan cerca esta del arbitro.

Algunos árbitros pueden tener una tercera señal de control, llamada **línea de acuse (acknowledgement)**. Esta sirve para que el dispositivo pueda informar al arbitro que tomo control del bus. Esto sirve para que el arbitro pueda gestionar la próxima solicitud, mientras un dispositivo toma uso del bus.

Arbitraje Centralizado



2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arbitraje Descentralizado

Con arbitraje descentralizado hay dos estrategias.

En una se definen una cantidad limitada de líneas de solicitud, donde cada dispositivo monitorea todas, pero solo puede habilitar una. Se puede o no definir una prioridad de cada una de ellas. En la otra estrategia, cuando un dispositivo quiere usar el bus, habilita su línea de solicitud. Cuando el bus está disponible, el dispositivo con más prioridad toma control del bus.

Comparada al arbitraje centralizado, este necesita más líneas de solicitud pero nos salvamos del costo de un circuito de arbitraje. También, como ahora tenemos una cantidad específica de líneas de solicitud, limita el número de dispositivos.

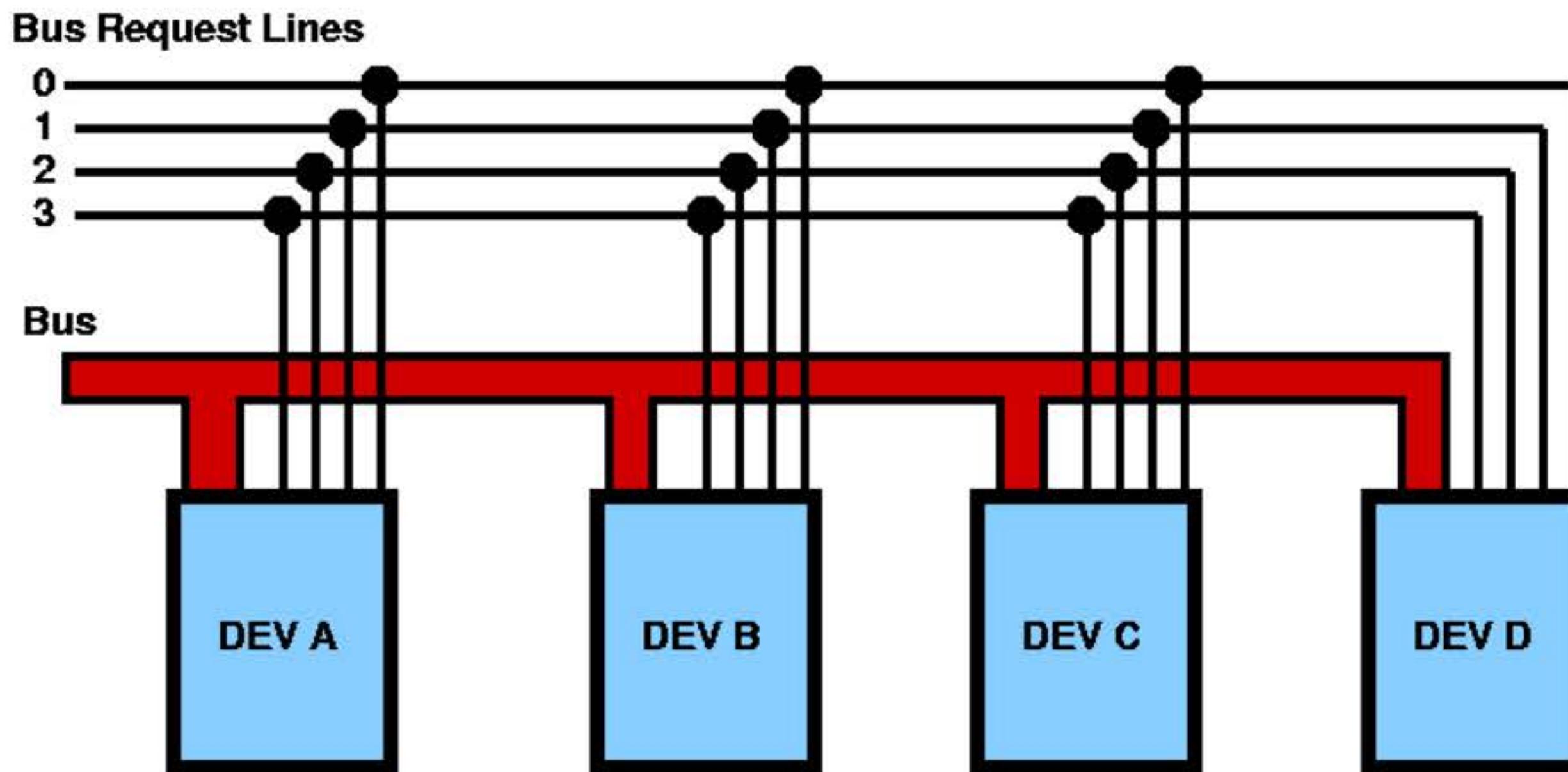
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arbitraje Descentralizado



2024
Primer Cuatrimestre

Arbitraje Descentralizado

Otra manera de hacer arbitraje descentralizado solo requiere tres líneas de control y no limita la cantidad de dispositivos.

La línea solicitud de bus es un OR-alambrado como en el de arbitraje centralizado. Una segunda línea llamada **ocupado**, se habilita cuando algún dispositivo esté en uso del bus.

La tercera se llama **línea de arbitraje**, está en forma de encadenamiento circular y siempre está habilitada.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arbitraje Descentralizado

Cuando ningún dispositivo esta en uso del bus, la linea de arbitraje se propaga por todos los dispositivos.

Cuando un dispositivo quiere tomar control del bus, primero chequea si la linea de arbitraje de entrada esta habilitada. Si no esta habilitada no puede tomar control del bus y no habilita la linea de arbitraje de salida.

Ahora, si la linea de entra esta habilitada y el dispositivo quiere tomar control del bus, primero niega la salida de arbitraje, habilita la linea ocupado y toda control del bus. Cuando ya tomó control del bus, habilita la linea de salida de arbitraje.

Como se puede observar, este arbitraje funciona igual que el de arbitraje centralizado. La ventaja aquí es que nos salvamos el costo del circuito de arbitraje, la lógica es mas rápida, y no falla si falla el circuito de arbitraje.

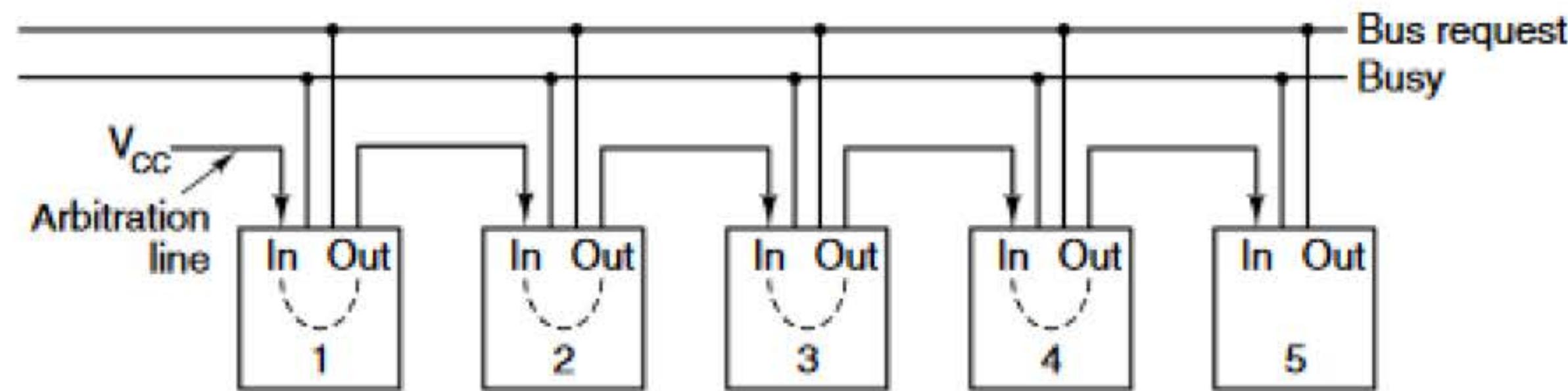
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Arbitraje Descentralizado



Operaciones del bus

Las transferencias de datos en el bus pueden ser de los mas simples a la mas complicada. Por ejemplo, cuando decimos que un dispositivo primario manda o recibe información de un secundario, estamos describiendo un solo tipo de operación del bus. La típica secuencia de esta operación es:

1. El bus de control establece las señales adecuadas para que se pueda establecer la dirección del dato en el bus de direccionamiento.
2. Con el bus de direccionamiento ya establecido, se busca el dato y se lo transfiere.

Normalmente una palabra es transferida por el bus en un momento en particular. Sin embargo, cuando hacemos operaciones con la cache, por ejemplo, queremos mandar la información por bloques (varias palabras). Con este tipo de operación, primero tenemos que comunicar por el bus cuantas palabras vamos a transferir. Después el dispositivo que transmite, manda palabra por palabra hasta que las transmite todas.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Operaciones del bus

Otro tipos de transferencias existen. En el caso que estamos trabajando con procesadores de varios núcleos, tener en cuenta la coherencia de memoria es muy importante.

Por ejemplo, es típico que exista un valor booleano en memoria que indique si una estructura de datos esta en uso por un núcleo. Si un núcleo quiere usarla, lee la variable, si esta en 0, la establece (le pone 1). Con mala suerte, dos de los núcleo puede leer este variable en ciclos consecutivos antes que el primero pueda establecer el valor booleano a 1. Esto puede causar que los dos núcleo usen la misma estructura de datos en simultaneo y se corrompan los datos.

Para evitar esta situación, sistemas con procesadores de varios núcleos tienen una operación especial llamada leer-modifica-escribir (read-modify-write) que permite que el núcleo lea el variable, lo inspeccione y lo modifique, y los escriba de vuelta, todo en una sola operación (osea, antes que suelte el control del bus).

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Operaciones del bus

Una operación especial del bus es manejar interrupciones. Cuando el procesador le pide a algún dispositivo que haga una tarea, mientras el dispositivo hace su tarea el CPU sigue procesando otras cosas, y el procesador espera una interrupción cuando el dispositivo completa su tarea. Estas interrupciones se comunican a través del bus.

Como es posible que varios dispositivos en simultaneo puedan querer hacer una interrupción, se necesita un arbitro especial que maneje las mismas. Es común que el arbitro aquí sea de forma centralizada y que se priorice los dispositivos mas críticos.

Cuando interrupciones pasan, el procesador tienen que buscar cual dispositivo la hizo. Cuando encuentra este identificador, lo usa para indexar una tabla de punteros, llamados **vectores de interrupción**, que le indican la dirección de la rutina que dará servicio a la interrupción.

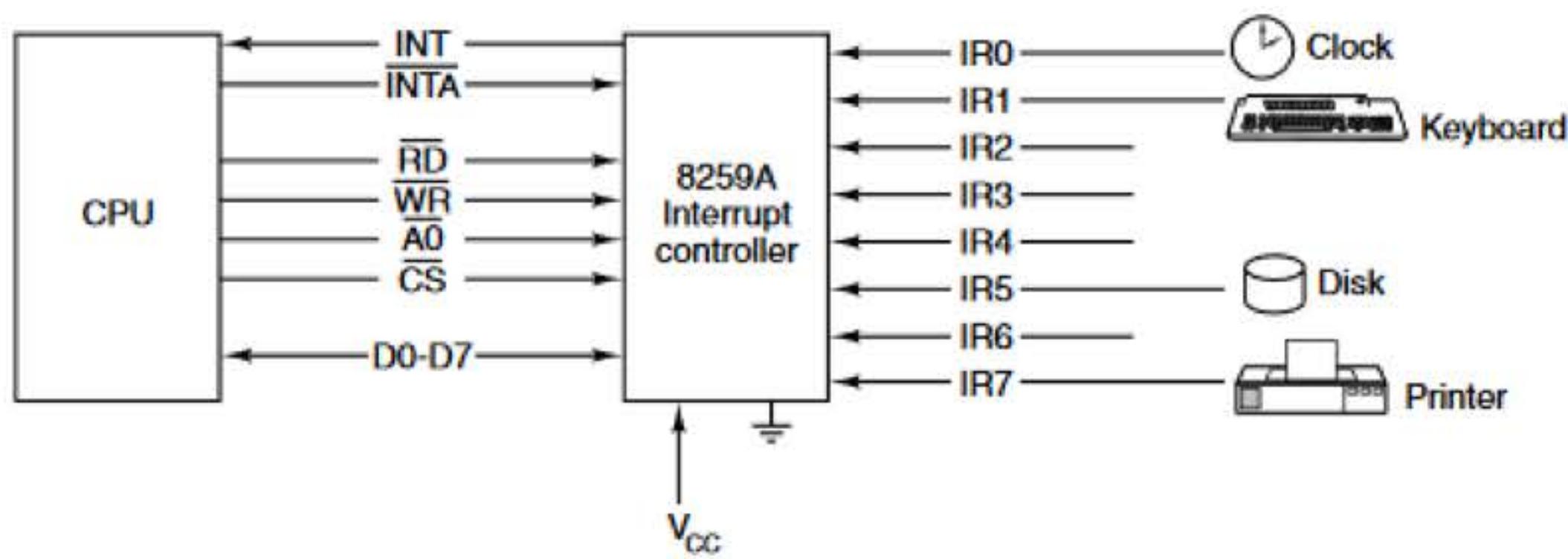
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

Operaciones del bus



Vector No.	Address	Source	Interrupt Definition
1	\$000	Reset	External Pin, Power-on Reset, Brown-out Reset, Watchdog Reset, and JTAG AVR Reset
2	\$002	INT0	External Interrupt Request 0
3	\$004	INT1	External Interrupt Request 1
4	\$006	TIMER2 COMP	Timer/Counter2 Compare Match
5	\$008	TIMER2 OVF	Timer/Counter2 Overflow
6	\$00A	TIMER1 CAPT	Timer/Counter1 Capture Event
7	\$00C	TIMER1 COMPA	Timer/Counter1 Compare Match A
8	\$00E	TIMER1 COMPB	Timer/Counter1 Compare Match B
9	\$010	TIMER1 OVF	TIMER1 OVF Timer/Counter1 Overflow
10	\$012	TIMER0 OVF	Timer/Counter0 Overflow
11	\$014	SPI, STC	Serial Transfer Complete
12	\$016	USART, RXC	Rx Complete
13	\$018	USART, UDRE	USART Data Register Empty
14	\$01A	USART, TXC	USART, Tx Complete
15	\$01C	ADC	ADC Conversion Complete
16	\$01E	EE_RDY	EEPROM Ready
17	\$020	ANA_COMP	Analog Comparator
18	\$022	TWI	Two-wire Serial Interface
19	\$024	INT2	External Interrupt Request 2
20	\$026	TIMER0 COMP	Timer/Counter0 Compare Match
21	\$028	SPM_RDY	Store Program Memory Ready

2024

Primer Cuatrimestre



El bus PCI

El bus PCI (Peripheral Component Interconnect Bus) surgió con una necesidad de migrar de sistemas operativos textuales, a los mismos que no solo tenían interfaces gráficas pero que también tenían aplicaciones gráficas más exigentes.

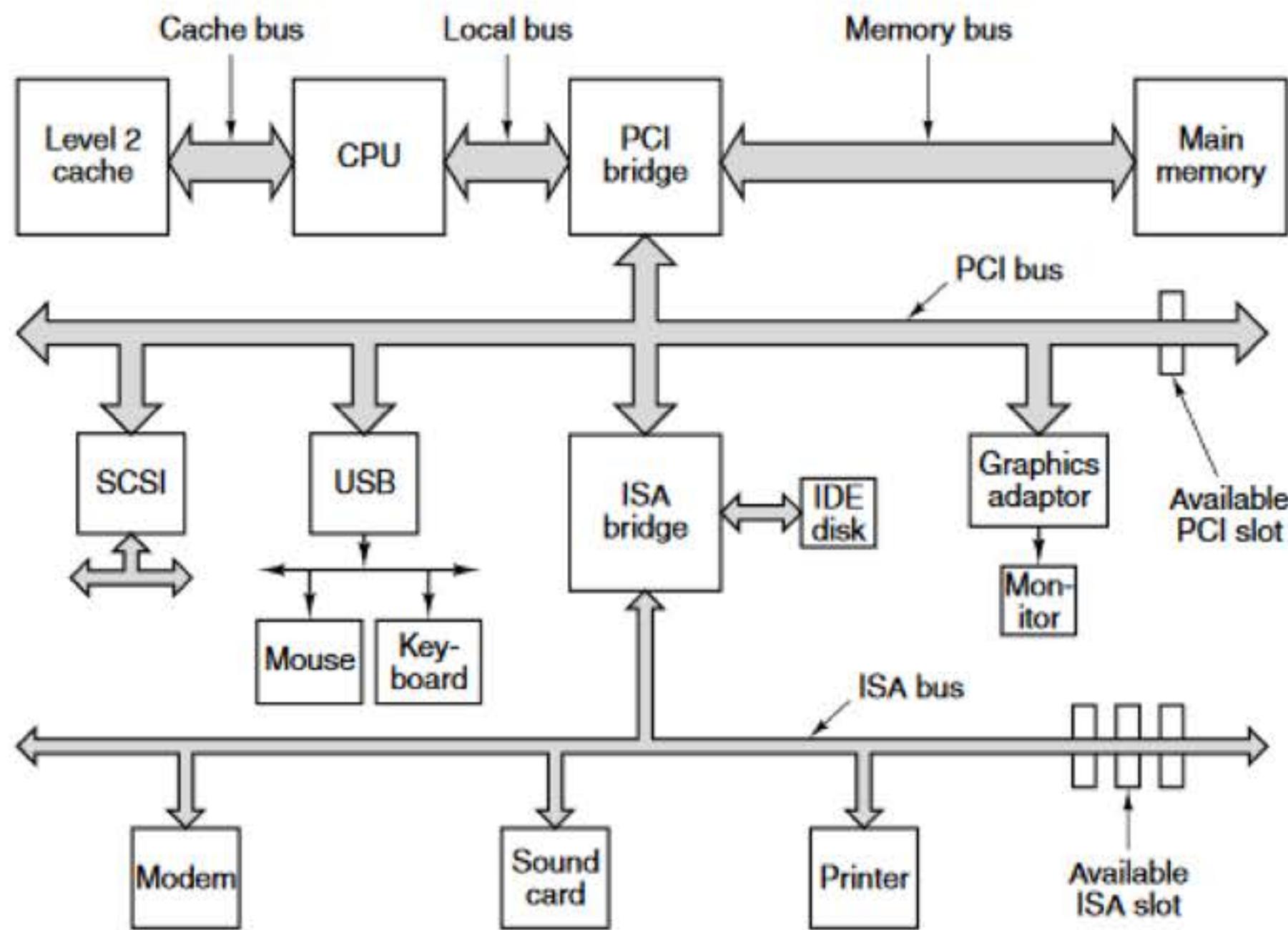
Para considerar, un video de color de 1024x768 pixeles con 3 bytes por pixel, tiene 2.25 MB de dato en un solo marco. Con por lo menos 30 marcos por segundo, requiere una transferencia de datos de 67.5 MB por segundo. No solo esto, para que el video llegue a la pantalla, primero tiene que ser leído del disco duro, transferido a memoria, y recién ser transferido a la tarjeta de video. Esto resulta en una necesidad transferir los datos a 135 MB por segundo. Video de 1920x1080 a 30 marcos por segundo requiere 155 MB por segundo.

El bus PCI

El PCI original podía transferir 32 bits por ciclo a una velocidad de 33 MHz por una capacidad de transferencia total de 133 MB por segundo. Con sus consecuentes versiones (2.0, 2.1 y 2.2), el bus PCI llegó a 66 MHz de velocidad con una transferencia de 64 bits por ciclo, por un total de 528 MB por segundo.

Aunque el PCI era teóricamente suficiente para transferir video en HD, no era suficiente para ser un bus para la memoria principal. También, no era compatible con el bus anterior (el bus ISA). Intel, para tratar con ese problema, diseñó sus arquitecturas con tres buses.

El bus PCI



2024

Primer Cuatrimestre



El bus PCI

En su arquitectura, el procesador podía comunicarse con memoria en un bus dedicado, y un bus ISA podía ser conectado, a través de un puente, al bus PCI. Esta arquitectura fue muy popular en los años 1990 hasta mas o menos los principios del los 2000.

Los componentes claves son los dos chips de puentes. El puente PCI conecta el procesador, la memoria y el bus PCI, mientras el puente ISA, conecta al bus PCI con el bus ISA. Era común que una placa madre tenga unos cuantos conectores PCI para dispositivos rápidos y conectores ISA para dispositivos lentos.

La ventaja principal de esta arquitectura era que el procesador tenía un canal de comunicación muy rápido entre el y la memoria.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

El bus PCI

Eventualmente a los finales de los 1990, se considero que el bus ISA estaba muerto y que el PCI ya no era suficiente para las tarjetas de videos. En consecuentes arquitecturas, se elimino el bus ISA, y se agrego un nuevo bus llamado AGP (Accelerated Graphics Port) dedicado para las placas de video. La ultima version de AGP, 3.0, tenia una capacidad de transferencia de 2.1 GB por segundo.

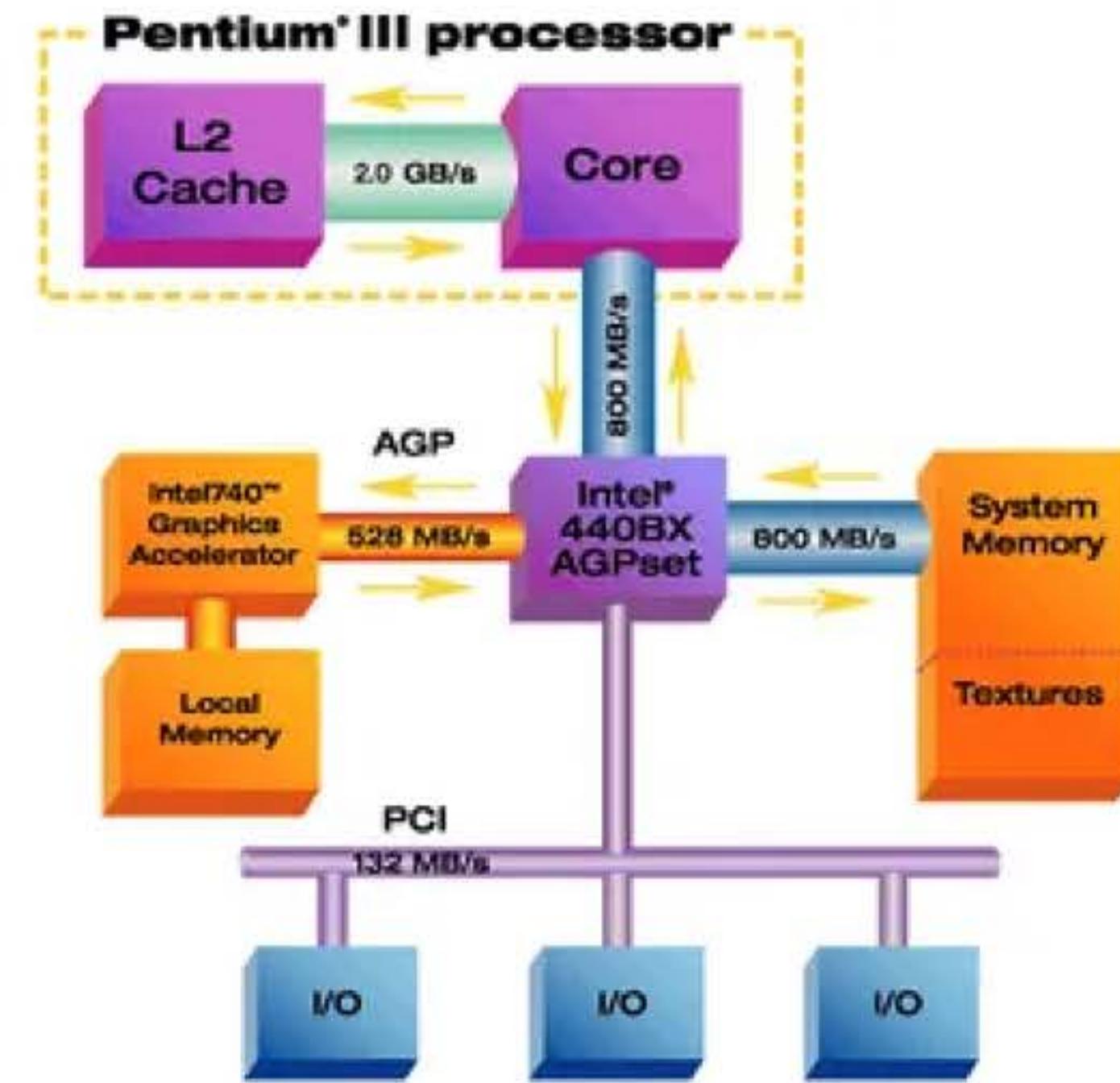
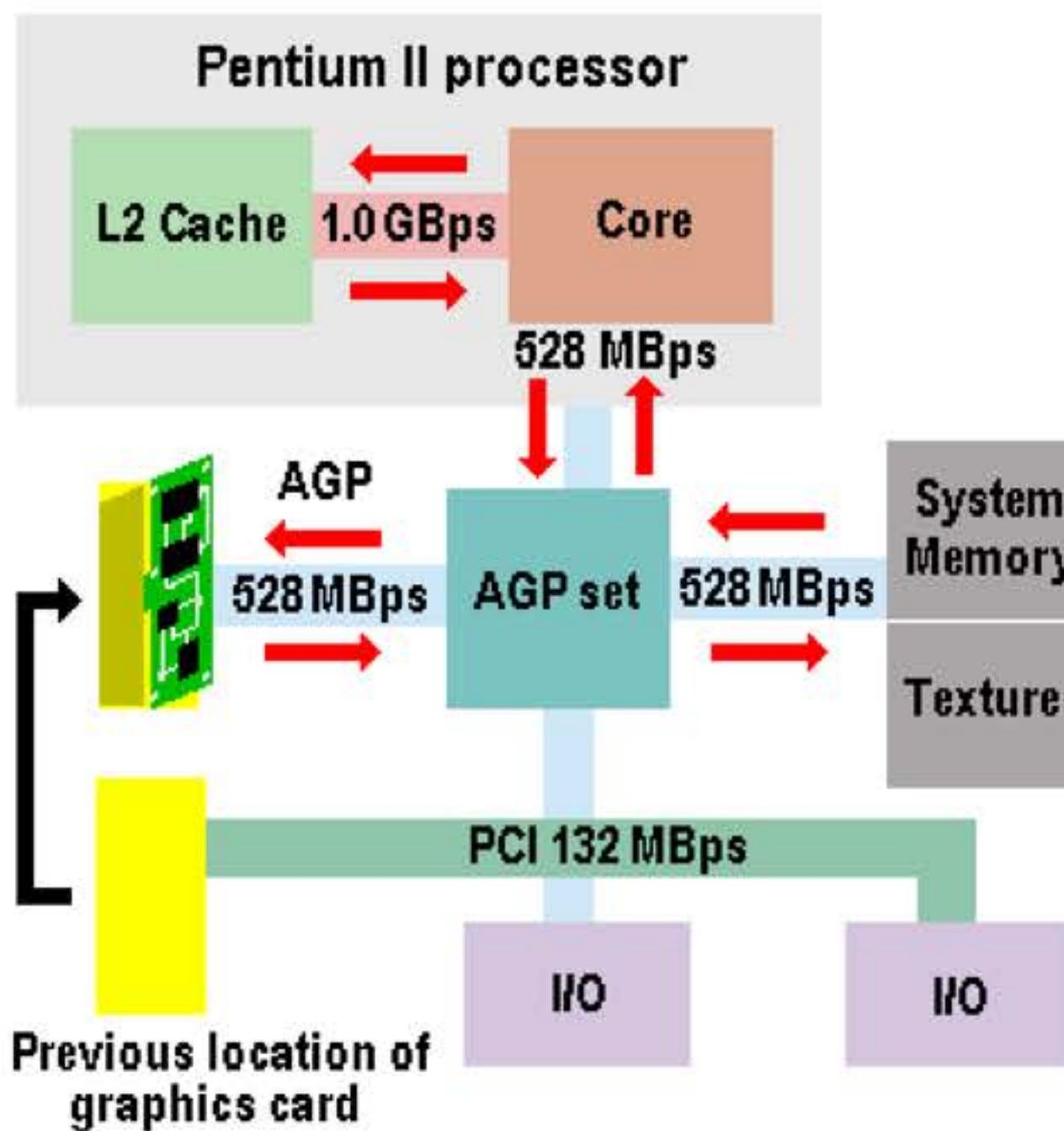
2024

Primer Cuatrimestre

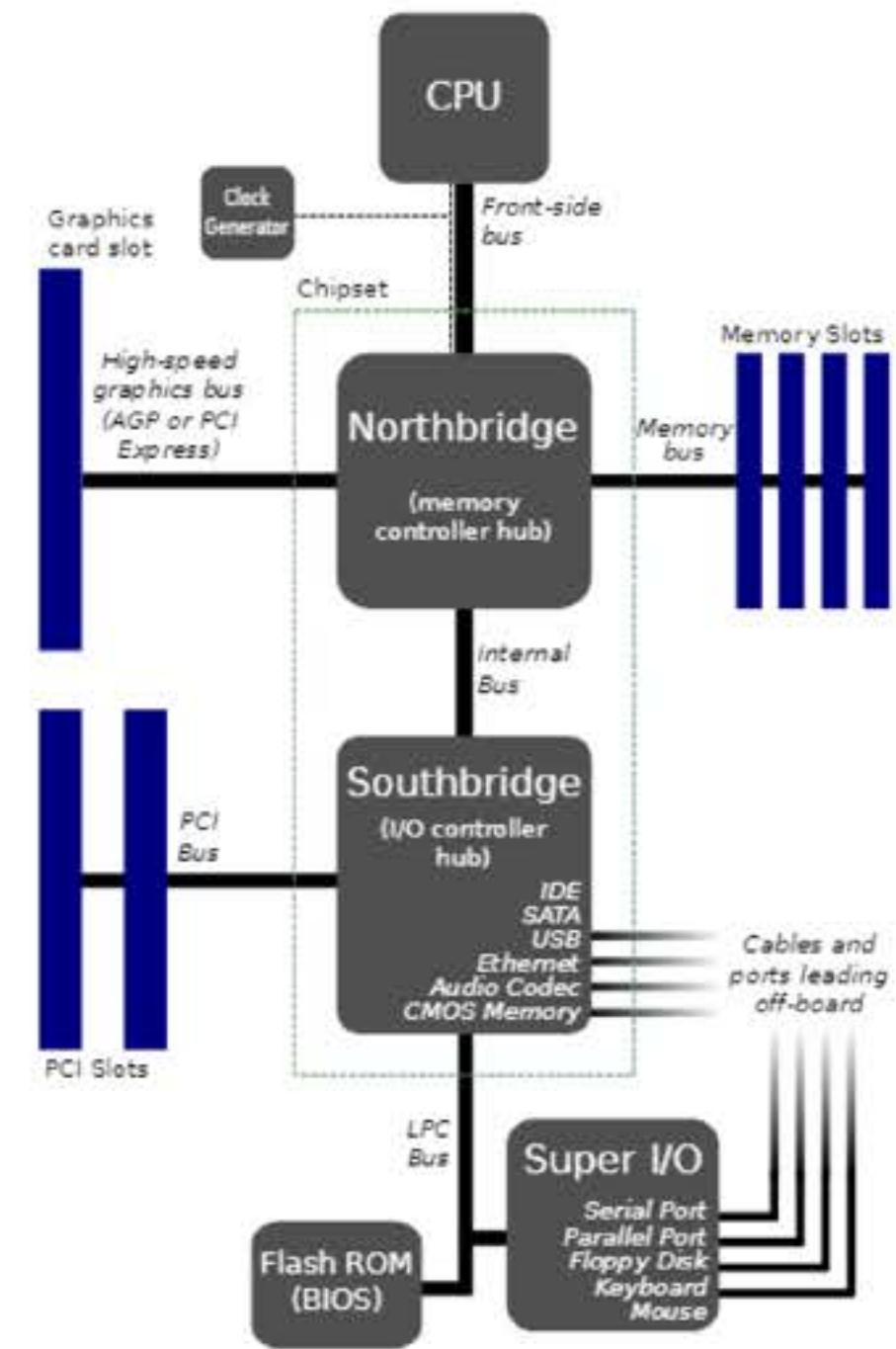
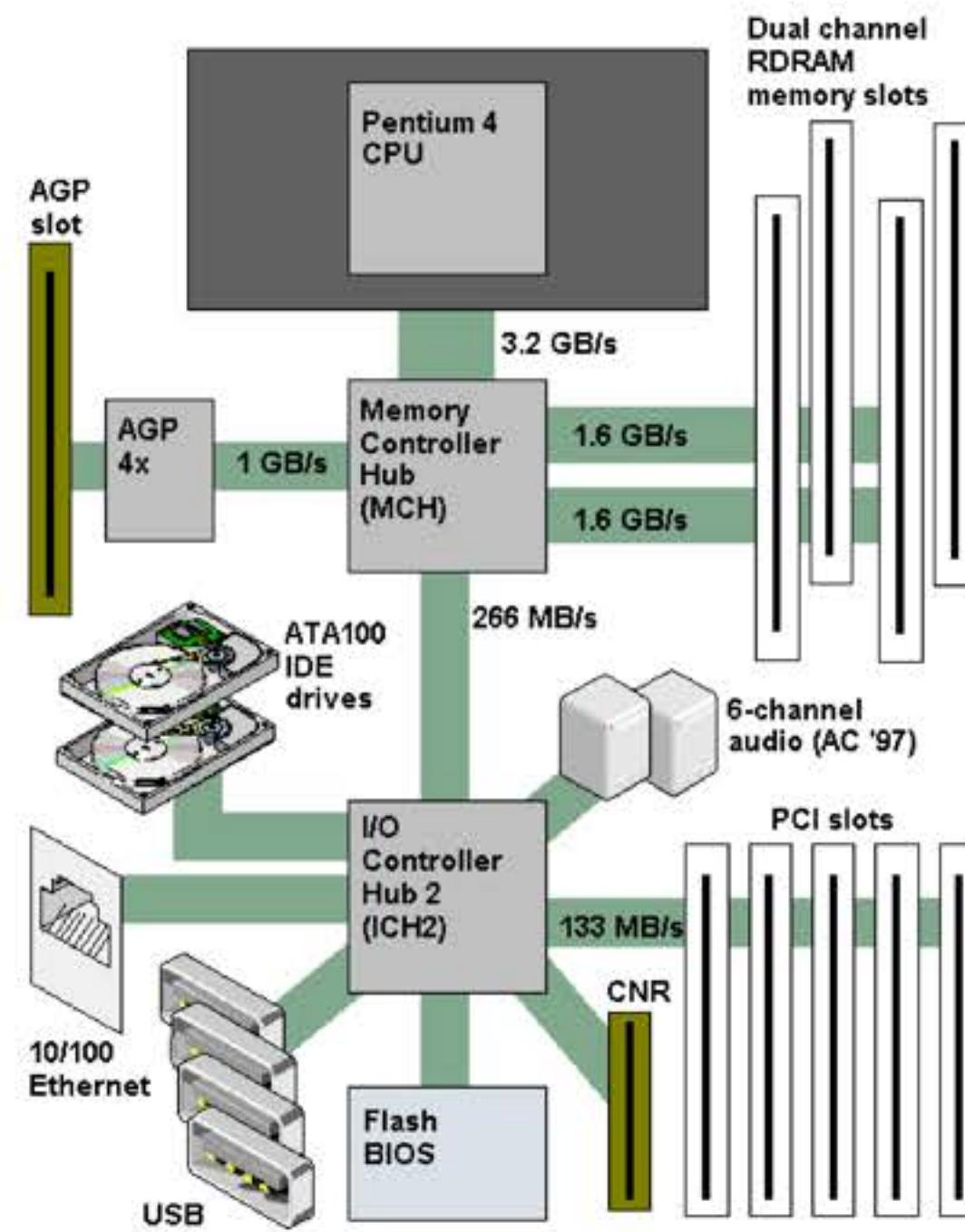


UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

El bus PCI



El bus PCI



PCI Express

En la necesidad continua de mas rendimiento, el bus PCI llegaba a sus limites. Seguir aumentando su velocidad no era factible por los problemas de sesgo de bus, capacitancia en los cables, y otros problemas electrónicos. Ademas, cada ves que un dispositivo necesitaba mas capacidad de bus, Intel terminaba diseñando un bus dedicado para ese dispositivo. En largo plazo, esta estrategia no era muy buena. Hubo varias soluciones propuestas, pero al final del día, la que gano (gran parte porque Intel aporto a su diseño) fue el bus PCI Express.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA

PCI Express

Uno de las características mas interesantes de este bus es que elimino la transferencia de información en forma paralela y el concepto de dispositivos primarios y secundarios. En cambio, opto por un diseño de **conexiones seriales de punto a punto de alta velocidad**. También es muy interesante que esta nueva característica la tomo prestada del mundo de redes, en especial de Ethernet.

La idea básica es, los que hace PCI express es provee un **switch (comutador)** de propósito general para conectarse con cada dispositivo de forma serial. Cada dispositivo tiene su conexión dedicada. El switch es conectado a un puente que se comunica con el procesador y la memoria.

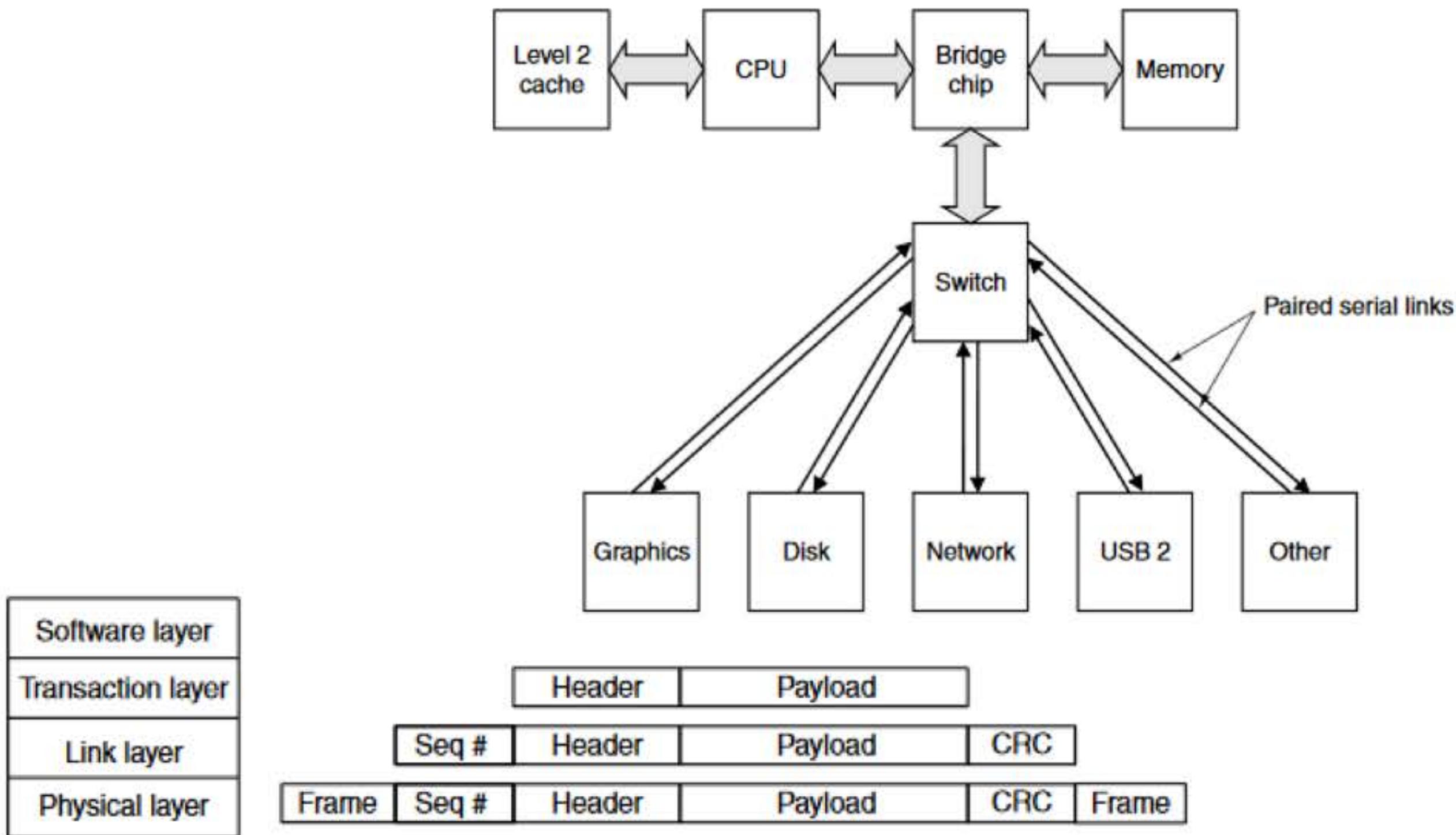
2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA
facet

PCI Express



2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA
facet

PCI Express

Con PCIe:

- Cada dispositivo tiene una conexión punto a punto con el switch.
- Cada conexión es un **par de canales unidireccional**, uno va desde el dispositivo al switch mientras el otro de forma inversa.
- Todos los dispositivos están tratados iguales (por lo menos de forma física).
- En el modelo de comunicación, un dispositivo simplemente manda un **paquete de datos** a otro. El concepto de paquete consiste de un **encabezamiento (header)** y una **carga (payload)**. El header contienen información de control, de esta manera eliminando la necesidad de lineas físicas de control, mientras el payload contiene los datos.

En esencia, PCIe es una **mini red de commutación de paquetes (packet-switching network)**.

2024

Primer Cuatrimestre



Lecturas

Lecturas recomendadas:

Tanenbaum, 2013: Capítulos 3.6.1, 3.6.2

Tanenbaum, 2000: Capítulos 3.6.2

Traducciones proveídas.

2024

Primer Cuatrimestre



UNIVERSIDAD NACIONAL DE TUCUMÁN
facet
FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍA