

**UNIVERSIDAD DE GRANADA.**

**ESCUELA TECNICA SUPERIOR DE  
INGENIERIAS INFORMATICA Y DE  
TELECOMUNICACIÓN.**



**Departamento de Arquitectura y  
Tecnología de Computadores.**

**TECNOLOGÍA Y ORGANIZACIÓN DE  
COMPUTADORES.**

**TEMA 3. SISTEMAS COMBINACIONALES.  
GUÍA DE AYUDA PARA EL APRENDIZAJE  
AUTÓNOMO**

**1º GRADO EN INGENIERÍA INFORMÁTICA.**



## TEMA 3º. SISTEMAS COMBINACIONALES.

### GUÍA DE AYUDA PARA EL APRENDIZAJE AUTÓNOMO.

#### 3.1.- PARTE TEÓRICA: El estudiante deberá:

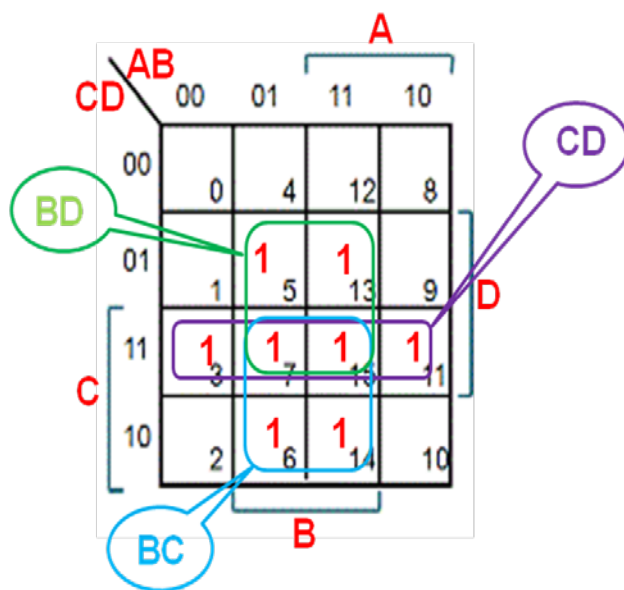
- Descargar de la plataforma docente y leer detenidamente el material del Tema 3º ubicado en el fichero 03.-TEMA\_3\_TOC\_SISTEMAS\_COMBINACIONALES.PDF.
- Visualizar en los enlaces de más abajo dos videoclases referentes al Tema 3º de la asignatura:  
Tema 3. Clase 1. <https://drive.google.com/open?id=1LYnJsHz1OUzPIDzAcr6vIaYK1XLKCTeb>  
Tema 3. Clase 2. <https://drive.google.com/open?id=1WJY2ZxF5grFL4WfDU2vcmlVtuPiZXT7O>  
Tema 3. Clase de Problemas.  
[https://drive.google.com/file/d/1pZfl31KiLnNXSU1Pqqd\\_wL-8-SVcsVS/view?usp=sharing](https://drive.google.com/file/d/1pZfl31KiLnNXSU1Pqqd_wL-8-SVcsVS/view?usp=sharing)

#### 3.2.- PARTE DE EJERCICIOS:

- Las acciones de una compañía están repartidas en poder de cuatro accionistas de la siguiente forma: A, 12%; B, 23%; C, 30%; D, 35%. Las decisiones se toman por mayoría y cada uno de los accionistas tiene un botón particular de la mesa de juntas que se utiliza para las votaciones. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que indique si se aprueban las propuestas presentadas por la junta de accionistas.

- Tabla de Verdad que modela el problema y mapa de Karnaugh para la simplificación: se entiende que  $f = 1$  significa que se aprueba la moción presentada a votación y  $f = 0$  en otro caso.

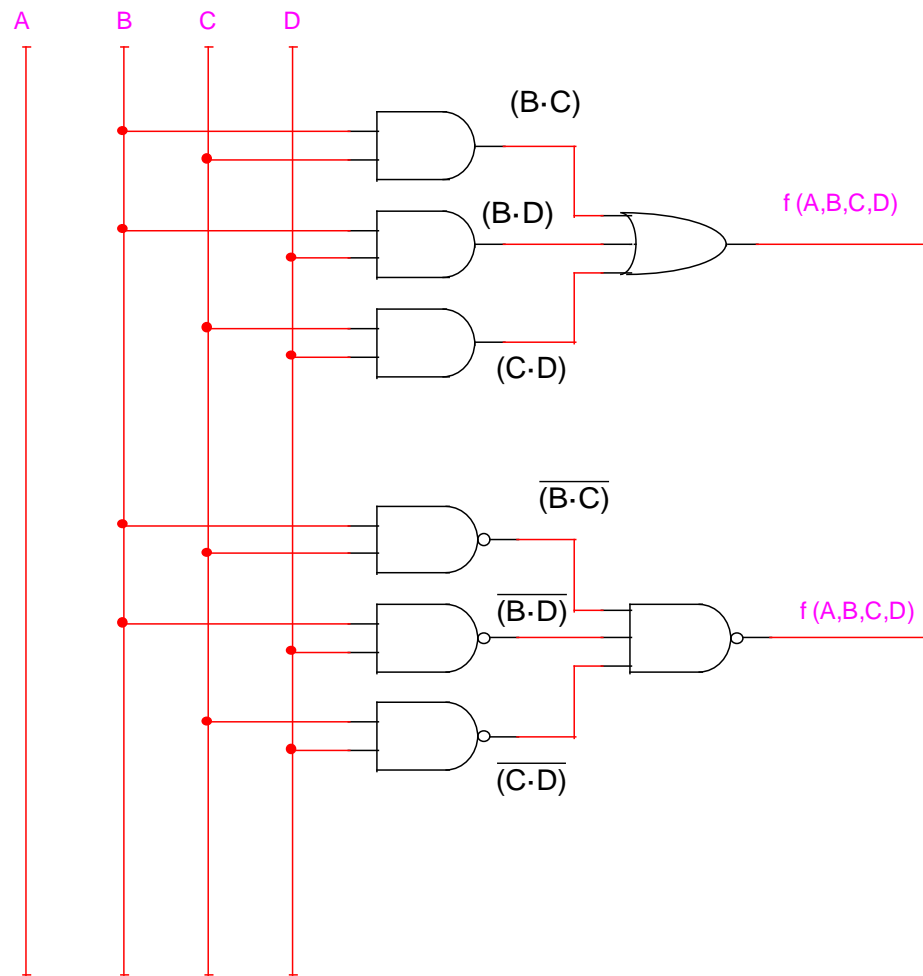
A B C D	% VOTOS	f
0 0 0 0	0 %	0
0 0 0 1	35 %	0
0 0 1 0	30 %	0
0 0 1 1	65%	1
0 1 0 0	23%	0
0 1 0 1	58%	1
0 1 1 0	53%	1
0 1 1 1	88%	1
1 0 0 0	12%	0
1 0 0 1	47%	0
1 0 1 0	42%	0
1 0 1 1	77%	1
1 1 0 0	35%	0
1 1 0 1	70%	1
1 1 1 0	65%	1
1 1 1 1	100%	1



- Expresión mínima AND/OR y NAND/NAND de la función de conmutación: todos los implicants primos obtenidos en paso anterior son esenciales, por tanto, la expresión mínima de la función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND será:

$$f(A,B,C,D) = (B \cdot C) + (B \cdot D) + (C \cdot D) = \overline{\overline{(B \cdot C)} + \overline{(B \cdot D)} + \overline{(C \cdot D)}} = \overline{\overline{(B \cdot C)} \cdot \overline{(B \cdot D)} \cdot \overline{(C \cdot D)}}$$

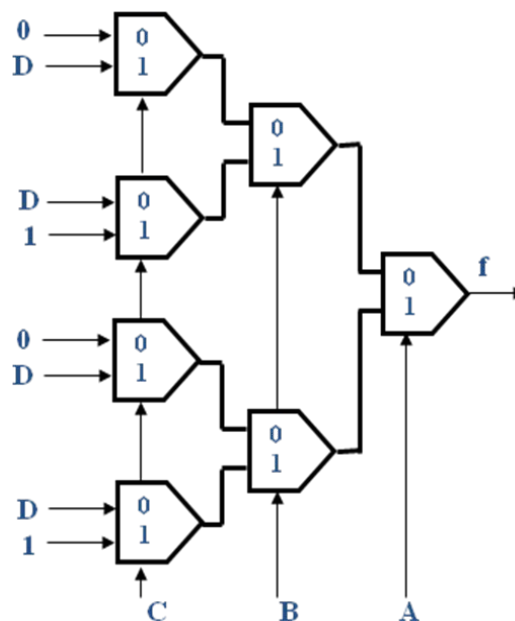
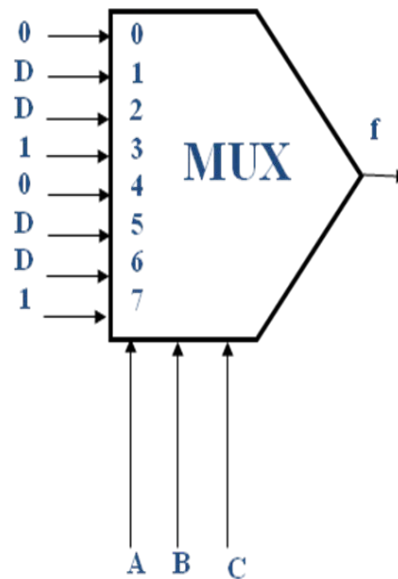
- c) Esquema del circuito mínimo que implementa la función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND:



- d) (Addenda) Realice la función  $f$  utilizando un multiplexor de 8 a 1 (3 entradas de control) y multiplexores de 2 a 1 (1 entrada de control).

Se reagrupa la tabla de verdad de la función de conmutación:

A	B	C	D	% VOTOS	f	Valor parcial
0	0	0	0	0 %	0	$f(000D) = 0$
0	0	0	1	35 %	0	
0	0	1	0	30 %	0	$f(001D) = D$
0	0	1	1	65 %	1	
0	1	0	0	23 %	0	$f(010D) = D$
0	1	0	1	58 %	1	
0	1	1	0	53 %	1	$f(011D) = 1$
0	1	1	1	88 %	1	
1	0	0	0	12 %	0	$f(100D) = 0$
1	0	0	1	47 %	0	
1	0	1	0	42 %	0	$f(101D) = D$
1	0	1	1	77 %	1	
1	1	0	0	35 %	0	$f(110D) = D$
1	1	0	1	70 %	1	
1	1	1	0	65 %	1	$f(111D) = 1$
1	1	1	1	100 %	1	



Este último esquema sirve como ejemplo de la implementación de un multiplexor de 8 a 1 (3 entradas de control) con multiplexores 2 a 1 (1 entrada de control).

2. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND con 4 entradas (A, B, C, D) y dos salidas (X, Y) que reúna las siguientes características:

- 2.1. La salida X debe ser 1 cuando única y exclusivamente haya una o dos entradas con valor 1.  
2.2. La salida Y debe ser 1 cuando única y exclusivamente haya dos o tres entradas con valor 1.

- a) Tabla de Verdad que modela el problema:

A	B	C	D	X	Y
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	1	0
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	0

$$X = \sum m(1, 2, 3, 4, 5, 6, 8, 9, 10, 12)$$

$$Y = \sum m(3, 5, 6, 7, 9, 10, 11, 12, 13, 14)$$

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

3. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que opere con dos datos de dos bits,  $A = a_1a_0$  y  $B = b_1b_0$ , y realice la función  $Z = 2 \cdot A \cdot B$ .

- a) Tabla de Verdad que modela el problema: Los datos A y B son datos de dos bits (se suponen números enteros positivos sin signo) cuyos valores están comprendidos entre 0 y 3. Por tanto, el producto aritmético de  $A \cdot B$  estará comprendido entre un mínimo de 0 (cuando  $A = B = 0$  ;  $a_1a_0 = b_1b_0 = 00$ ) y un máximo de 9 (cuando  $A = B = 3$  ;  $a_1a_0 = b_1b_0 = 11$ ). Consecuentemente, el producto aritmético de  $2 \cdot A \cdot B$  estará comprendido entre un mínimo de 0 (cuando  $A = B = 0$  ;  $a_1a_0 = b_1b_0 = 00$ ) y un máximo de 18 (cuando  $A = B = 3$  ;  $a_1a_0 = b_1b_0 = 11$ ) y el resultado será siempre un número par. Por tanto, como el valor máximo del resultado puede llegar a ser  $18)_{10} = 10010)_{2}$ , el máximo número de bits que requiere el resultado es 5 bits ( $Z = z_4 z_3 z_2 z_1 z_0$ )

$a_1 a_0$	$b_1 b_0$	$2 \cdot A \cdot B$ DECIMAL	$z_4$	$z_3$	$z_2$	$z_1$	$z_0$
00	00	0	0	0	0	0	0
00	01	0	0	0	0	0	0
00	10	0	0	0	0	0	0
00	11	0	0	0	0	0	0
01	00	0	0	0	0	0	0
01	01	2	0	0	0	1	0
01	10	4	0	0	1	0	0
01	11	6	0	0	1	1	0
10	00	0	0	0	0	0	0
10	01	4	0	0	1	0	0
10	10	8	0	1	0	0	0
10	11	12	0	1	1	0	0
11	00	0	0	0	0	0	0
11	01	6	0	0	1	1	0
11	10	12	0	1	1	0	0
11	11	18	1	0	0	1	0

$$Z_4 = \Sigma m(15)$$

$$Z_3 = \Sigma m(10, 11, 14)$$

$$Z_2 = \Sigma m(6, 7, 9, 11, 13, 14)$$

$$Z_1 = \Sigma m(5, 7, 13, 15)$$

$$Z_0 = 0$$

Nótese que  $z_0 = 0$  siempre, dado que el resultado es un número entero positivo par.

b) Mapas de Karnaugh para la simplificación:

$$Z_4 = \Sigma m(15)$$

$$Z_3 = \Sigma m(10, 11, 14)$$

$$Z_2 = \Sigma m(6, 7, 9, 11, 13, 14)$$

$$Z_1 = \Sigma m(5, 7, 13, 15)$$

$$Z_0 = 0$$

$a_1 a_0$	$b_1 b_0$	00	01	11	10
00		0	4	12	8
01		1	5	13	9
11		3	7	15	11
10		2	6	14	10

Z<sub>4</sub>

$a_1 a_0$	$b_1 b_0$	00	01	11	10
00		0	4	12	8
01		1	5	13	9
11		3	7	15	11
10		2	6	14	10

Z<sub>3</sub>

$a_1 a_0$	$b_1 b_0$	00	01	11	10
00		0	4	12	8
01		1	5	13	9
11		3	7	15	11
10		2	6	14	10

Z<sub>2</sub>

$a_1 a_0$	$b_1 b_0$	00	01	11	10
00		0	4	12	8
01		1	5	13	9
11		3	7	15	11
10		2	6	14	10

Z<sub>1</sub>

- c) Expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación: todos los implicantes primos de todas las funciones obtenidos en paso anterior son esenciales, por tanto, la expresión mínima de cada función en la forma AND/OR (Suma de Productos o forma mínima disyuntiva) y su alternativa NAND/NAND será:

$$z_4 = a_1 \cdot a_0 \cdot b_1 \cdot b_0 = \overline{\overline{a_1 \cdot a_0 \cdot b_1 \cdot b_0}}$$

$$z_3 = (a_1 \cdot \overline{a_0} \cdot b_1) + (a_1 \cdot b_1 \cdot \overline{b_0}) = \overline{\overline{(a_1 \cdot \overline{a_0} \cdot b_1) + (a_1 \cdot b_1 \cdot \overline{b_0})}} = \overline{\overline{(a_1 \cdot \overline{a_0} \cdot b_1)} \cdot \overline{\overline{(a_1 \cdot b_1 \cdot \overline{b_0})}}}$$

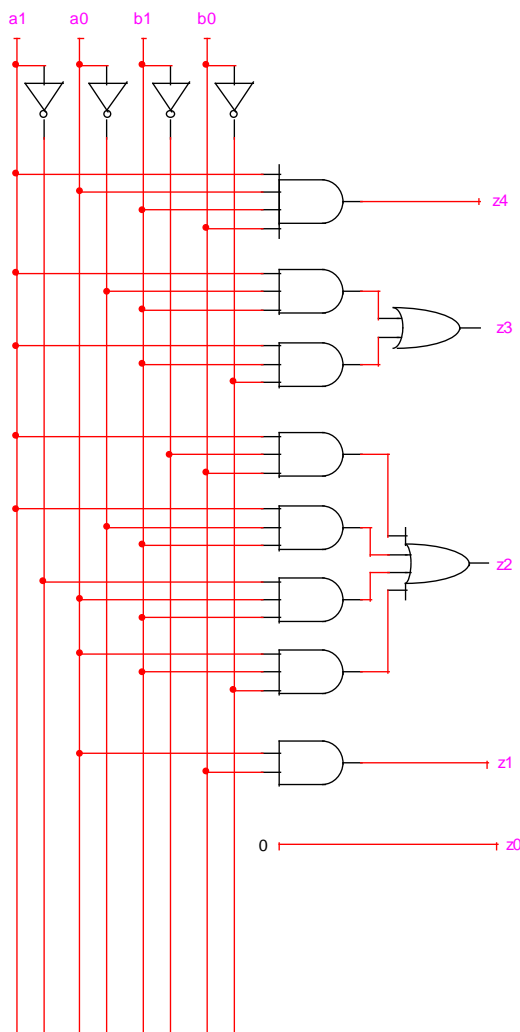
$$z_2 = (a_1 \cdot \overline{b_1} \cdot b_0) + (a_1 \cdot \overline{a_0} \cdot b_1) + (\overline{a_1} \cdot a_0 \cdot b_1) + (a_0 \cdot b_1 \cdot \overline{b_0}) = \overline{\overline{(a_1 \cdot \overline{b_1} \cdot b_0) + (a_1 \cdot \overline{a_0} \cdot b_1) + (\overline{a_1} \cdot a_0 \cdot b_1) + (a_0 \cdot b_1 \cdot \overline{b_0})}} = \overline{\overline{(a_1 \cdot \overline{b_1} \cdot b_0)} \cdot \overline{\overline{(a_1 \cdot \overline{a_0} \cdot b_1)} \cdot \overline{\overline{(\overline{a_1} \cdot a_0 \cdot b_1) + (a_0 \cdot b_1 \cdot \overline{b_0})}}}}$$

$$z_1 = a_0 \cdot b_0 = \overline{\overline{a_0 \cdot b_0}}$$

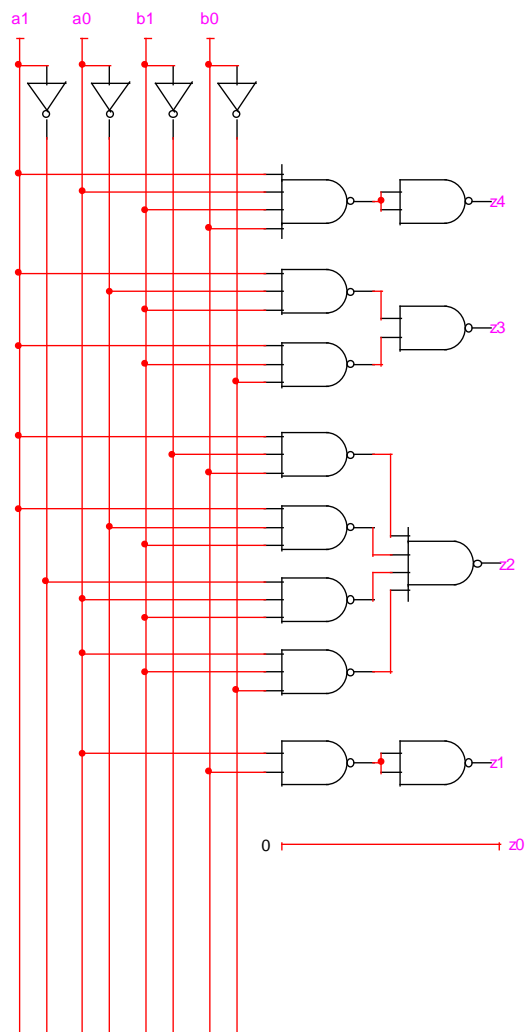
$$z_0 = 0$$

- d) Circuitos mínimos resultantes:

Circuito AND/OR



Circuito NAND/NAND





4. Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que opere con dos datos enteros sin signo de dos bits,  $A = a_1a_0$  y  $B = b_1b_0$ , y realice la función  $Z = A^B$ .

- a) Tabla de Verdad que modela el problema: Los datos A y B son datos de dos bits (se suponen números enteros positivos sin signo) cuyos valores están comprendidos entre 0 y 3. Por tanto, la potencia de  $A^B$  estará comprendido entre un mínimo de 0 (cuando  $A = B = 0$ ;  $a_1a_0 = b_1b_0 = 00$ ) y un máximo de 27 (cuando  $A = B = 3$ ;  $a_1a_0 = b_1b_0 = 11$ ). Por tanto, como el valor máximo del resultado puede llegar a ser  $27_{10} = 11011_2$ , el máximo número de bits que requiere el resultado es 5 bits ( $Z = z_4 z_3 z_2 z_1 z_0$ ). Se supone que  $0^0 = 0$ .

$a_1 a_0$	$b_1 b_0$	$A^B$ DECIMAL	$z_4$	$z_3$	$z_2$	$z_1$	$z_0$
00	00	0	0	0	0	0	0
00	01	0	0	0	0	0	0
00	10	0	0	0	0	0	0
00	11	0	0	0	0	0	0
01	00	0	0	0	0	0	0
01	01	1	0	0	0	0	1
01	10	1	0	0	0	0	1
01	11	1	0	0	0	0	1
10	00	1	0	0	0	0	1
10	01	2	0	0	0	1	0
10	10	4	0	0	1	0	0
10	11	8	0	1	0	0	0
11	00	0	0	0	0	0	1
11	01	3	0	0	0	1	1
11	10	9	0	1	0	0	1
11	11	27	1	1	0	1	1

$$Z_4 = \Sigma m(15)$$

$$Z_3 = \Sigma m(11, 14, 15)$$

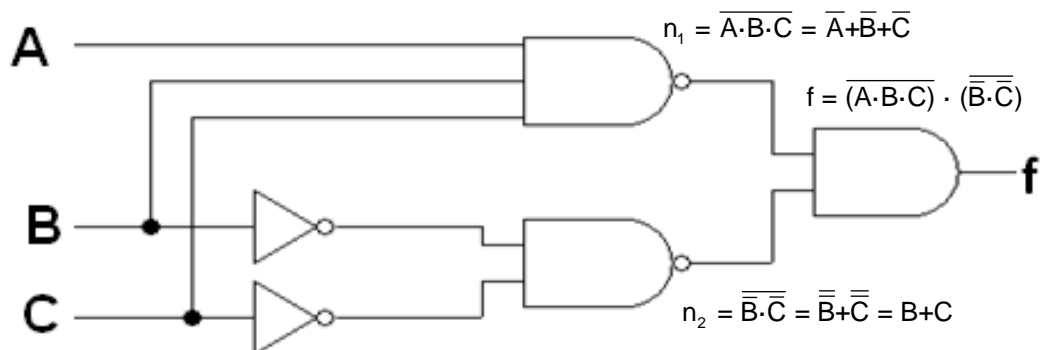
$$Z_2 = \Sigma m(10)$$

$$Z_1 = \Sigma m(9, 13, 15)$$

$$Z_0 = \Sigma m(5, 6, 7, 8, 12, 13, 14, 15)$$

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

5. Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



$$f = (A \cdot B \cdot C) \cdot (\overline{B} \cdot \overline{C}) = (\overline{A + B + C}) \cdot (B + C)$$

Tabla de verdad de f:

A B C	$m_i$	$n_1 = \overline{A+B+C}$	$n_2 = B + C$	$f = n_1 \cdot n_2$
0 0 0	0	1	0	0
0 0 1	1	1	1	1
0 1 0	2	1	1	1
0 1 1	3	1	1	1
1 0 0	4	1	0	0
1 0 1	5	1	1	1
1 1 0	6	1	1	1
1 1 1	7	0	1	0

6. Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.

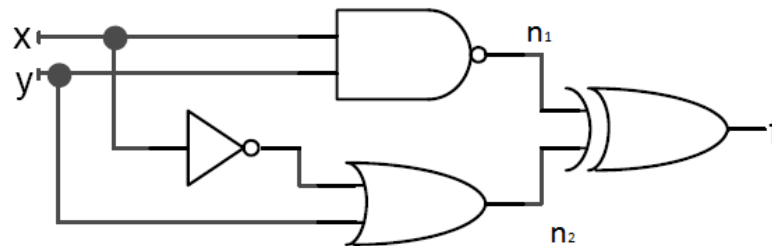
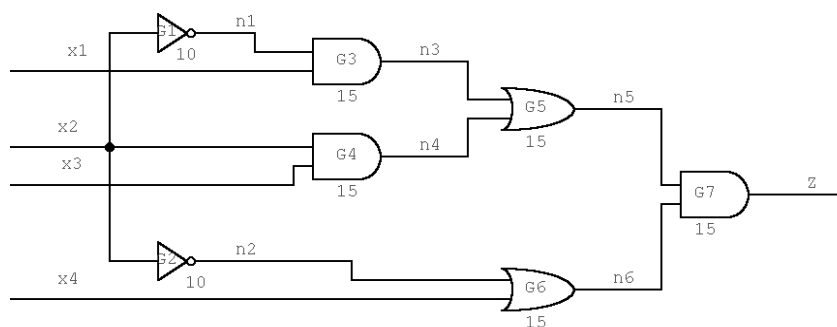


Tabla de verdad de f:

x y	$n_1$	$n_2$	$f = n_1 \oplus n_2$
0 0	1	1	0
0 1	1	1	0
1 0	1	0	1
1 1	0	1	1

De la tabla de verdad resultante, se deduce que  $f = x$ .

7. Considere el circuito de la siguiente figura:



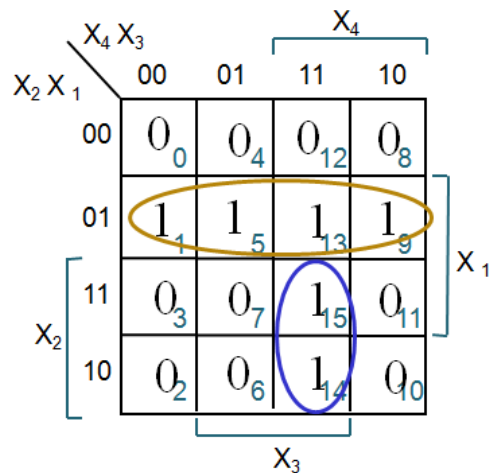
a) Represente la función Z que realiza el circuito en un mapa-K.

a.1) Expresión algebraica de la función z:

$$\begin{aligned}
 z = n_5 \cdot n_6 &= (n_3 + n_4) \cdot (x_4 + \bar{x}_2) = [(\bar{x}_2 \cdot x_1) + (x_3 \cdot x_2)] \cdot (x_4 + \bar{x}_2) = [(\bar{x}_2 \cdot x_1) \cdot (x_4 + \bar{x}_2)] + [(x_3 \cdot x_2) \cdot (x_4 + \bar{x}_2)] = \\
 &= [(x_4 \cdot \bar{x}_2 \cdot x_1) + (\bar{x}_2 \cdot \bar{x}_2 \cdot x_1)] + [(x_4 \cdot x_3 \cdot x_2) + (x_3 \cdot x_2 \cdot \bar{x}_2)] = (x_4 \cdot \bar{x}_2 \cdot x_1) + (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2) = \\
 &= [(x_4 + 1) \cdot (\bar{x}_2 \cdot x_1)] + (x_4 \cdot x_3 \cdot x_2) = (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2)
 \end{aligned}$$

a.2) Tabla de verdad y mapa de Karnaugh de la función z:

$x_4$	$x_3$	$x_2$	$x_1$	$z$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



b) Diseñe un circuito combinacional mínimo en forma AND/OR y NAND/NAND que realice la misma función z.

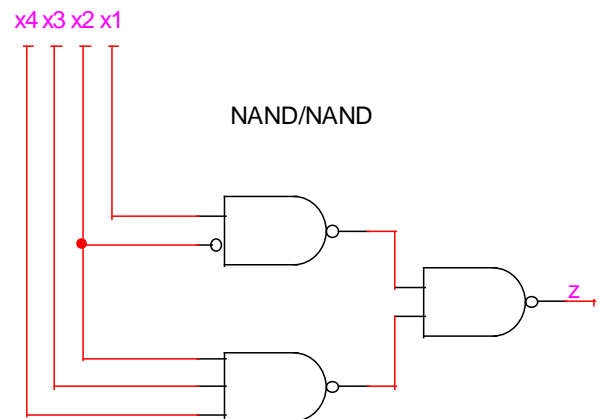
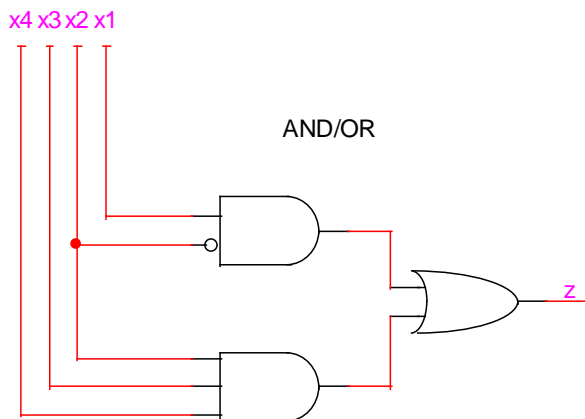
b.1) Minimización de la función z usando su mapa de Karnaugh:

Ver el mapa de Karnaugh de más arriba. Se forman dos cubos con los unos de la función y ambos dan lugar a dos implicantes primos que son esenciales.

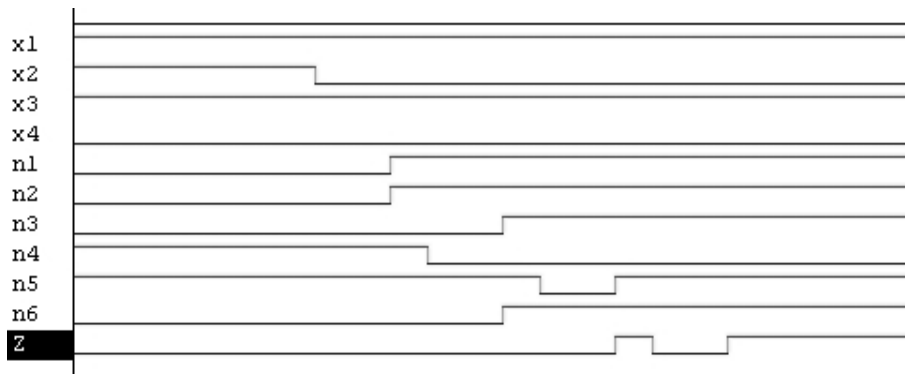
b.2) Expresión mínima AND/OR (Suma de Productos o forma mínima disyuntiva) y NAND/NAND de la función z:

$$z = (\bar{x}_2 \cdot x_1) + (x_4 \cdot x_3 \cdot x_2) = \overline{(\bar{x}_2 \cdot x_1)} \cdot \overline{(x_4 \cdot x_3 \cdot x_2)} = (\overline{\bar{x}_2 \cdot x_1}) \cdot (\overline{x_4 \cdot x_3 \cdot x_2})$$

b.3) Circuitos mínimos AND/OR y NAND/NAND de la función z:



- c) Complete el siguiente diagrama de tiempos, teniendo en cuenta el retardo de propagación (en nanosegundos) indicado para cada puerta.



8. Se desea diseñar un circuito combinacional mínimo que tenga 4 entradas ( $y_1, y_0, x_1, x_0$ ) y una salida ( $z$ ). Los pares de bits " $y_1 y_0$ " y " $x_1 x_0$ " representan números binarios enteros sin signo de dos bits, con  $y_1$  y  $x_1$  como los bits más significativos. La única salida del circuito,  $z$ , debe ser 1 si y sólo si el número binario  $x_1 x_0$  es mayor que o igual al número binario  $y_1 y_0$ . Determine una expresión mínima de suma de productos AND/OR y su equivalente NAND/NAND para  $z$ .
- a) Tabla de Verdad que modela el problema: Los datos  $Y = y_1 y_0$ ,  $X = x_1 x_0$  son datos de dos bits (se suponen números enteros positivos sin signo) cuyos valores están comprendidos entre 0 y 3.

$x_1$	$x_0$	$y_1$	$y_0$	$z$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$Z = \sum m(0, 4, 5, 8, 9, 10, 12, 13, 14, 15)$$

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

9. Un número primo es aquél, distinto de 0 y 1, que es divisible sólo por sí mismo y por 1. Suponga que los números entre 0 y 15 están representados en binario utilizando 4 bits:  $x_3x_2x_1x_0$ , en donde  $x_3$  es el bit más significativo. Diseñe un detector de números primos o, en otras palabras, un circuito lógico cuya salida  $Z$  será 1 si y sólo si los cuatro bits de entrada representan un número primo. Basar el diseño en la obtención de una expresión mínima de dos niveles como suma de productos AND/OR y su equivalente NAND/NAND para  $Z$ . Considere el número 0 como número NO primo.

a) Tabla de Verdad que modela el problema:

N.D.	$x_3$	$x_2$	$x_1$	$x_0$	$Z$
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0

$$Z = \sum m(1, 2, 3, 5, 7, 11, 13)$$

b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

10. Un número primo es aquél, distinto de 0 y 1, que es divisible sólo por sí mismo y por 1. Suponga que los números entre 0 y 9 están representados en BCD (Binary Coded Decimal) están representados en binario utilizando 4 bits:  $x_3x_2x_1x_0$ , en donde  $x_3$  es el bit más significativo. Diseñe un detector de números primos o, en otras palabras, un circuito lógico cuya salida  $Z$  será 1 si y sólo si los cuatro bits BCD de entrada representan un número primo. Basar el diseño en la obtención de una expresión mínima de dos niveles como suma de productos AND/OR y su equivalente NAND/NAND para  $Z$ . Considere el número 0 como número NO primo.

a) Tabla de Verdad que modela el problema:

N.D.	$x_3$	$x_2$	$x_1$	$x_0$	$f$
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0

N	1	0	1	0	-
O	1	0	1	1	-
	1	1	0	0	-
B	1	1	0	1	-
C	1	1	1	0	-
D	1	1	1	1	-

$$Z = \sum m(1, 2, 3, 5, 7) + d(10, 11, 12, 13, 14, 15)$$

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

11. Dada la siguiente función de conmutación, en la que “ $x_0$ ” representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(1, 4, 5, 7, 11) + d(0, 12, 14)$$

Minimízela e impleméntela (dibuje los circuitos) mediante síntesis AND/OR (Suma de Productos) y NAND/NAND.

- a) Tabla de Verdad que modela el problema:

$x_3$	$x_2$	$x_1$	$x_0$	Z
0	0	0	0	-
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	-
1	1	0	1	0
1	1	1	0	-
1	1	1	1	0

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

12. Dada la siguiente función de conmutación, en la que “ $x_0$ ” representa la variable menos significativa:  
 $f(x_3, x_2, x_1, x_0) = \sum m(4, 5, 7, 11) + d(0, 1, 2, 3, 12, 14)$

Minimízela e impleméntela (dibuje los circuitos) mediante síntesis AND/OR (Suma de Productos) y NAND/NAND.

- a) Tabla de Verdad que modela el problema:

$x_3$	$x_2$	$x_1$	$x_0$	Z
0	0	0	0	-
0	0	0	1	-
0	0	1	0	-
0	0	1	1	-
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	-
1	1	0	1	0
1	1	1	0	-
1	1	1	1	0

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.
13. Un “codificador” de posición de un eje proporciona una señal de 4 bits que indica la posición del eje en incrementos de  $30^\circ$ , utilizando el código que se da en la siguiente tabla. Diseñar un circuito combinacional mínimo con dos niveles de puertas AND/OR y NAND/NAND tal que a su salida detecte si la posición del eje corresponde al primer cuadrante (entre  $0^\circ$  y  $90^\circ$ ).

Posición del eje (en grados)	Salida del codificador			
	x	y	z	u
0-30	0	0	1	1
30-60	0	0	1	0
60-90	0	1	1	0
90-120	0	1	1	1
120-150	0	1	0	1
150-180	0	1	0	0
180-210	1	1	0	0
210-240	1	1	0	1
240-270	1	1	1	1
270-300	1	1	1	0
300-330	1	0	1	0
330-360	1	0	1	1

NOTA: Se supone que las combinaciones de bits de salida del codificador que no aparecen en la tabla nunca se presentan y se puede tomar como 0 o como un 1, a conveniencia del diseñador.

- a) Tabla de Verdad que modela el problema:

x	y	z	u	f
0	0	0	0	-
0	0	0	1	-
0	0	1	0	1
0	0	1	1	1
0	1	0	0	-
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	-
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$$Z = \sum m(2, 3, 6) + d(0, 1, 4, 9)$$

- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.

14. Diseñe un comparador binario para números enteros sin signo de 2 bits.

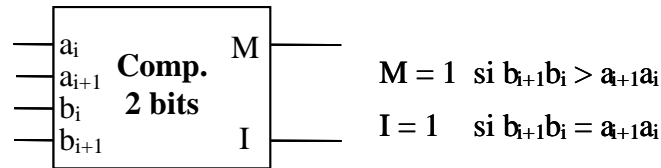
- a) Tabla de Verdad que modela el problema: Los datos  $X = x_1x_0$  e  $Y = y_1y_0$  son datos de dos bits (se suponen números enteros positivos sin signo) cuyos valores están comprendidos entre 0 y 3. Se supone que:
- Si  $X > Y$  entonces  $M = 1$ ,  $I = 0$ ,  $N = 0$
  - Si  $X = Y$  entonces  $M = 0$ ,  $I = 1$ ,  $N = 0$
  - Si  $X < Y$  entonces  $M = 0$ ,  $I = 0$ ,  $N = 1$

$x_1$	$x_0$	$y_1$	$y_0$	M	I	N
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

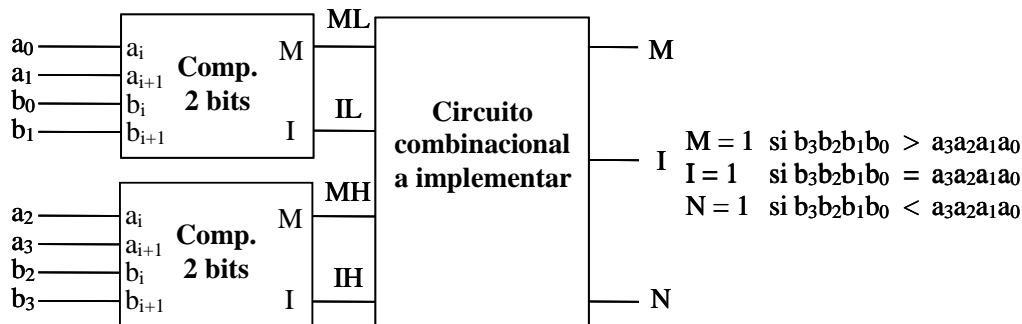
- b) Mapas de Karnaugh para la simplificación, expresiones mínimas AND/OR y NAND/NAND de las funciones de conmutación y circuitos mínimos resultantes: se deja como ejercicio.



15. Se desea diseñar un comparador binario para números enteros sin signo de 4 bits. Para realizar el diseño dispone de dos comparadores de 2 bits cuyo funcionamiento se indica en la Figura.



Escriba la expresión mínima como Suma de Productos (AND/OR) para las funciones M, I y N de salida del circuito combinacional de la Figura para que el circuito globalmente funcione como un comparador binario de 4 bits.



Se tiene que hacer el circuito combinacional a implementar en función de MH, IH y ML, IL. Para ello hay que tener en cuenta las siguientes premisas:

- Si  $MH = 1$  e  $IH = 0$  (y, por tanto,  $NH = 0$ ) entonces  $b_3b_2 > a_3a_2$  y, por tanto,  $b_3b_2b_1b_0 > a_3a_2a_1a_0$  y entonces  $M = 1$ ,  $I = 0$  y  $N = 0$ .
- Si  $MH = 0$  e  $IH = 1$  (y, por tanto,  $NH = 0$ ) entonces  $b_3b_2 = a_3a_2$  y entonces tiene que decidir la comparación el comparador de  $b_1b_0$  con  $a_1a_0$ 
  - Si  $ML = 1$  e  $IL = 0$  (y, por tanto,  $NL = 0$ ) entonces  $b_1b_0 > a_1a_0$  y por tanto  $b_3b_2b_1b_0 > a_3a_2a_1a_0$  y entonces  $M = 1$ ,  $I = 0$  y  $N = 0$ .
  - Si  $ML = 0$  e  $IL = 1$  (y, por tanto,  $NL = 0$ ) entonces  $b_1b_0 = a_1a_0$  y por tanto,  $b_3b_2b_1b_0 = a_3a_2a_1a_0$  y entonces  $M = 0$ ,  $I = 1$  y  $N = 0$ .
  - Si  $ML = 0$  e  $IL = 0$  (y, por tanto,  $NL = 1$ ) entonces  $b_1b_0 < a_1a_0$  y, por tanto,  $b_3b_2b_1b_0 < a_3a_2a_1a_0$  y entonces  $M = 0$ ,  $I = 0$  y  $N = 1$ .
- Si  $MH = 0$  e  $IH = 0$  (y, por tanto,  $NH = 1$ ) entonces  $b_3b_2 < a_3a_2$  por tanto  $b_3b_2b_1b_0 < a_3a_2a_1a_0$  y entonces  $M = 0$  (también  $I = 0$  y  $N = 1$ )
- Las tres funciones M, I, L, son mutuamente excluyentes, es decir, NO se pueden producir casos en los que  $M = I = N = 1$ . Sólo se pueden producir los casos:
  - $M = 1$ ,  $I = 0$  y  $N = 0$
  - $M = 0$ ,  $I = 1$  y  $N = 0$
  - $M = 0$ ,  $I = 0$  y  $N = 1$

Porque si no fuera así se indicaría que el dato A y el dato B podrían ser mayor e igual a la vez o mayor o menor a la vez y/o igual y menor a la vez y eso sería una indeterminación (-). Lo mismo pasa con los valores parciales MH, IH, LH y ML, IL y NL.

Por tanto, la tabla de verdad que relacionaría MH, IH, ML, IL con M, I, N sería

MH	IH	ML	ILD	M	I	N
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	-
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	-	-	-
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	0	1	1	1	0	-
1	1	0	0	-	-	-
1	1	0	1	-	-	-
1	1	1	0	-	-	-
1	1	1	1	-	-	-

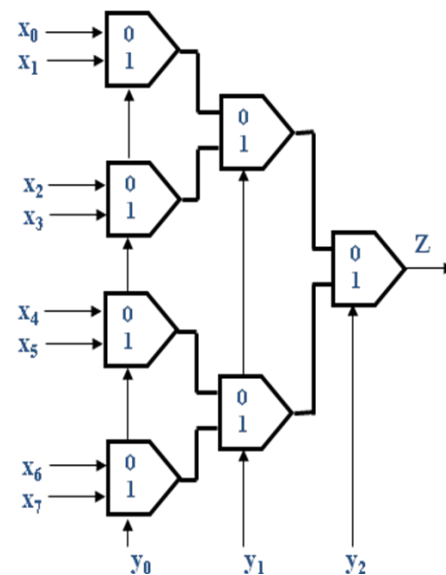
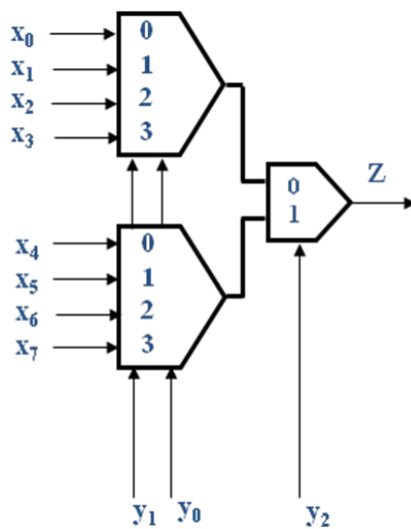
Las indeterminaciones corresponden a los casos en los que se daría igualdad entre las funciones MH, IH y NH ó ML, IL y NL. Resolviendo las funciones y minimizándolas se tiene que:

$$M = MH + (IH \cdot ML)$$

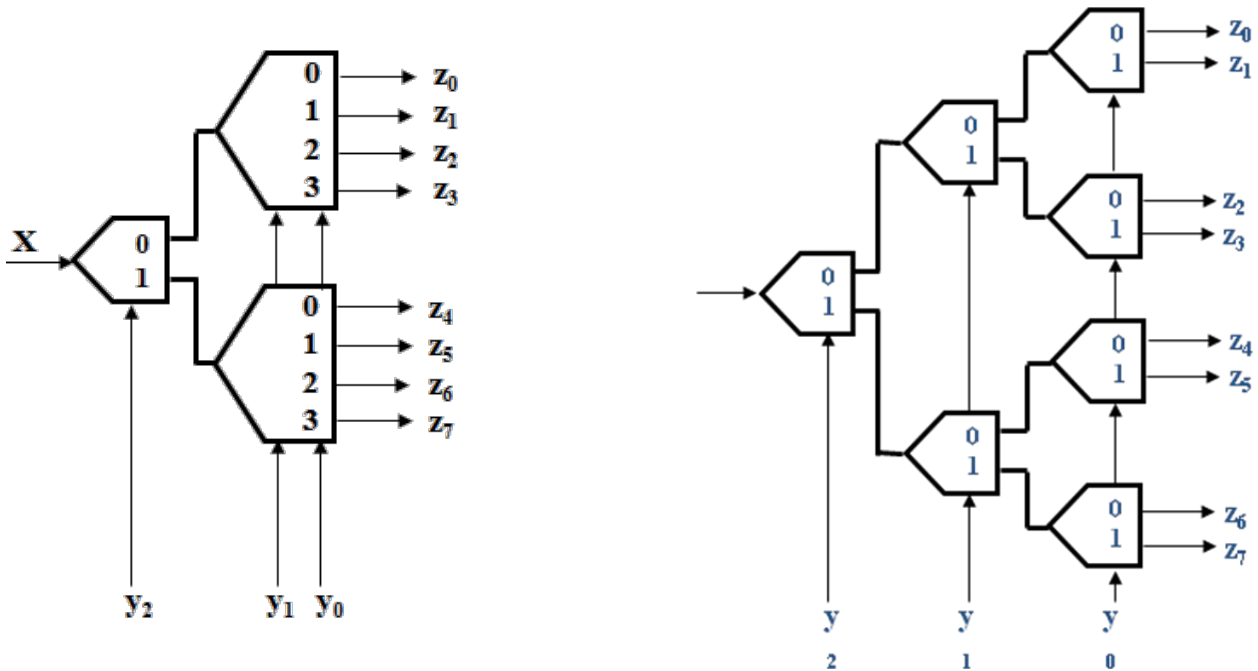
$$I = IH \cdot IL$$

$$N = NH + (IH \cdot NL)$$

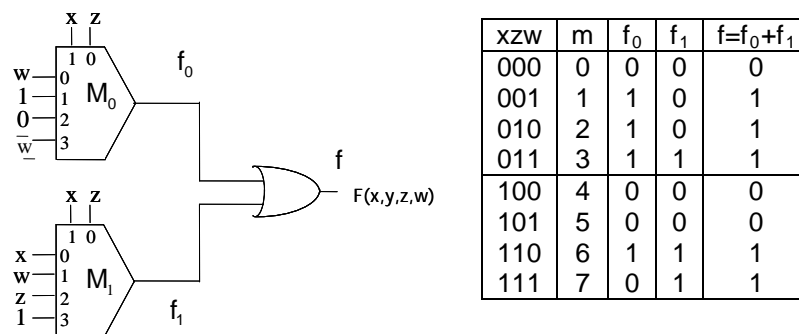
20. Implemente un multiplexor 8-a-1 a partir de 2 multiplexores 4-a-1 y un multiplexor 2-a-1 y con multiplexores 2 a 1.



21. Implemente un demultiplexor 1-a-8 a partir de 2 demultiplexores 1-a-4 y un demultiplexor 1-a-2 y con demultiplexores de 1 a 2.



22. Obtenga la tabla de verdad y el mapa de Karnaugh de la función que realiza el circuito de la Figura.



- Minimice dicha función en la forma AND/OR
- Impleméntela utilizando un multiplexor de 8 a 1 (3 variables de control).
- Impleméntela utilizando un multiplexor de 4 a 1 (2 variables de control).
- Impleméntela utilizando multiplexores de 2 a 1 (1 variable de control).

Resolución:

Tabla de Verdad y Mapa de Karnaugh de la función: Se va a obtener primero la expresión algebraica de la función de conmutación resultante f.

En el multiplexor superior (M<sub>0</sub>) se genera una función f<sub>0</sub> :

$$f_0 = (\bar{x} \cdot \bar{z} \cdot w) + (\bar{x} \cdot z \cdot 1) + (x \cdot \bar{z} \cdot 0) + (x \cdot z \cdot \bar{w}) = (\bar{x} \cdot \bar{z} \cdot w) + (\bar{x} \cdot z) + (x \cdot z \cdot \bar{w})$$

En el multiplexor inferior (M<sub>1</sub>) se genera una función f<sub>1</sub> :

$$f_1 = (\bar{x} \cdot \bar{z} \cdot x) + (\bar{x} \cdot z \cdot w) + (x \cdot \bar{z} \cdot z) + (x \cdot z \cdot 1) = (\bar{x} \cdot z \cdot w) + (x \cdot z)$$

$$\text{Por tanto como } f = f_0 + f_1 = (\bar{x} \cdot \bar{z} \cdot w) + (\bar{x} \cdot z) + (x \cdot z \cdot \bar{w}) + (\bar{x} \cdot z \cdot w) + (x \cdot z)$$

Por tanto, la tabla de verdad y mapa de Karnaugh de la función resultante  $f$  es:

xzw	f
000	0
001	1
010	1
011	1
100	0
101	0
110	1
111	1

x \ zw	00	01	11	10
0	0 <sub>0</sub>	1 <sub>1</sub>	1 <sub>3</sub>	1 <sub>2</sub>
1	0 <sub>4</sub>	0 <sub>5</sub>	1 <sub>7</sub>	1 <sub>6</sub>

$f$

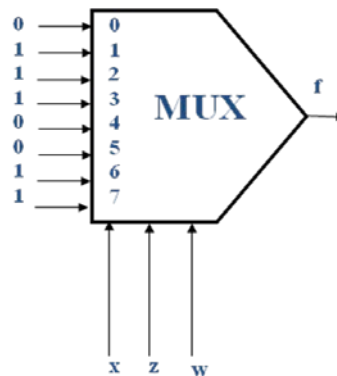
a) Minimice dicha función en la forma AND/OR

x \ zw	00	01	11	10
0	0 <sub>0</sub>	1 <sub>1</sub>	1 <sub>3</sub>	1 <sub>2</sub>
1	0 <sub>4</sub>	0 <sub>5</sub>	1 <sub>7</sub>	1 <sub>6</sub>

$$f = (\bar{x} \cdot w) + z$$

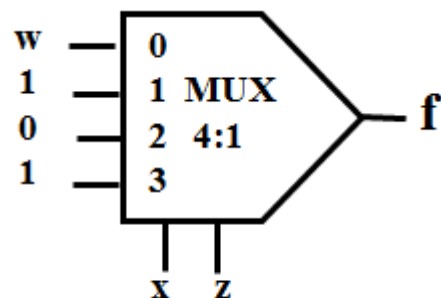
b) Impleméntela utilizando un multiplexor de 8 a 1 (3 variables de control).

xzw	f
000	0
001	1
010	1
011	1
100	0
101	0
110	1
111	1



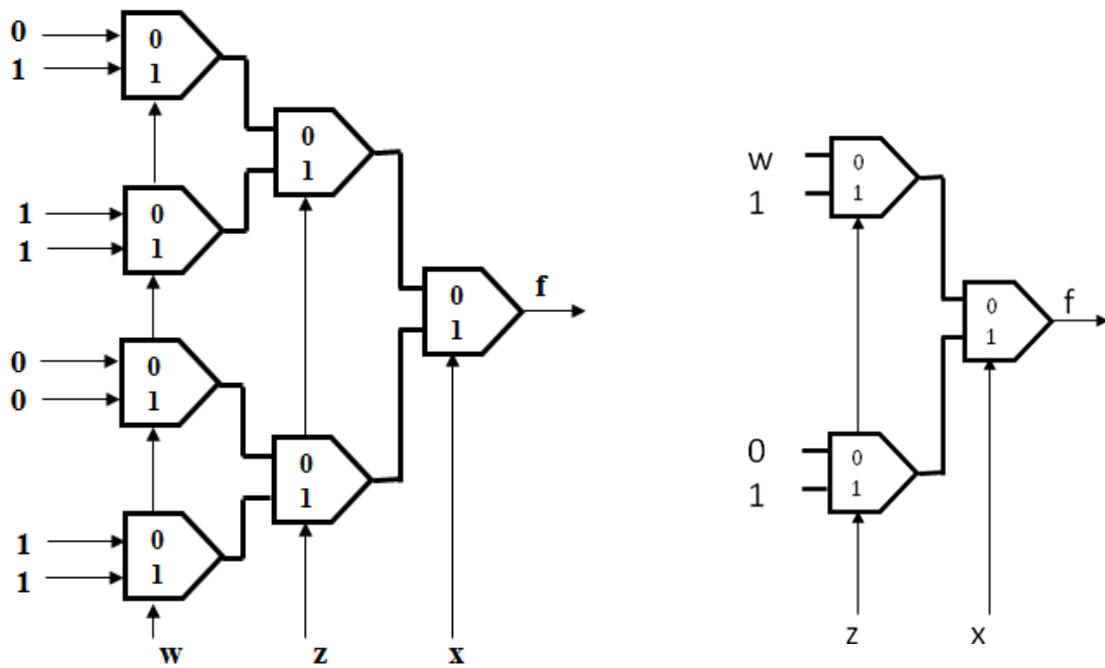
c) Impleméntela utilizando un multiplexor de 4 a 1 (2 variables de control).

xzw	f	Valor parcial
000	0	$f_0(00w) = w$
001	1	
010	1	$f_0(01w) = 1$
011	1	
100	0	$f_0(10w) = 0$
101	0	
110	1	$f_0(11w) = 1$
111	1	



d) Impleméntela utilizando multiplexores de 2 a 1 (1 variable de control).

Hay dos formas de hacerlo: sin reducción del número de multiplexores (izquierda) o con reducción del número de multiplexores (derecha), empleando la tabla de valores parciales del apartado c).

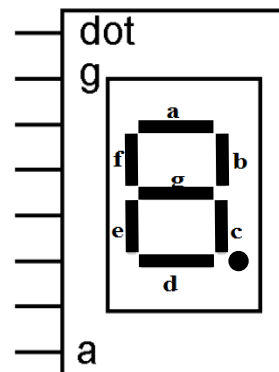


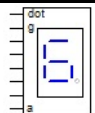
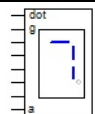
30. Diseñe un conversor de un dato binario de 3 bits a un visualizador de 7 segmentos utilizando una memoria ROM de tamaño adecuado. Dibuje tanto la estructura de la ROM como su implementación interna.

a) Tabla de Verdad que modela el problema:

xyz	Nº	a	b	c	d	e	f	g	VIS.
000	0	1	1	1	1	1	1	0	
001	1	0	1	1	0	0	0	0	
010	2	1	1	0	1	1	0	1	
011	3	1	1	1	1	0	0	1	
100	4	0	1	1	0	0	1	1	
101	5	1	0	1	1	0	1	1	

Visualizador de 7 Segmentos



110	6	1	0	1	1	1	1	1	
111	7	1	1	1	0	0	0	0	

Funciones:

$$a(x,y,z) = \sum m(0, 2, 3, 5, 6, 7)$$

$$b(x,y,z) = \sum m(0, 1, 2, 3, 4, 7)$$

$$c(x,y,z) = \sum m(0, 1, 3, 4, 5, 6, 7)$$

$$d(x,y,z) = \sum m(0, 2, 3, 5, 6)$$

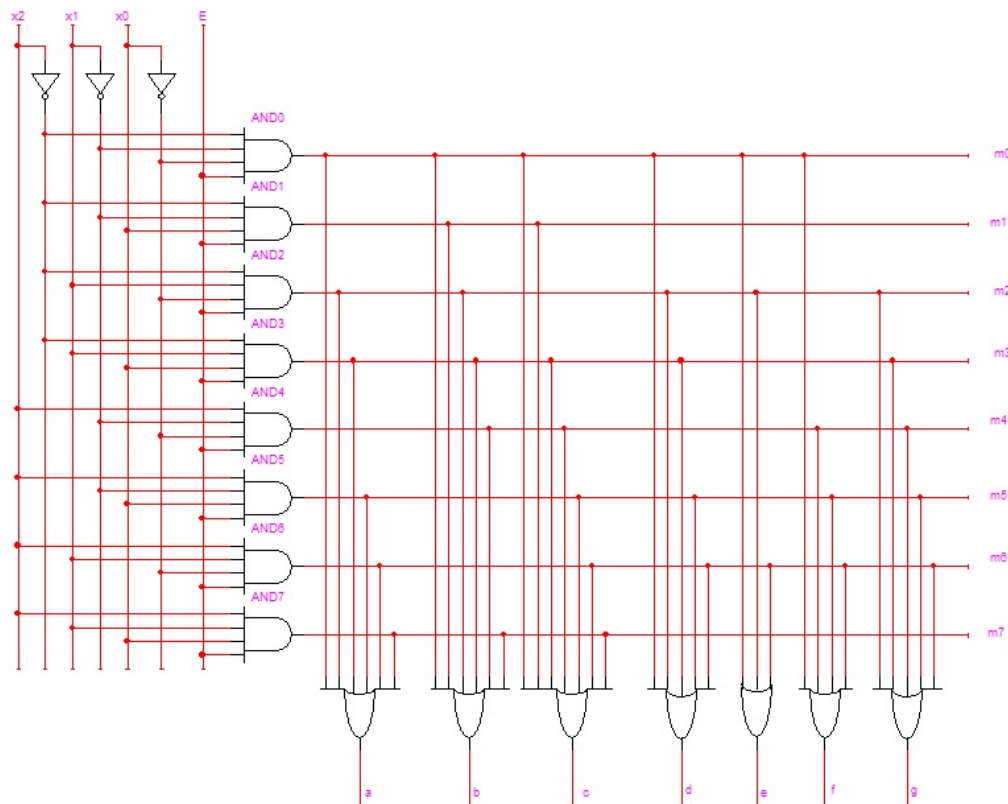
$$e(x,y,z) = \sum m(0, 2, 6)$$

$$f(x,y,z) = \sum m(0, 4, 5, 6)$$

$$g(x,y,z) = \sum m(2, 3, 4, 5, 6)$$

NO hay que minimizar las funciones. Se implementa en el plano AND los 8 minterms de las 3 variables y se hace la OR de los minterms correspondientes para cada función.

- b) Circuito de la memoria ROM: Tamaño  $3 \cdot 2^3 \cdot 7$  (3 entradas, 8 términos producto AND minterms y 7 salidas) con entrada de habilitación E.



31. Dadas las siguientes funciones de conmutación, en las que " $x_0$ " representa la variable menos significativa:

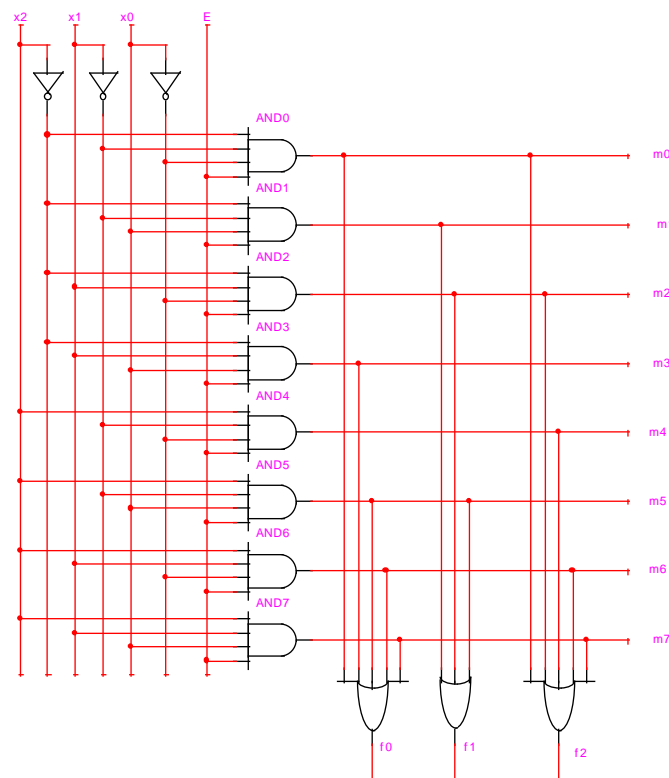
- $f_0(x_2, x_1, x_0) = \sum m(0, 3, 5, 6, 7)$
- $f_1(x_2, x_1, x_0) = \sum m(1, 2, 5)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 2, 4, 6, 7)$

a) Implemente dichas funciones mediante una memoria ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM (plano AND y plano OR programado con las conexiones adecuadas para implementar dichas funciones).

Las tablas de verdad de las tres funciones son:

$x_2$	$x_1$	$x_0$	$f_0$	$f_1$	$f_2$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	1

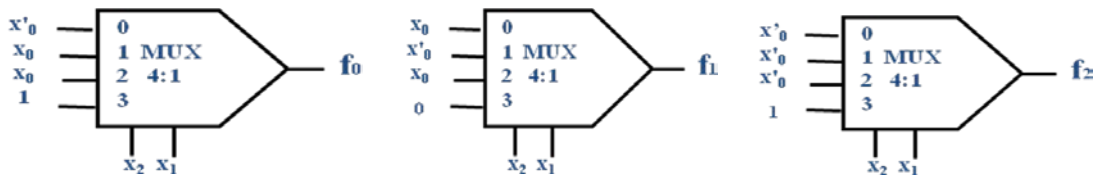
Circuito de la memoria ROM: Tamaño  $3 \cdot 2^3 \cdot 3$  (3 entradas, 8 términos producto AND minterms y 3 salidas) con entrada de habilitación E.



b) Implemente dichas funciones con tres multiplexores de 4 a 1 (uno para cada función). En las entradas de control se aplican las variables  $x_2, x_1$ . Teniendo en cuenta que se dispone de la variable  $x_0$  y de su complemento como entradas, dibuje los multiplexores indicando en sus entradas los valores posibles de:  $\{0, 1, x_0 \text{ ó complemento de } x_0\}$ . Dentro del símbolo del multiplexor se deben especificar las entradas en decimal de las combinaciones de  $(x_2, x_1)$  para las que se selecciona cada entrada.

Se reagrupan las tablas de verdad de las funciones de conmutación:

$x_2 \ x_1 \ x_0$	$f_0$	Valor parcial	$x_2 \ x_1 \ x_0$	$f_1$	Valor parcial	$x_2 \ x_1 \ x_0$	$f_2$	Valor parcial
0 0 0	1	$f_0(00x_0) = \bar{x}_0$	0 0 0	0	$f_1(00x_0) = x_0$	0 0 0	1	$f_2(00x_0) = \bar{x}_0$
0 0 1	0		0 0 1	1		0 0 1	0	
0 1 0	0	$f_0(01x_0) = x_0$	0 1 0	1	$f_1(01x_0) = \bar{x}_0$	0 1 0	1	$f_2(01x_0) = \bar{x}_0$
0 1 1	1		0 1 1	0		0 1 1	0	
1 0 0	0	$f_0(10x_0) = x_0$	1 0 0	0	$f_1(10x_0) = x_0$	1 0 0	1	$f_2(10x_0) = \bar{x}_0$
1 0 1	1		1 0 1	1		1 0 1	0	
0 1 0	1	$f_0(11x_0) = 1$	0 1 0	0	$f_1(11x_0) = 0$	0 1 0	1	$f_2(11x_0) = 1$
0 1 1	1		0 1 1	0		0 1 1	1	



32. Determine las salidas de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos. La señal E es la de habilitación.

Decodificador Binario	Decodificador Binario	Codificador Binario de prioridad	Codificador Binario de prioridad

Realice los ejercicios siguientes:

- Ejercicios de la relación de problemas del Tema 3º ubicado en el fichero 03.-TEMA\_3\_TOC\_SISTEMAS\_COMBINACIONALES\_PROBLEMAS.PDF.
- Ejercicios del Tema 5º del libro [PRI06]: Prieto, A., Lloris, A., Torres, J. C.. Introducción a la Informática, 4ª Edición, McGraw-Hill, 2006.