

# TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

(31/03/2017)

Examen de los temas 1 y 2 (2,5 puntos en total)

Apellidos y nombre:

Grupo:

**EJERCICIOS (2,5 puntos). (PUNTUACIÓN: 1 : 0,75 pto. ; 2 : 0,50 pto. ; 3 : 0,75 pto. ; 4 : 0,50 pto.).**

1. Suponiendo un computador que trabaja con datos enteros y con longitud de palabra **n = 8 bits**, se introducen en él los números con el valor decimal que se indica en la tabla. Calcular su representación interna de tipo Signo-Magnitud, Complemento a 1, Complemento a 2, Representación Sesgada (el sesgo es **S =  $2^{n-1} = 2^7 = 128$** ) y entero sin signo.

a) Indique razonadamente el valor de los 8 bits en la representación interna de cada número de la tabla siguiente.

Valor decimal	Tipo de Representación	Representación Interna
- 6	(Signo-Magnitud)	
+ 7	(Complemento 1)	
- 3	(Complemento 2)	
- 120	(Sesgada)	
132 (Sin signo, positivo)	(Entero sin signo)	

b) Ordene razonadamente de mayor a menor los siguientes números de 16 bits (indicados en hexadecimal) en representación interna en Complemento a 2: **X<sub>1</sub> = 48B5)<sub>H</sub>** , **X<sub>2</sub> = 70C5)<sub>H</sub>** , **X<sub>3</sub> = 8A03)<sub>H</sub>** , **X<sub>4</sub> = FFF2)<sub>H</sub>**.

2. Obtenga la representación del número decimal (**- 43**) en formato normalizado IEEE 754 para coma flotante, simple precisión, de **32 bits**, con un bit para el signo, **8 bits** para el campo del exponente (con sesgo **S=127**) y **23 bits** para el campo de la mantisa.

s	E	m

## TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

(31/03/2017)

Examen de los temas 1 y 2 (2,5 puntos en total)

3. Un procesador dispone (entre otros) de los registros: **PC** (Contador de Programa), **AR** (Registro de Dirección de **12 bits**), **DR** (Registro de Datos de **16 bits**), **IR** (Registro de Instrucciones) y registros auxiliares para datos **R5** y **R7**. El procesador está conectado con la memoria principal. Suponiendo que el procesador está iniciando la captación de una instrucción con el contador de programa **PC = FFC** (en hexadecimal), y que el contenido inicial de la memoria principal es el de la tabla adjunta, donde tanto direcciones como datos están representados en hexadecimal, responda a las siguientes cuestiones:

Dirección (hexadecimal)	Contenido (hexadecimal)
<b>000</b>	<b>7FFB</b>
<b>001</b>	<b>ABD1</b>
<b>002</b>	<b>6C25</b>
.	.
.	.
<b>FFB</b>	<b>3437</b>
<b>FFC</b>	<b>A5C1</b>
<b>FFD</b>	<b>3E26</b>
<b>FFE</b>	<b>AA32</b>
<b>FFF</b>	<b>35C6</b>

- a) Indique el contenido de los registros **PC** e **IR** al finalizar la fase de captación de la instrucción.
- b) Sabiendo que el código de operación que está en **IR** corresponde a una instrucción **ST R5, 001** y que ésta instrucción consiste en almacenar el contenido del registro **R5** en la dirección de memoria **001**, y que en **R5** se tiene el dato **A000**, indique los datos que cambian en la memoria y sus correspondientes direcciones, al finalizar la fase de ejecución de la instrucción.
- c) Indique el número de hilos de los buses de datos y de direcciones.
- d) Indique el tamaño máximo (en Bytes) de la memoria principal.
4. Un procesador que trabaja con una frecuencia de reloj de **450 MHz**, se diseña de la siguiente forma:
- En la **fase de captación** todas sus instrucciones consumen **2 ciclos de reloj**.
  - En la **fase de ejecución** todas las instrucciones, en general, consumen **2 ciclos de reloj**, salvo las instrucciones que son de almacenamiento en memoria que consumen **4 ciclos de reloj**.

Se ejecuta en el procesador un programa que tiene **200 instrucciones** (de las que **150** son instrucciones de carácter general y **50** de ellas son instrucciones de almacenamiento en memoria). Indique:

- a) Número de ciclos totales de reloj que consume la ejecución de ese programa.
- b) Tiempo que tarda en ejecutar este programa.
- c) Velocidad de procesamiento en **MIPS** (Millones de Instrucciones Por Segundo) que se mide de acuerdo a la ejecución de este programa.

Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS TEMAS 3º, 4º Y 5º (5,00 puntos):

1. (1,00 pto.) Para el circuito de la Figura 1:

- Obtenga razonadamente la tabla de verdad de la función de conmutación  $F(X,Y,Z)$  resultante.
- Diseñe un circuito equivalente con estructura AND/OR.

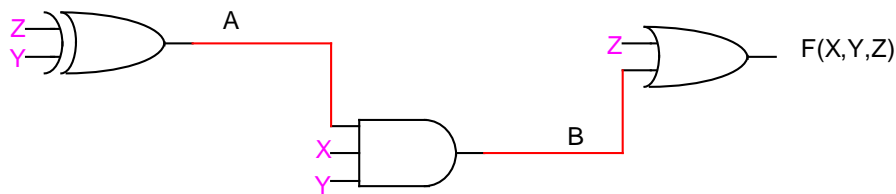


Figura 1

2. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que " $x_0$ " representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 2, 3, 7)$
- $f_1(x_2, x_1, x_0) = \sum m(0, 1, 5, 6)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 2, 3)$

- Implemente dichas funciones con tres multiplexores de 4 a 1 (2 entradas de control). En las entradas de control de los multiplexores se aplican las variables  $x_2, x_1$ . Teniendo en cuenta que se dispone del complemento de  $x_0$ , dibuje los multiplexores indicando en sus entradas de datos los valores posibles de:  $\{0, 1, x_0$  ó complemento de  $x_0\}$ . Dentro del símbolo del multiplexor se deben especificar las entradas en decimal de las combinaciones de  $(x_2, x_1)$  para las que se selecciona cada entrada.
- Implemente dichas funciones mediante una ROM de tamaño mínimo. Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR e indique el tamaño de la ROM.

3. (1,00 pto.) Para el circuito secuencial de la Figura 2:

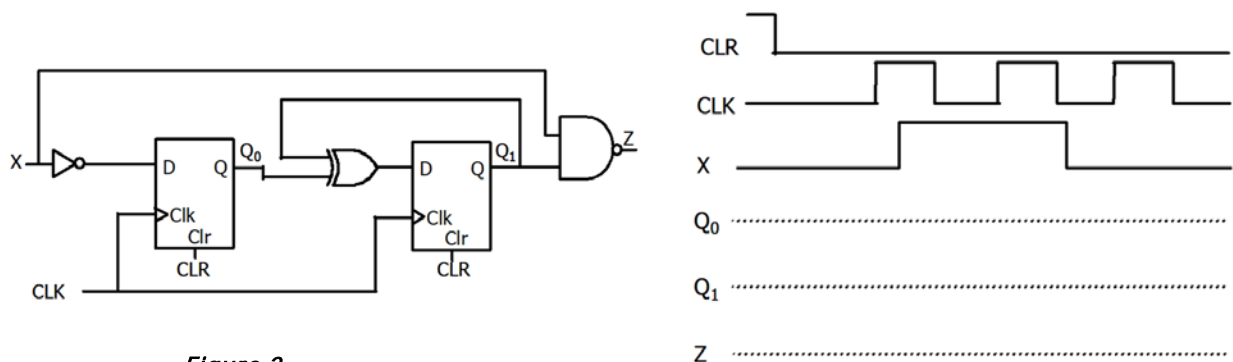
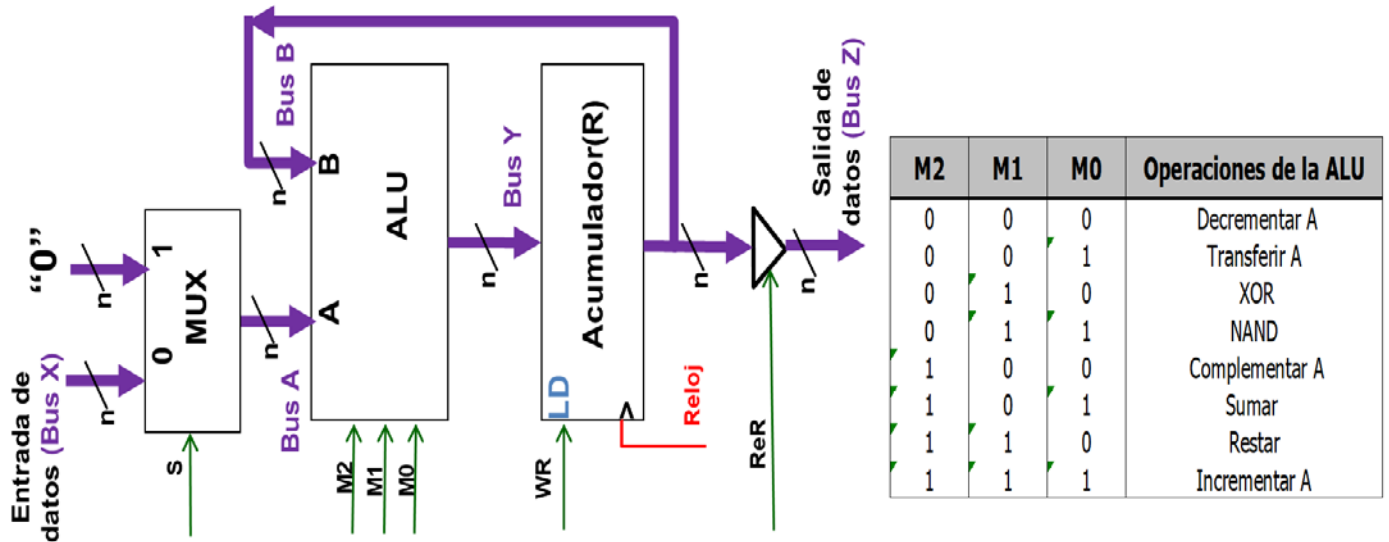


Figura 2

- Obtenga las funciones de excitación  $D_0=f(X,Q_0,Q_1)$ ,  $D_1=f(X,Q_0,Q_1)$  y la función de salida  $Z=f(X,Q_0,Q_1)$  del circuito.
- Complete el cronograma de  $Q_0$ ,  $Q_1$  y  $Z$ , teniendo en cuenta que al principio la señal de Clear (CLR) está activada, tal y como se indica en el cronograma, por lo que todos los biestables comienzan con un valor  $Q_i=0$ .

4. (1,00 pto.) Diseñe un generador de secuencia síncrono que genere cíclicamente la siguiente secuencia de salida (1,4,1,7, 1,4,1,7...) utilizando biestables de tipo T ó D. Para ello:
- Obtener la tabla de estados o tabla de transición.
  - Expresiones lógicas simplificadas de las funciones de excitación de los biestables y de las funciones de salida.
  - Esquema del circuito.
5. (1,00 pto.) Para la unidad de procesamiento de la figura, complete la tabla adjunta con los valores de las señales de control. La primera fila viene rellena como ejemplo.



Operaciones RT	PALABRA DE CONTROL (Señales de control)						(En hexadecimal)
	Selección de entrada	Controles de la ALU			Escritura en acumulador R	Lectura del acumulador R	
	S	M2	M1	M0	WR	ReR	
$R \leftarrow X - R$	0	1	1	0	1	0	1A
$R \leftarrow "00..01"$							
$R \leftarrow /X$							
$R \leftarrow X \text{ NAND } R$							
$R \leftarrow X - 1$							



Apellidos :

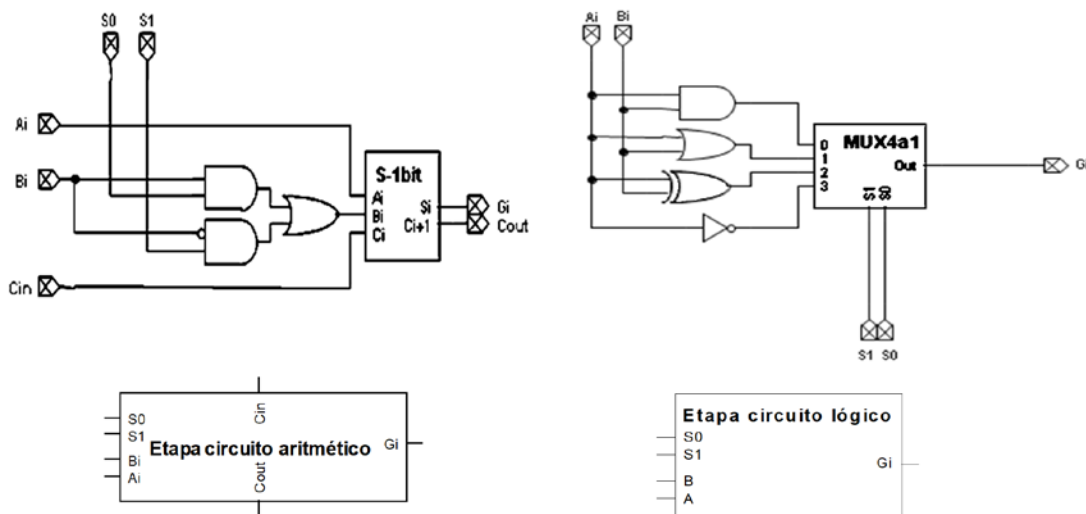
Nombre :

Grupo :

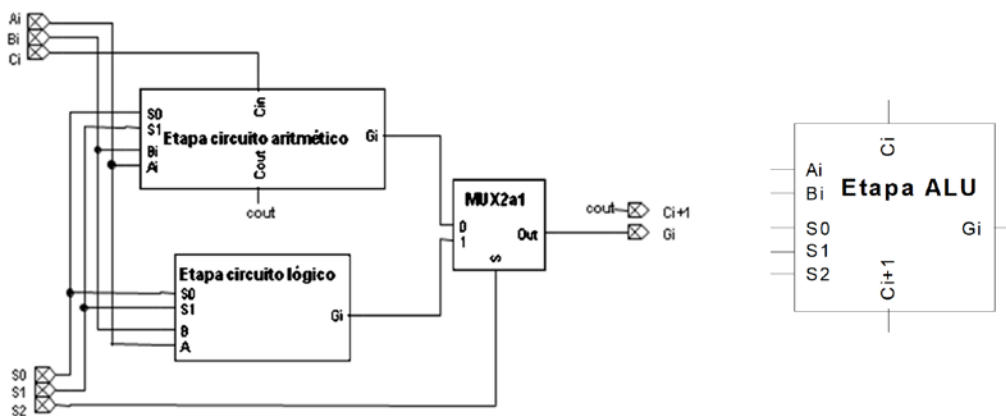
D.N.I. :

PRACTICAS: (1,00 punto)

1. (0,30 pto.) En la práctica 3, se analizó el comportamiento de una unidad Aritmético-lógica (ALU), como la que se indica en la figura (se muestran la etapa de circuito aritmético a la izquierda y la etapa de circuito lógico a la derecha).



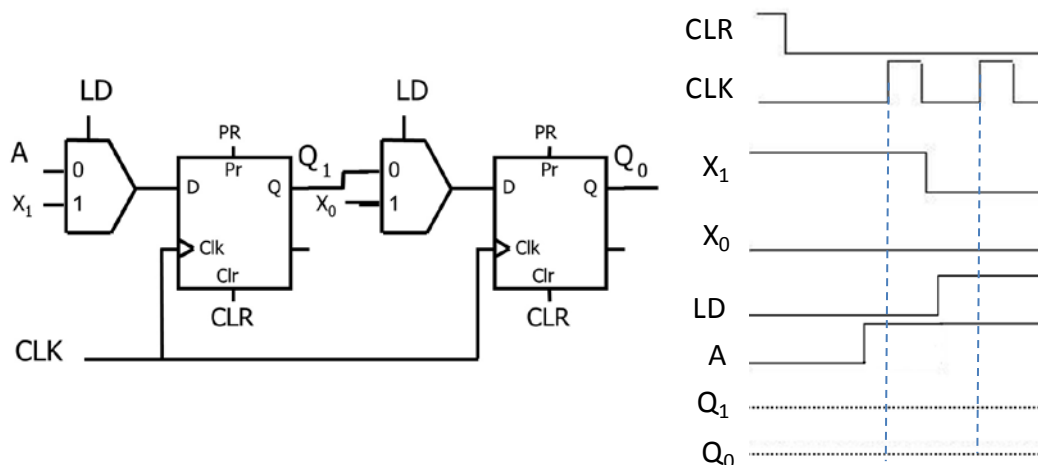
En la figura de abajo se muestra cómo se integran las dos etapas para formar una etapa ALU de un solo bit.



Indicar los valores de las señales de control (S2, S1, S0) necesarios para realizar las siguientes operaciones:

Operación	S2	S1	S0
Ai EXOR Bi			
Ai AND Bi			
Ai MAS Bi (operación de suma)			

2. (0,30 pto.) En la Práctica 5, se estudió el funcionamiento de este registro de desplazamiento con carga en paralelo. Rellene el diagrama de tiempos (cronograma) (los trazos de  $Q_0$  y  $Q_1$ ):



3. (0,40 pto.) En la **Tabla P.1** de la figura siguiente se muestra el repertorio de las 4 instrucciones del computador simple CS1 (de la práctica 8). Para cada instrucción, se indican su nemotécnico en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

**Tabla P.1**

Utilizando las instrucciones del computador CS1, realice un programa que almacene CUATRO veces cero en las direcciones consecutivas \$3A, \$3B, \$3C y \$3D.

- a) Especifique dicho programa en ensamblador en la primera columna de la **Tabla P.2**.  
b) Complete las filas de la tabla, indicando la descripción RT del programa, las instrucciones en binario (con sus códigos de operación y de direcciones de los datos (operandos) en binario) y notación en hexadecimal del programa.

**Nota:** Al ejecutar el programa se supone que, en general, el AC tendrá un valor inicial distinto de cero. Como ejemplo, se incluye en la tabla una posible primera instrucción del programa (con toda la fila rellena).

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$3D	$M(\$3D) \leftarrow AC$	11	11 1101	FD

**Tabla P.2**