

UNIVERSIDAD DE GRANADA.

**ESCUELA TECNICA SUPERIOR DE
INGENIERIAS INFORMATICA Y DE
TELECOMUNICACIÓN.**



**Departamento de Arquitectura y
Tecnología de Computadores.**

**TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES.**

**TEMA 4. ANÁLISIS Y DISEÑO DE SISTEMAS
SECUENCIALES.**

**GUÍA DE AYUDA PARA EL APRENDIZAJE
AUTÓNOMO**

1º GRADO EN INGENIERÍA INFORMÁTICA.

TEMA 4º. SISTEMAS SECUENCIALES.

GUÍA DE AYUDA PARA EL APRENDIZAJE AUTÓNOMO.

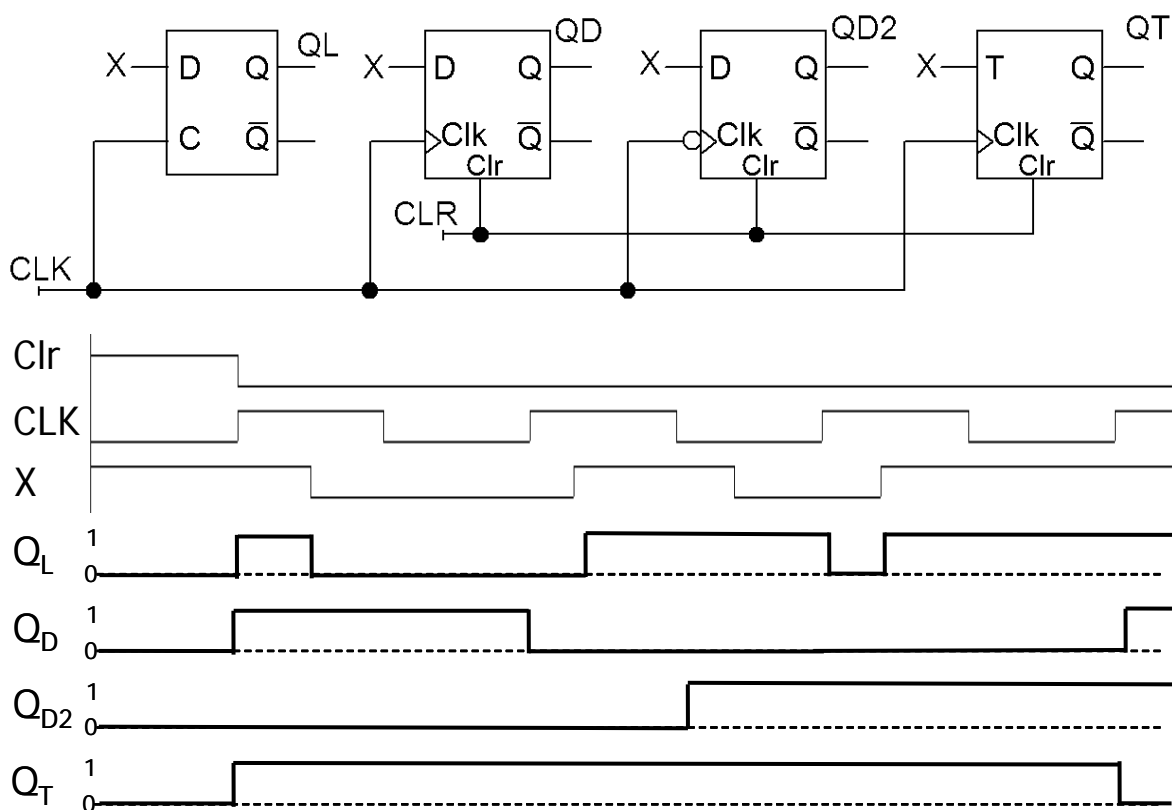
4.1.- PARTE TEÓRICA: El estudiante deberá:

- Descargar de la plataforma docente y leer detenidamente el material del Tema 4º ubicado en el fichero 04.-TEMA_4_TOC_ANALISIS_DISEÑO_SISTEMAS_SECUENCIALES.PDF.
- Visualizar en los enlaces de más abajo las videoclases referentes al Tema 4º de la asignatura:
 - Tema 4. Clase 1/3:
https://drive.google.com/open?id=1CgB23wS7ZIL4nIJb_mYdmEfuz-Fc9rhk
 - Tema 4. Clase 2/3:
https://drive.google.com/open?id=1irmJKANHb45wfdguGJnftXSIXF_ByWmU
 - Tema 4. Clase 3/3:
<https://drive.google.com/file/d/1yTn0iD9nPFE788TRpl9V1LmFS7jJrhC/view?usp=sharing>
 - Tema 4. Clase de Problemas 1.
<https://drive.google.com/file/d/1mVgiRN6BNGQXH6lpJsYWqCuXqLjuMZxp/view?usp=sharing>
 - Tema 4. Clase de Problemas 2.
https://drive.google.com/file/d/1Sw_dWoss44S8c6JiBz-Fjl65HGcBkLXy/view?usp=sharing

Nota. Para todos los circuitos secuenciales es necesario incluir una señal de reset para inicializar el estado al comienzo del funcionamiento. En algunos esquemas de los circuitos que se incluyen con biestables de tipo D no se ha incluido explícitamente esta señal por simplicidad, pero se asume que el circuito tiene esa señal de reset para inicializar el circuito).

4.2.- PARTE DE EJERCICIOS:

4.1.- Complete el siguiente diagrama de tiempos para el circuito de la figura.



Este ejercicio 4.1 ilustra la diferencia del momento de cambio entre biestables (o flip-flop) que son activos por nivel, por flanco de subida (flanco ascendente o flanco positivo) y flanco de bajada (flanco descendente o flanco negativo). Los tres biestables tipo D (Q_L , Q_D y Q_{D2}) están sometidos a la misma señal de entrada X. Sin embargo, la secuenciación de sus salidas es totalmente diferente, ya que el momento de activación de cada biestable es diferente y el biestable responde a la señal de entrada que detecta en el momento de su activación. Puesto que el biestable Q_L es un biestable que se activa en la zona alta del pulso de reloj (cuando $CLK = 1$) puede cambiar varias veces de estado dentro del mismo pulso de reloj, siempre que el cambio en la señal de entrada X se produzca en la zona de nivel alto de la señal de reloj. Los biestables activos por flanco de subida (Q_D) y por flanco de bajada (Q_{D2})

4.2.- Dos flip-flops tipo JK que operan sincronizadamente están interconectados del siguiente modo: $J0 = Q1$, $K0 = \overline{Q_1}$, $J1 = Q0$ y $K1 = \overline{Q_0}$. Dibuje el circuito y analice su comportamiento mediante un cronograma, introduciendo por la señal de reloj tantos pulsos como sean necesarios hasta averiguar la función que realiza.

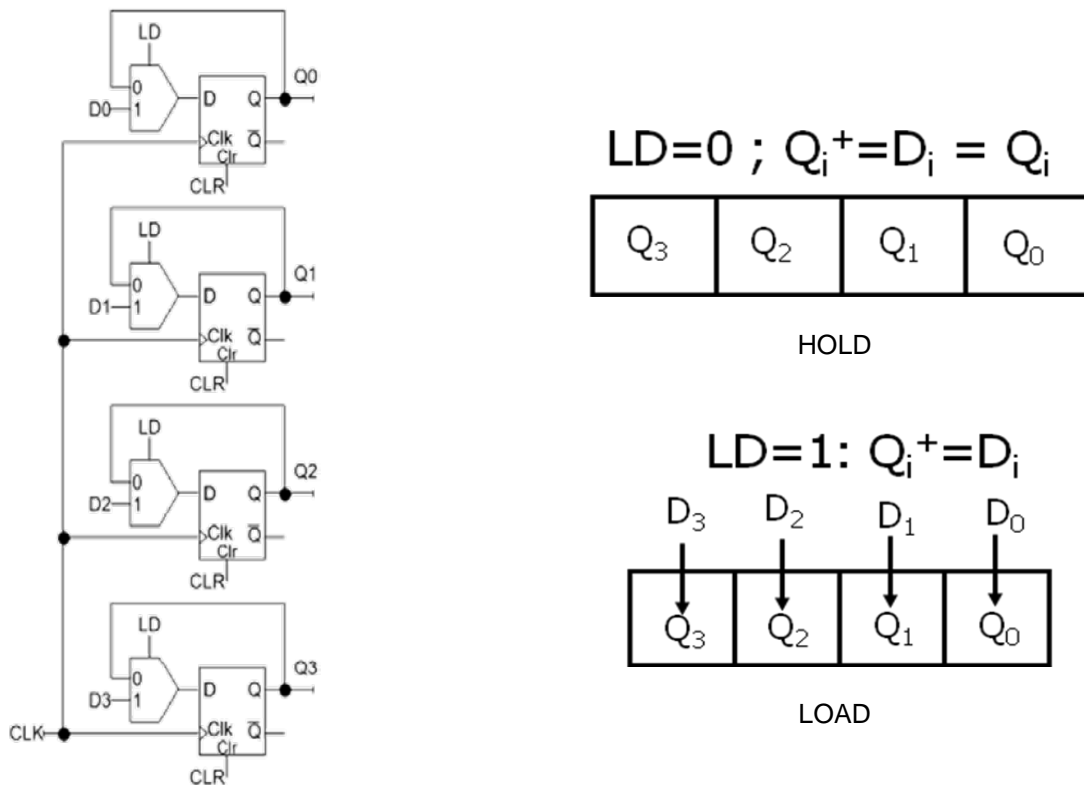
El ejercicio 4.2 no se realiza, ya que implica trabajar con biestables de tipo J-K.

EJERCICIOS SOBRE REGISTROS:

Los registros son dispositivos que permiten almacenar información. Se implementan utilizando biestables de tipo D (ver sección 4.3 del fichero 04.-TEMA_4_TOC_ANALISIS_DISENO_SISTEMAS_SECUENCIALES.PDF). Así un registro de “n-bits” se implementa utilizando “n” biestables de tipo D interconectados de diferentes formas para conseguir las diferentes posibilidades de trabajo que puede tener un registro:

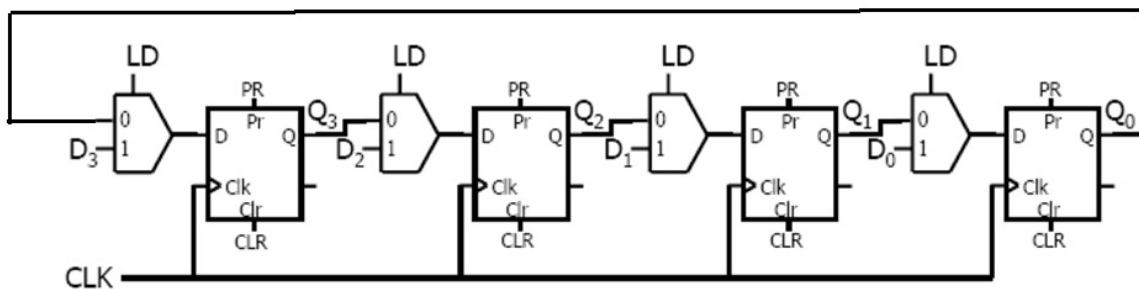
- No cambiar de estado (HOLD): esta configuración permite que los n-bits almacenados en cada uno de los “n” biestables del registro mantengan su valor cuando les llega el pulso de reloj (Clk), que sería el momento de su activación.
- Hacer una carga en paralelo (LOAD): esta configuración permite que los n-bits almacenados en cada uno de los “n” biestables del registro cambien su valor cuando les llega el pulso de reloj (Clk), que sería el momento de su activación y se actualicen con n-bits de valores nuevos.
- Desplazamiento hacia la derecha (SHIFT-R): esta configuración permite que los bits almacenados en cada uno de los “n” biestables del registro cambien su valor cuando le llega el pulso de reloj (Clk), que sería el momento de su activación, de tal manera que el bit almacenado en un biestable pasa al de su derecha, salvo en el situado más a la izquierda, que recibe un valor nuevo. Un caso particular del desplazamiento hacia la derecha es la “rotación hacia la derecha” en el que el último bit del biestable de la derecha del registro se carga en el biestable de más a la izquierda.
- Desplazamiento hacia la izquierda (SHIFT-L): esta configuración permite que los bits almacenados en cada uno de los “n” biestables del registro cambien su valor cuando le llega el pulso de reloj (Clk), que sería el momento de su activación, de tal manera que el bit almacenado en un biestable pasa al de su izquierda, salvo en el situado más a la derecha, que recibe un valor nuevo. Un caso particular del desplazamiento hacia la izquierda es la “rotación hacia la izquierda” en el que el último bit del biestable de la izquierda del registro se carga en el biestable de más a la derecha.

EJEMPLO: Registro de 4 bits con señal de carga síncrona en paralelo (LOAD) y mantenimiento de estado (HOLD):



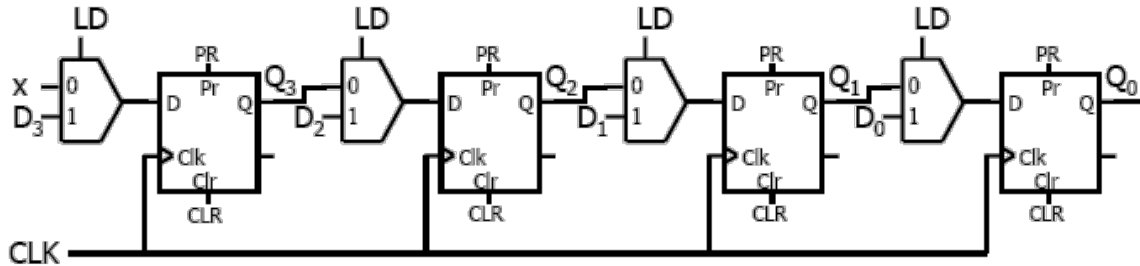
4.3.- Diseñe un registro de desplazamiento de 4 bits con una señal de control "LD" y 4 entradas de datos "D₃D₂D₁D₀" que tenga las características dadas por la siguiente tabla de funcionamiento simplificada:

CLK	CLR	LD	Q ₃ Q ₂ Q ₁ Q ₀
-	1	-	Q ₃ Q ₂ Q ₁ Q ₀ = 0 0 0 0
↑	0	0	ROTACIÓN DERECHA (Q ₃ ⁺ =Q ₀ ; Q ₂ ⁺ =Q ₃ ; Q ₁ ⁺ =Q ₂ ; Q ₀ ⁺ =Q ₁)
↑	0	1	CARGA SÍNCRONA EN PARALELO (Q _i ⁺ =D _i)



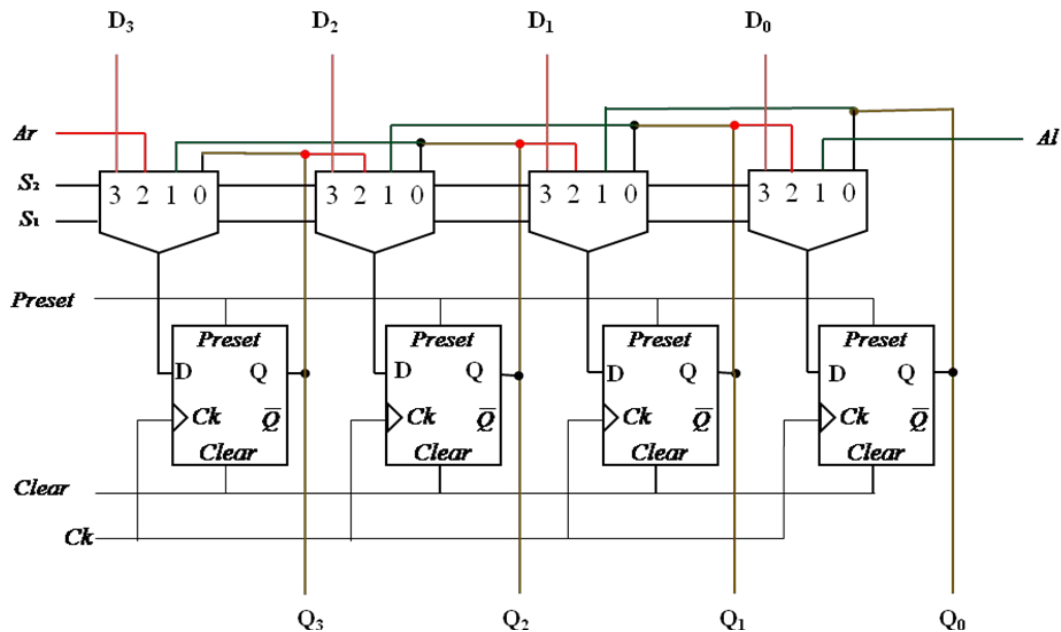
4.3.- (BIS) Diseñe un registro de desplazamiento de 4 bits con una señal de control "LD" y 4 entradas de datos "D₃D₂D₁D₀" que tenga las características dadas por la siguiente tabla de funcionamiento simplificada:

CLK	CLR	LD	Q ₃ Q ₂ Q ₁ Q ₀
-	1	-	Q ₃ Q ₂ Q ₁ Q ₀ = 0 0 0 0
↑	0	0	DESPLAZAMIENTO a DERECHA (Q ⁺ ₃ =X; Q ⁺ ₂ =Q ₃ ; Q ⁺ ₁ =Q ₂ ; Q ⁺ ₀ =Q ₁)
↑	0	1	CARGA SÍNCRONA EN PARALELO (Q ⁺ _i =D _i)



4.4.- Diseñe un registro de 4 bits que tenga las características dadas por la siguiente tabla de funcionamiento simplificada:

Ck	Clear	Preset	S ₂	S ₁	Q ₃ Q ₂ Q ₁ Q ₀
-	1	0	-	-	Q ₃ Q ₂ Q ₁ Q ₀ = 0 0 0 0
-	0	1	-	-	Q ₃ Q ₂ Q ₁ Q ₀ = 1 1 1 1
↑	0	0	0	0	MANTENER ESTADO o HOLD (Q ⁺ _i =Q _i)
↑	0	0	0	1	DESPLAZAMIENTO IZQUIERDA
↑	0	0	1	0	DESPLAZAMIENTO DERECHA
↑	0	0	1	1	CARGA SÍNCRONA EN PARALELO (Q ⁺ _i =D _i)



EJERCICIOS SOBRE CONTADORES:

Los contadores son dispositivos que permiten generar una secuencia de salidas que es correlativa. Es decir, la salida del contador es un valor (en binario) que, en cada pulso de reloj (Clk), es igual que el valor que tenía en el pulso de reloj anterior incrementado o decrementado en una unidad. Si el valor se incrementa en una unidad respecto del valor de salida anterior se habla de un contador ascendente y si se decrementa en una unidad respecto del valor de salida anterior se habla de un contador descendente. Se pueden implementar utilizando biestables de tipo D o de tipo T (ver sección 4.3 del documento 04.-TEMA_4_TOC_ANALISIS_DISEÑO_SISTEMAS_SECUENCIALES.PDF).

El diseño de contadores y generadores de secuencias que se describirá más adelante, es muy similar. Se podría interpretar que o bien el diseño de contadores puede considerarse un caso particular de diseño de generadores de secuencia y viceversa, o sea, que el diseño de generadores de secuencias puede abordarse como un caso generalizado de diseño de contadores.

Para el diseño de contadores es útil tener en cuenta las siguientes premisas:

- a) Número de salidas binarias que ha de tener el contador. Este dato se puede averiguar conociendo el valor máximo (en decimal) que ha de tener la salida (Z_{\max}). El número "m" ($Z_{m-1}, Z_{m-2}, \dots, Z_1, Z_0$) de salidas binarias que ha de tener el contador ha de ser tal que

$$2^{(m-1)} < Z_{\max} \leq 2^m$$

- b) Número de biestables que forman parte del contador. El número de biestables (p) es un dato que se puede conocer a priori antes de proceder al diseño del contador. Para deducir este valor (p) hay que conocer el valor de lo que se denomina "Módulo" N del contador que es el número de estados por los que va pasando el contador hasta que se repite el valor de salida. En cierta manera el Módulo N es el equivalente a lo que en una señal periódica se conoce como el periodo de la señal. El número (p) de biestables que requiere el diseño de un contador, una vez conocido su Módulo (N) ha de ser tal que

$$2^{(p-1)} < N \leq 2^p$$

En general, se suelen utilizar para el diseño "p" biestables que suelen ser de tipo D ($D_{p-1}, D_{p-2}, \dots, D_1, D_0$) ó de tipo T ($T_{p-1}, T_{p-2}, \dots, T_1, T_0$), cuyas salidas generarán "p" variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$).

- c) Por último, si el número de salidas (m) coincide con el número de biestables (p) que se requieren para el diseño del contador, dicho diseño se puede simplificar mucho si se realizando que las funciones de salida coincidan con las salidas del estado actual de los elementos biestables, es decir

$$Z_i = Q_i$$

Esta situación en el que las salidas (Z_i) coincidan con las variables de estado ($Z_i = Q_i$) que son las salidas de los elementos de memoria o biestables NO se produce en general en los sistemas secuenciales síncronos. Es un caso particular que se presenta, por ejemplo, en los contadores y no en todos los casos de contadores, como se verá más adelante.

4.5.- Diseñe los siguientes contadores síncronos binarios:

1. Contador ascendente módulo 8, que genere la secuencia **0, 1, 2, 3, 4, 5, 6, 7, 0, 1, ...**. Ver sección 4.3 del documento 04.-TEMA_4_TOC_ANALISIS_DISEÑO_SISTEMAS_SECUENCIALES.PDF.

- a) Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 7)_{10} = 111)_2$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 8 valores (0, 1, 2, 3, 4, 5, 6, 7), esto significa que el módulo del contador es 8, puesto que la secuencia se repite tras pasar por esos 8 valores. Por tanto, el número (p) de biestables que requiere el diseño de este contador, una vez conocido su módulo (8) ha de ser tal que $2^{(p-1)} < 8 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- c) Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).

- d) Se puede hacer para el diseño de un contador (no es estrictamente necesario) un grafo denominado “Diagrama de Estados” del contador en el que se representa gráficamente la evolución del sistema a través de sus “Estados” que son las diferentes situaciones por las que va evolucionando el sistema. Cada estado se representa por un círculo identificado por el nombre del estado junto al que se ubica el valor de la salida del sistema en ese estado. Cada estado se tiene que representar en binario por una y sólo una combinación de valores de las denominadas “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) y a cada estado le corresponderá un valor de las “m” funciones de salidas ($Z_{m-1}, Z_{m-2}, \dots, Z_1, Z_0$). El paso de un estado a otro se realiza por el cambio de alguna o varias de las “p” variables de estado que se produce porque los biestables correspondientes reciben un pulso de la señal de reloj (Ck). En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.5.1 (izquierda). Se denomina “asignación de estados” al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Sin embargo, dado que el número de salidas (m) coincide con el número de biestables (p) del sistema, si se quiere mantener la propiedad de que $Z_i = Q_i$, entonces hay que hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.5.1 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.5.1 derecha).



Figura 4.5.1. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema, que indica la evolución de los cambios de estado y de las “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de “Tablas de Excitación” de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.5.1. Para realizar la tabla de excitación hay que recordar:
- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q_i^+ de dicho biestable ($D_i = Q_i^+$).
 - ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q_i^+ correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q_i^+$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q_i^+$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.
- Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	0 0 1	0 0 0	0 0 1	0 0 1
A1	0 0 1	0 1 0	0 0 1	0 1 0	0 1 1
A2	0 1 0	0 1 1	0 1 0	0 1 1	0 0 1
A3	0 1 1	1 0 0	0 1 1	1 0 0	1 1 1
A4	1 0 0	1 0 1	1 0 0	1 0 1	0 0 1
A5	1 0 1	1 1 0	1 0 1	1 1 0	0 1 1
A6	1 1 0	1 1 1	1 1 0	1 1 1	0 0 1
A7	1 1 1	0 0 0	1 1 1	0 0 0	1 1 1

Tabla 4.5.1. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_2Z_1Z_0$), valores que en este caso son inmediatos de obtener puesto que $Z_2Z_1Z_0 = Q_2Q_1Q_0$. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = (\overline{Q_2} \cdot Q_1 \cdot Q_0) + (Q_2 \cdot \overline{Q_1}) + (Q_2 \cdot \overline{Q_0}); D_1 = Q_1 \oplus Q_0; D_0 = \overline{Q_0}$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = Q_1 \cdot Q_0; T_1 = Q_0; T_0 = 1$$

En general, el diseño de un contador empleando biestables de tipo T para su implementación suele ser más sencillo que si se emplean biestables de tipo D. Particularmente, para un contador ascendente (como el del ejemplo que nos ocupa) en que se tenga que exactamente su módulo N sea $N = 2^p$, siendo “p” el número de biestables empleado en el diseño del contador, se tiene que:

$$T_0 = 1$$

$$T_1 = Q_0$$

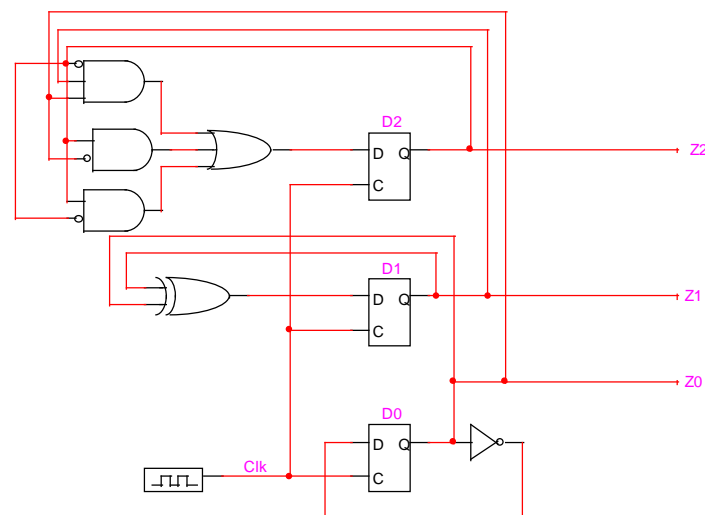
$$T_2 = Q_1 \cdot Q_0 = Q_1 \cdot T_1$$

$$T_3 = Q_2 \cdot Q_1 \cdot Q_0 = Q_2 \cdot T_2$$

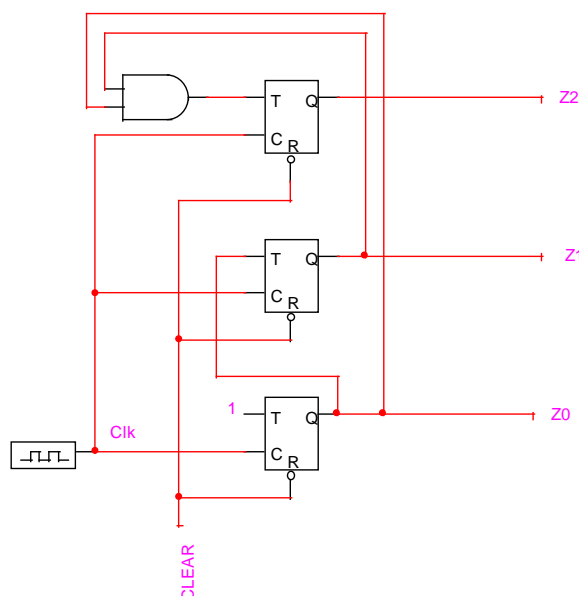
$$\dots\dots\dots$$

$$T_{p-1} = Q_{p-2} \cdot Q_{p-3} \cdot \dots \cdot Q_2 \cdot Q_1 \cdot Q_0 = Q_{p-2} \cdot T_{p-2}$$

- g) Por último, queda realizar la implementación física mediante un circuito
- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$)



2. Contador descendente módulo 8, que genere la secuencia **7, 6, 5, 4, 3, 2, 1, 0, 7, 6, 5, ...**.
- a) Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 7)_{10} = 111)_{2}$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 8 valores, esto significa que el módulo del contador es 8, puesto que la secuencia se repite tras pasar por esos 8 valores. Por tanto, el número (p) de biestables que requiere el diseño de este contador, una vez conocido su módulo (8) ha de ser tal que $2^{(p-1)} < 8 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- c) Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).
- d) Se puede hacer para el diseño de un contador (no es estrictamente necesario) un grafo denominado “Diagrama de Estados” del contador en el que se representa gráficamente la evolución del sistema a través de sus “Estados” que son las diferentes situaciones por las que va evolucionando el sistema. Cada estado se representa por un círculo identificado por el nombre del estado junto al que se ubica el valor de la salida del sistema en ese estado. Cada estado se tiene que representar en binario por una y sólo una combinación de valores de las denominadas “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) y a cada estado le corresponderá un valor de las “m” funciones de salidas ($Z_{m-1}, Z_{m-2}, \dots, Z_1, Z_0$). El paso de un estado a otro se realiza por el cambio de alguna o varias de las “p” variables de estado que se produce porque los biestables correspondientes reciben un pulso de la señal de reloj (Ck). En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.5.2 (izquierda). Se denomina “asignación de estados” al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Sin embargo, dado que el número de salidas (m) coincide con el número de biestables (p) del sistema, si se quiere mantener la propiedad de que $Z_i = Q_i$, entonces hay que hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.5.2 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.5.2 derecha).

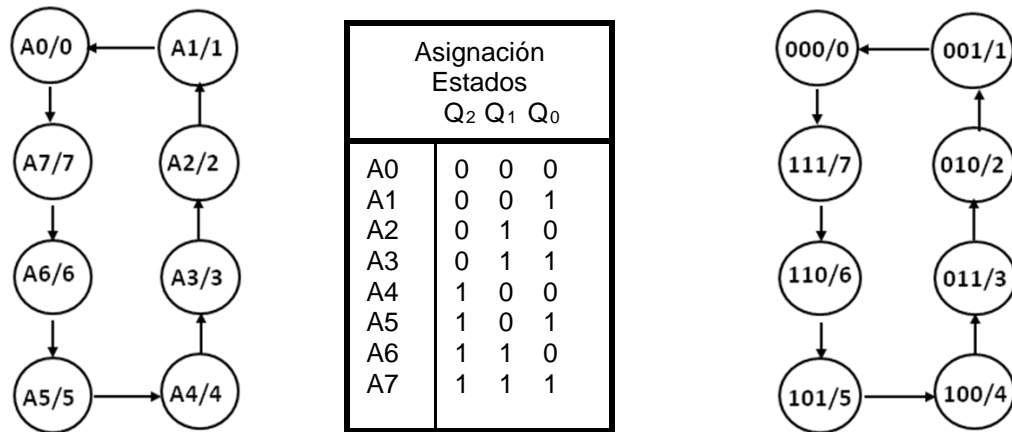


Figura 4.5.2. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema, que indica la evolución de los cambios de estado y de las “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de “Tablas de Excitación” de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.5.2. Para realizar la tabla de excitación hay que recordar:
- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q^+_i de dicho biestable ($D_i = Q^+_i$).
 - ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q^+_i correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q^+_i$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q^+_i$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.

Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

Estado	Estado actual Q ₂ Q ₁ Q ₀	Estado siguiente Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺	Salidas Z ₂ Z ₁ Z ₀	Tabla excitación D ₂ D ₁ D ₀	Tabla excitación T ₂ T ₁ T ₀
A0	0 0 0	1 1 1	0 0 0	1 1 1	1 1 1
A1	0 0 1	0 0 0	0 0 1	0 0 0	0 0 1
A2	0 1 0	0 0 1	0 1 0	0 0 1	0 1 1
A3	0 1 1	0 1 0	0 1 1	0 1 0	0 0 1
A4	1 0 0	0 1 1	1 0 0	0 1 1	1 1 1
A5	1 0 1	1 0 0	1 0 1	1 0 0	0 0 1
A6	1 1 0	1 0 1	1 1 0	1 0 1	0 1 1
A7	1 1 1	1 1 0	1 1 1	1 1 0	0 0 1

Tabla 4.5.2. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_2Z_1Z_0$), valores que en este caso son inmediatos de obtener puesto que $Z_2Z_1Z_0 = Q_2Q_1Q_0$. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = (\overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}) + (Q_2 \cdot Q_1) + (Q_2 \cdot Q_0); D_1 = \overline{Q_1} \oplus \overline{Q_0}; D_0 = \overline{Q_0}$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = \overline{Q_1} \cdot \overline{Q_0}; T_1 = \overline{Q_0}; T_0 = 1$$

En general, el diseño de un contador empleando biestables de tipo T para su implementación suele ser más sencillo que si se emplean biestables de tipo D. Particularmente, para un contador descendente (como el del ejemplo que nos ocupa) en que se tenga que exactamente su módulo N sea $N = 2^p$, siendo “p” el número de biestables empleado en el diseño del contador, se tiene que:

$$T_0 = 1$$

$$T_1 = \overline{Q_0}$$

$$T_2 = \overline{Q_1} \cdot \overline{Q_0} = \overline{Q_1} \cdot T_1$$

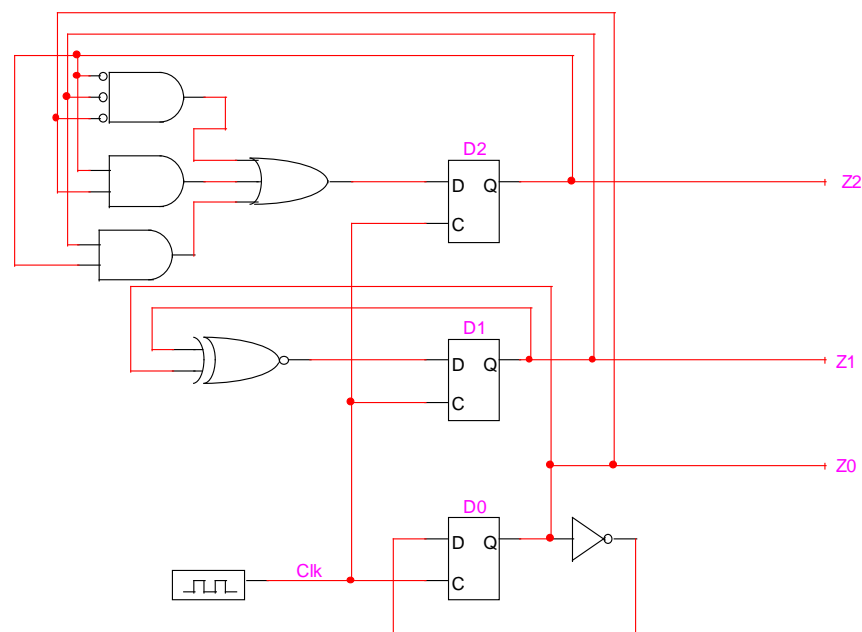
$$T_3 = \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0} = \overline{Q_2} \cdot T_2$$

.....

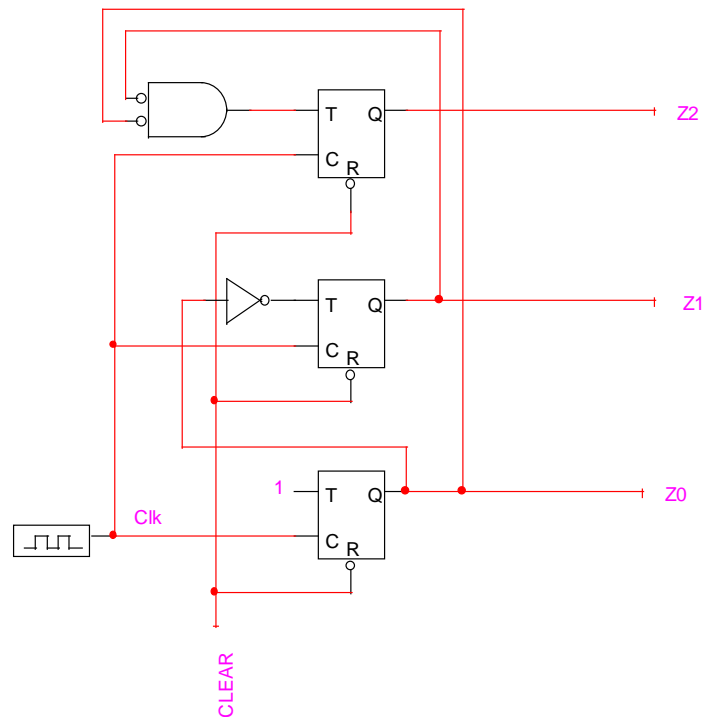
$$T_{p-1} = \overline{Q_{p-2}} \cdot \overline{Q_{p-3}} \cdot \dots \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0} = \overline{Q_{p-2}} \cdot T_{p-2}$$

- g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



3. Contador ascendente/descendente módulo 8 que reúna las características de los dos anteriores, controlado por una señal de modo de cuenta externa **U/D** (UP/DOWN).

Un contador Ascendente/Descendente se diseña como la unión de un contador ascendente como el diseñado en el apartado 4.5.1 uniéndolo a un contador descendente como el del apartado 4.5.2 y añadiéndole una señal de control externa, que en este caso se ha denominado U/D (UP/DOWN) que, por ejemplo, cuando tome el valor cero lógico, el contador funcione de forma ascendente (como en la figura y tabla 4.5.1) y cuando toma el valor uno lógico, el contador funcione de forma descendente (como en la figura y tabla 4.5.2). Por tanto, resumiendo lo expresado en los problemas 4.5.1 y 4.5.2 se tendría:

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 7)_{10} = 111)_2$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Puesto que el módulo $N = 8$, serían $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán "3" variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).
- El diagrama de estados se puede ver en la figura 4.5.3 (izquierda). La asignación de estados se puede ver en la figura 4.5.3 (centro) y el diagrama de estados ya asignado en binario se puede ver en figura 4.5.3 (derecha).

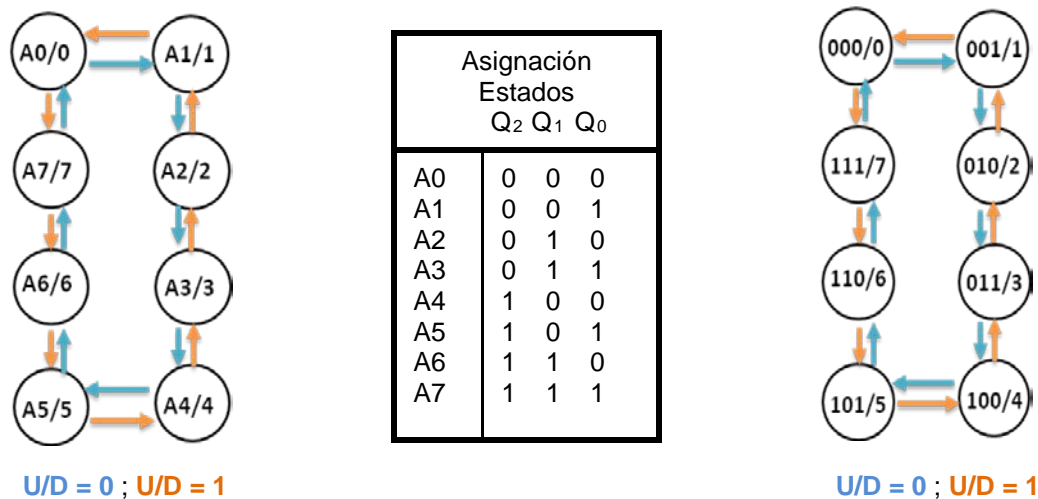


Figura 4.5.3. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema. En este caso, la tabla de transición ha de incluir, como una variable más, el valor de la entrada U/D para indicar si el contador actúa de forma ascendente o de forma descendente. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.5.3.

Estado	U/D	Estado actual Q ₂ Q ₁ Q ₀	Estado siguiente Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺	Salidas Z ₂ Z ₁ Z ₀	Tabla excitación D ₂ D ₁ D ₀	Tabla excitación T ₂ T ₁ T ₀
A0	0	000	001	000	001	001
A1	0	001	010	001	010	011
A2	0	010	011	010	011	001
A3	0	011	100	011	100	111
A4	0	100	101	100	101	001
A5	0	101	110	101	110	011
A6	0	110	111	110	111	001
A7	0	111	000	111	000	111
A0	1	000	111	000	111	111
A1	1	001	000	001	000	001
A2	1	010	001	010	001	011
A3	1	011	010	011	010	001
A4	1	100	011	100	011	111
A5	1	101	100	101	100	001
A6	1	110	101	110	101	011
A7	1	111	110	111	110	001

Tabla 4.5.3. Tabla de transición, de salidas y de excitación de biestables D_i y T_i.

Como puede verse, la tabla 4.5.3 podría considerarse como la unión de la tabla 4.5.1 (cuando U/D = 0) con la tabla 4.5.2 (cuando U/D = 1).

- f) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, los valores de las funciones de salida $Z_2Z_1Z_0 = Q_2Q_1Q_0$ puesto que no dependen del valor de U/D sino del estado en que se encuentra el contador. Por otra parte, hay que obtener las funciones de entrada a los biestables D₂, D₁, D₀ ó T₂, T₁, T₀ en función, a su vez, de las variables de estado Q₂Q₁Q₀ y también de U/D. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i. En el caso que nos ocupa:

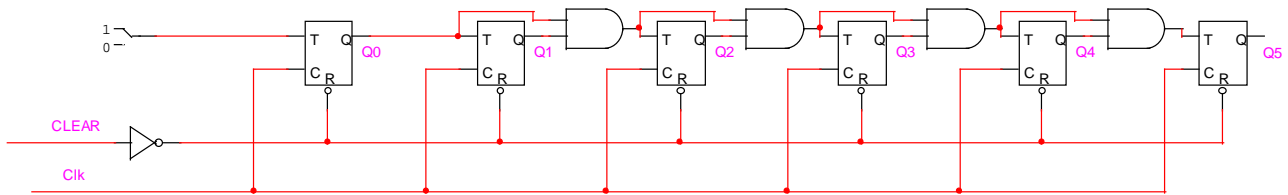
EJEMPLO: Diseñe un contador ascendente módulo 64 que genere la secuencia de salidas $Z = 0, 1, 2, 3, \dots, 62, 63, 0, 1, 2, 3, \dots$. Emplee para el diseño biestables de tipo T.

Siguiendo lo indicado en el ejercicio 4.5, se tendría que

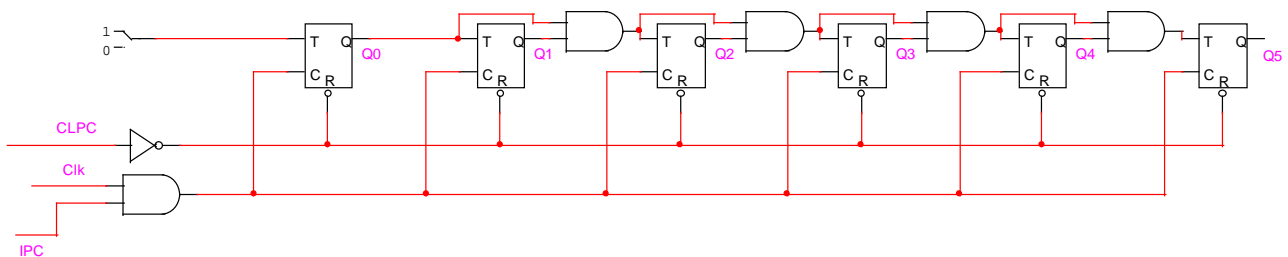
- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 63_{10} = 111111_2$ el número de salidas necesarias para implementar el contador es 6 bits $Z_5 Z_4 Z_3 Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Serían $p = 6$ biestables puesto que el contador ascendente es de módulo $64 = 2^6$. Los biestables son de tipo T ($T_5, T_4, T_3, T_2, T_1, T_0$), cuyas salidas generarán "6" variables de estado ($Q_5, Q_4, Q_3, Q_2, Q_1, Q_0$).
- Como el número de salidas ($m=6$) coincide con el número de biestables ($p=6$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_5 Z_4 Z_3 Z_2 Z_1 Z_0 = Q_5 Q_4 Q_3 Q_2 Q_1 Q_0$).
- Además, según lo indicado en el ejercicio 4.5.1, puesto que el contador es de módulo $64 = 2^6$, que es una potencia de 2, se tendría que:

$$\begin{aligned} T_0 &= 1 \\ T_1 &= Q_0 \\ T_2 &= Q_1 \cdot Q_0 = Q_1 \cdot T_1 \\ T_3 &= Q_2 \cdot Q_1 \cdot Q_0 = Q_2 \cdot T_2 \\ T_4 &= Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = Q_3 \cdot T_3 \\ T_5 &= Q_4 \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = Q_4 \cdot T_4 \end{aligned}$$

Por tanto, el circuito que implementaría el contador ascendente de módulo 64 sería:



Si, además se quisiera en algún momento detener el contador mediante una señal de control (que se podría denominar IPC), un posible circuito que implementaría el problema podría ser:



Se inserta un inversor en la señal de Clear para poder resetear asincrónicamente el contador ($Q_i = 0$ cuando $\text{Clear} = 1$), ya que la señales R se activan cuando valen 0.

El modo de funcionamiento de este contador vendría dado por la siguiente tabla:

CLPC	IPC	Función contador
0	0	Mantiene valor
0	1	Incrementa cuenta
1	0	Puesta a 0 (Asíncrona)
1	1	Prohibido

4.6.- Diseñe los siguientes contadores síncronos:

1. Contador ascendente módulo 5, que genere la secuencia 0, 1, 2, 3, 4, 0, 1,

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 4)_{10} = 100)_{2}$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del contador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de biestables que requiere el diseño de este contador, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).
- Se puede hacer para el diseño del contador su "Diagrama de Estados". En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.6.1 (izquierda). Se denomina "asignación de estados" al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Sin embargo, dado que el número de salidas (m) coincide con el número de biestables (p) del sistema, si se quiere mantener la propiedad de que $Z_i = Q_i$, entonces hay que hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.6.1 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.6.1 derecha). Comparando el diagrama de estados de un contador de módulo 5 con el de un contador de módulo 8 (figura 4.5.1 - izquierda) se ve que son muy similares. El diagrama de estados del contador de módulo 5 contiene 5 estados y le faltan los tres estados A5, A6 y A7.

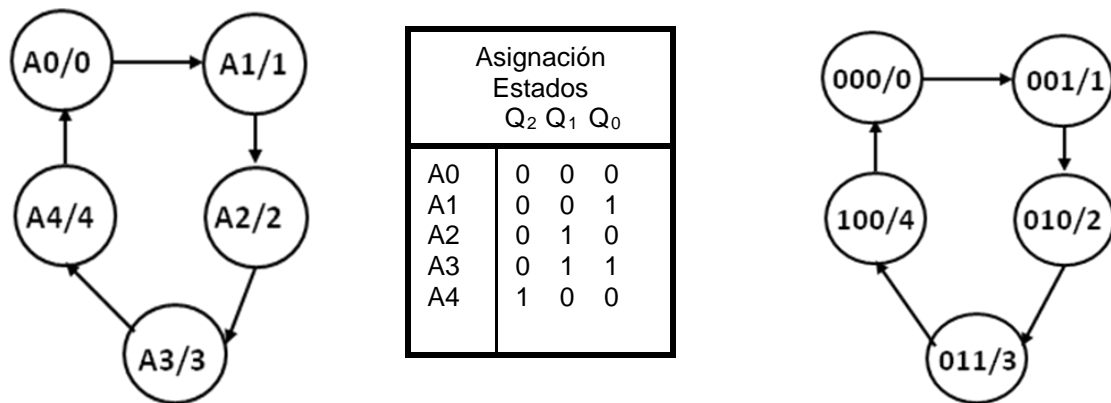


Figura 4.6.1. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema, que indica la evolución de los cambios de estado y de las "p" variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de "Tablas de Excitación" de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.6.1. Para realizar la tabla de excitación hay que recordar:

- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q_i^{+} de dicho biestable ($D_i = Q_i^{+}$).
- ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q_i^{+} correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q_i^{+}$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q_i^{+}$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.

Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición de un contador ascendente de módulo 5 es como la de un contador ascendente de módulo 8 pero está “incompleta”, en el sentido en que hay filas de dicha tabla que corresponden a valores binarios de estados denominados “no asignados” y cuyo estado siguiente y salida serán desconocidos.

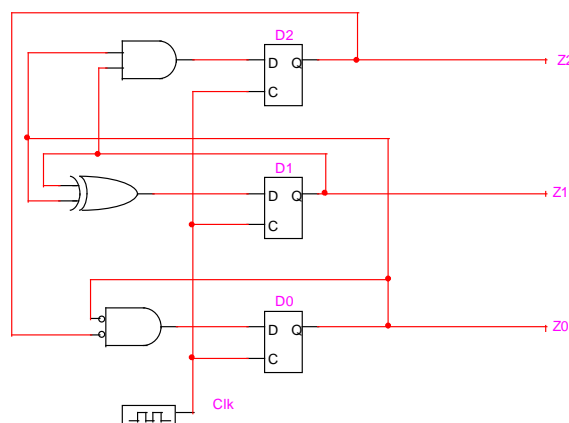
Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^{+}Q_1^{+}Q_0^{+}$	Salidas $Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	0 0 1	0 0 0	0 0 1	0 0 1
A1	0 0 1	0 1 0	0 0 1	0 1 0	0 1 1
A2	0 1 0	0 1 1	0 1 0	0 1 1	0 0 1
A3	0 1 1	1 0 0	0 1 1	1 0 0	1 1 1
A4	1 0 0	0 0 0	1 0 0	0 0 0	1 0 0
	1 0 1	- - -	- - -	- - -	- - -
	1 1 0	- - -	- - -	- - -	- - -
	1 1 1	- - -	- - -	- - -	- - -

Tabla 4.6.1. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

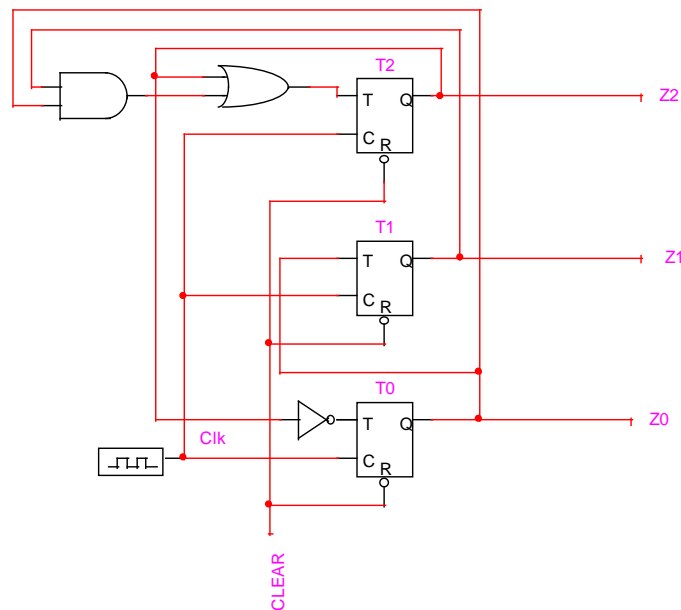
- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_2Z_1Z_0$), valores que en este caso son inmediatos de obtener puesto que $Z_2Z_1Z_0 = Q_2Q_1Q_0$. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:
 - i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = Q_1 \cdot Q_0 ; D_1 = Q_1 \oplus Q_0 ; D_0 = \overline{Q_2} \cdot \overline{Q_0}$$
 - ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = Q_2 + (Q_1 \cdot Q_0) ; T_1 = Q_0 ; T_0 = \overline{Q_2}$$
- g) Por último, queda realizar la implementación física mediante un circuito
 - i. Realización con biestables de tipo D(aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



2. Contador descendente módulo 5, que genere la secuencia **4, 3, 2, 1, 0, 4, 3, ...**.

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 4)_{10} = 100)_{2}$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del contador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de biestables que requiere el diseño de este contador, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).
- Se puede hacer para el diseño del contador su "Diagrama de Estados". En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.6.2 (izquierda). Se denomina "asignación de estados" al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Sin embargo, dado que el número de salidas (m) coincide con el número de biestables (p) del sistema, si se quiere mantener la propiedad de que $Z_i = Q_i$, entonces hay que hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.6.2 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.6.2 derecha). Comparando el diagrama de estados de un contador de módulo 5 con el de un contador de módulo 8 (figura 4.5.2 - izquierda) se ve que son muy similares. El diagrama de estados del contador de módulo 5 contiene 5 estados y le faltan los tres estados A5, A6 y A7.



Figura 4.6.2. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema, que indica la evolución de los cambios de estado y de las “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de “Tablas de Excitación” de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.6.2. Para realizar la tabla de excitación hay que recordar:
- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q^+_i de dicho biestable ($D_i = Q^+_i$).
 - ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q^+_i correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q^+_i$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q^+_i$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.
- Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición de un contador descendente de módulo 5 es como la de un contador descendente de módulo 8 pero está “incompleta”, en el sentido en que hay filas de dicha tabla que corresponden a valores binarios de estados denominados “no asignados” y cuyo estado siguiente y salidas serán desconocidas.

Estado	Estado actual Q ₂ Q ₁ Q ₀	Estado siguiente Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺	Salidas Z ₂ Z ₁ Z ₀	Tabla excitación D ₂ D ₁ D ₀	Tabla excitación T ₂ T ₁ T ₀
A0	0 0 0	1 0 0	0 0 0	1 0 0	1 0 0
A1	0 0 1	0 0 0	0 0 1	0 0 0	0 0 1
A2	0 1 0	0 0 1	0 1 0	0 0 1	0 1 1
A3	0 1 1	0 1 0	0 1 1	0 1 0	0 0 1
A4	1 0 0	0 1 1	1 0 0	0 1 1	1 1 1
	1 0 1	- - -	- - -	- - -	- - -
	1 1 0	- - -	- - -	- - -	- - -
	1 1 1	- - -	- - -	- - -	- - -

Tabla 4.6.2. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_2Z_1Z_0$), valores que en este caso son inmediatos de obtener puesto que $Z_2Z_1Z_0 = Q_2Q_1Q_0$. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$.

Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

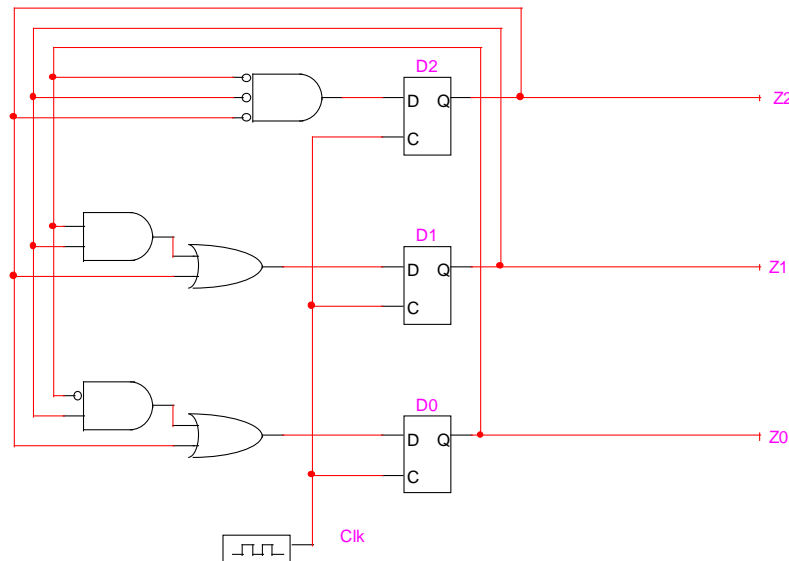
$$D_2 = \bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 ; D_1 = Q_2 + (Q_1 \cdot Q_0) ; D_0 = Q_2 + (Q_1 \cdot \bar{Q}_0)$$

- ii. Las entradas T_i de cada biestable tipo T serían:

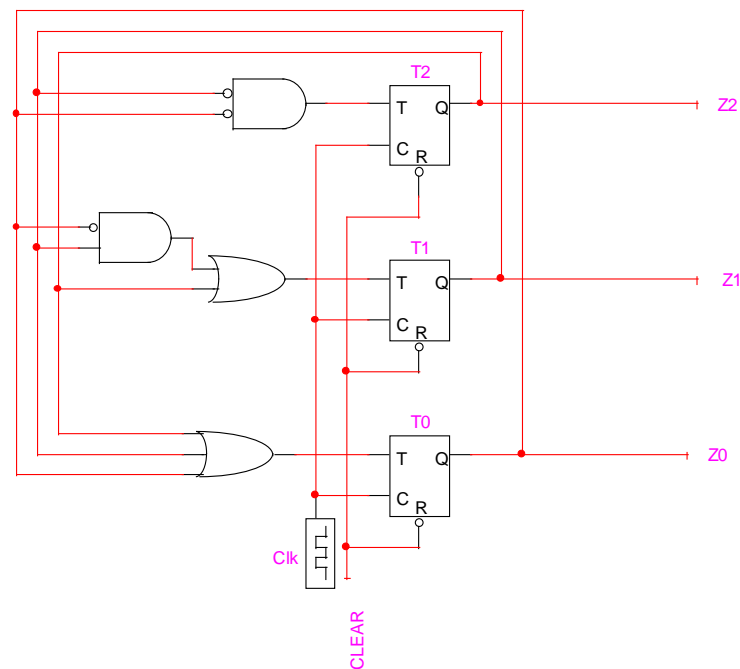
$$T_2 = \bar{Q}_1 \cdot \bar{Q}_0 ; T_1 = Q_2 + (Q_1 \cdot \bar{Q}_0) ; T_0 = Q_2 + Q_1 + Q_0$$

- g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables tomar el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



3. Contador ascendente/descendente módulo 5 que reúna las características de los dos anteriores, controlado por una señal de modo de cuenta externa **U/D** (UP/DOWN).

Un contador Ascendente/Descendente se diseña como la unión de un contador ascendente como el diseñado en el apartado 4.6.1 uniéndolo a un contador descendente como el del apartado 4.6.2 y añadiéndole una señal de control externa, que en este caso se ha denominado U/D (UP/DOWN) que, por ejemplo, cuando tome el valor cero lógico, el contador funcione de forma ascendente (como en la figura y tabla 4.6.1) y cuando toma el valor uno lógico, el contador funcione de forma descendente (como en la figura y tabla 4.6.2). Por tanto, resumiendo lo expresado en los problemas 4.6.1 y 4.6.2 se tendría:

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 4_{10} = 100_2$ el número de salidas necesarias para implementar el contador es 3 bits $Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Puesto que el módulo es $N = 5$, serían $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán "3" variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=3$) coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas ($Z_2 Z_1 Z_0 = Q_2 Q_1 Q_0$).
- El diagrama de estados se puede ver en la figura 4.6.3 (izquierda). La asignación de estados se puede ver en la figura 4.6.3 (centro) y el diagrama de estados ya asignado en binario se puede ver en figura 4.6.3 (derecha).

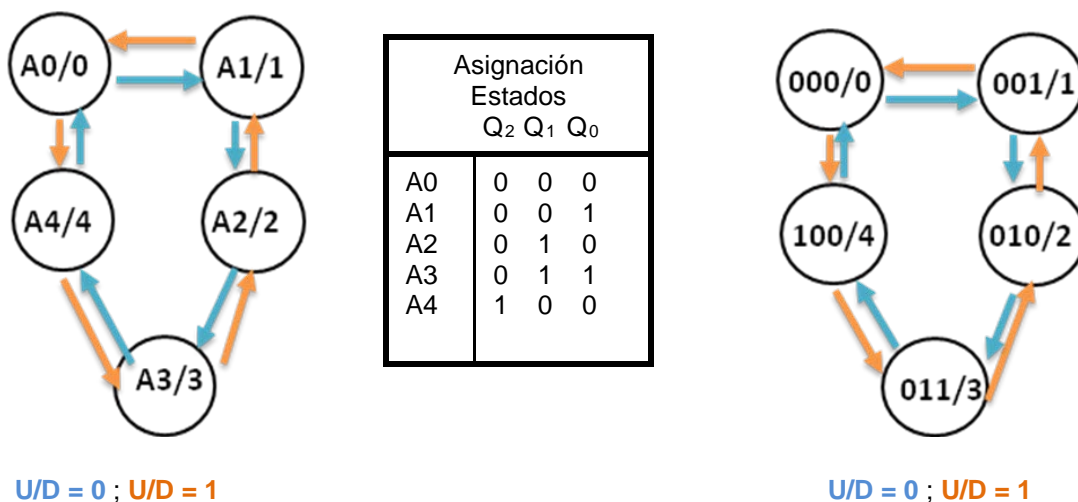


Figura 4.6.3. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema. En este caso, la tabla de transición ha de incluir, como una variable más, el valor de la entrada U/D para indicar si el contador actúa de forma ascendente o de forma descendente. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.6.3.

Estado	U/D	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0	000	001	000	001	001
A1	0	001	010	001	010	011
A2	0	010	011	010	011	001
A3	0	011	100	011	100	111
A4	0	100	000	100	000	100
	0	101	- - -	- - -	- - -	- - -
	0	110	- - -	- - -	- - -	- - -
	0	111	- - -	- - -	- - -	- - -
A0	1	000	100	000	100	100
A1	1	001	000	001	000	001
A2	1	010	001	010	001	011
A3	1	011	010	011	010	001
A4	1	100	011	100	011	111
	1	101	- - -	- - -	- - -	- - -
	1	110	- - -	- - -	- - -	- - -
	1	111	- - -	- - -	- - -	- - -

Tabla 4.6.3. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

Como puede verse, la tabla 4.6.3 podría considerarse como la unión de la tabla 4.6.1 (cuando $U/D = 0$) con la tabla 4.6.2 (cuando $U/D = 1$).

- f) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, los valores de las funciones de salida $Z_2Z_1Z_0 = Q_2Q_1Q_0$ puesto que no dependen del valor de U/D sino del estado en que se encuentra el contador. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$ y también de U/D . Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = (\overline{U/D} \cdot Q_1 \cdot Q_0) + (U/D \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0})$$

$$D_1 = (\overline{U/D} \cdot \overline{Q_1} \cdot Q_0) + (\overline{U/D} \cdot Q_1 \cdot \overline{Q_0}) + (U/D \cdot Q_2) + (U/D \cdot Q_1 \cdot Q_0)$$

$$D_0 = (\overline{U/D} \cdot Q_2 \cdot Q_0) + (U/D \cdot Q_2) + (Q_1 \cdot \overline{Q_0})$$

- ii. Las entradas T_i de cada biestable tipo T serían:

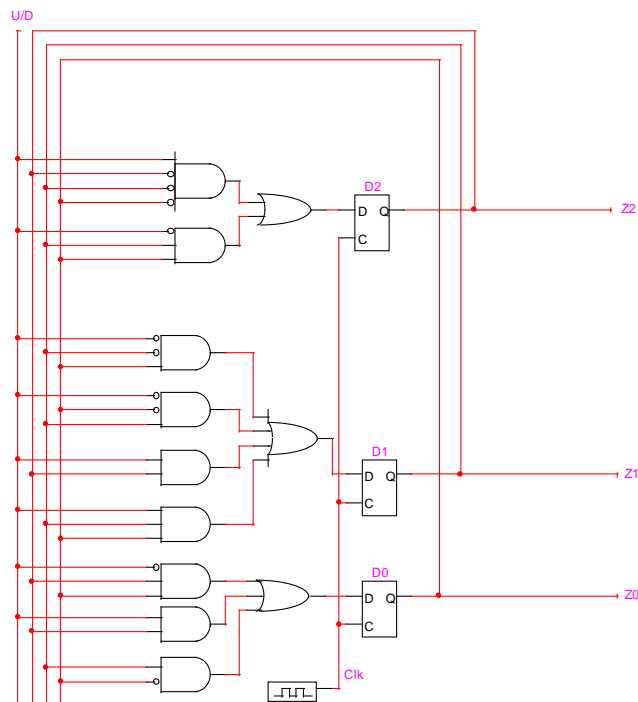
$$T_2 = Q_2 + (\overline{U/D} \cdot Q_1 \cdot Q_0) + (U/D \cdot Q_1 \cdot Q_0)$$

$$T_1 = (\overline{U/D} \cdot Q_0) + (U/D \cdot Q_2) + (U/D \cdot Q_1 \cdot \overline{Q_0})$$

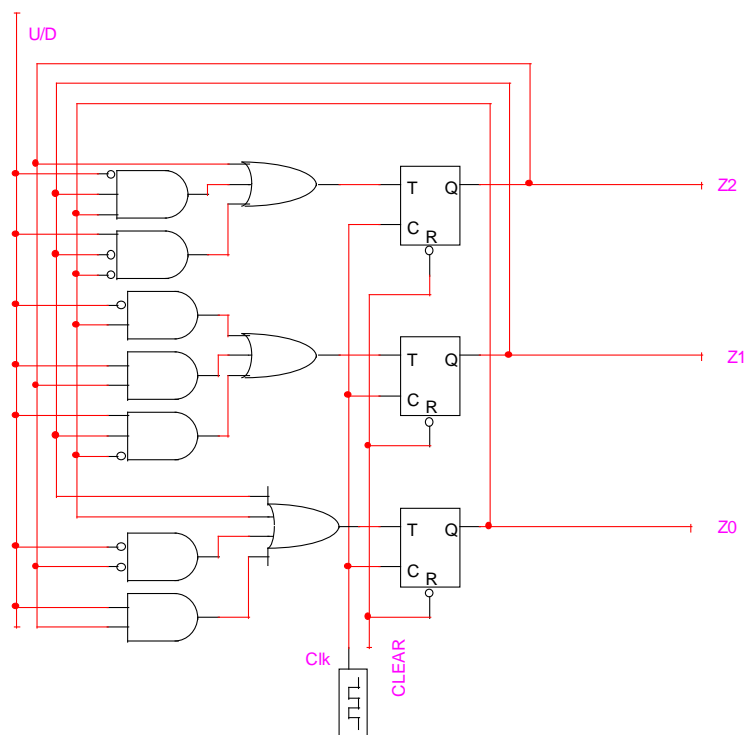
$$T_0 = (\overline{U/D} \cdot \overline{Q_2}) + (U/D \cdot Q_2) + Q_1 + Q_0$$

g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



4.7.- Diseñe los siguientes contadores síncronos:

1. Contador ascendente, que genere la secuencia **10, 11, 12, 13, 14, 10, 11, ...**. ¿Cuál es su módulo?

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 14)_{10} = 1110)_{2}$ el número de salidas necesarias para implementar el contador es 4 bits $Z_3 Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del contador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de biestables que requiere el diseño de este contador, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, NO se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Es decir, se diseñará un contador de módulo 5 ascendente exactamente igual que el diseñado en el ejercicio 4.6.1 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- Se puede hacer para el diseño del contador su "Diagrama de Estados". En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.7.1 (izquierda). Se denomina "asignación de estados" al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Como en este ejercicio dado que el número de salidas ($m = 4$) NO coincide con el número de biestables ($p = 3$) del sistema, no se puede hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.7.1 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.7.1 derecha). Comparando el diagrama de estados de un contador de módulo 5 con el de un contador de módulo 8 (figura 4.5.1 - izquierda) se ve que son muy similares. El diagrama de estados del contador de módulo 5 contiene 5 estados y le faltan los tres estados A5, A6 y A7.



Figura 4.7.1. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema, que indica la evolución de los cambios de estado y de las " p " variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de "Tablas de Excitación" de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T

para el diseño) se puede ver en la Tabla 4.7.1. Para realizar la tabla de excitación hay que recordar:

- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q_i^+ de dicho biestable ($D_i = Q_i^+$).
- ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q_i^+ correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q_i^+$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q_i^+$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.

Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición de un contador ascendente de módulo 5 es como la de un contador ascendente de módulo 8 pero está “incompleta”, en el sentido en que hay filas de dicha tabla que corresponden a valores binarios de estados denominados “no asignados” y cuyo estado siguiente será desconocido. Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	0 0 1	1 0 1 0	0 0 1	0 0 1
A1	0 0 1	0 1 0	1 0 1 1	0 1 0	0 1 1
A2	0 1 0	0 1 1	1 1 0 0	0 1 1	0 0 1
A3	0 1 1	1 0 0	1 1 0 1	1 0 0	1 1 1
A4	1 0 0	0 0 0	1 1 1 0	0 0 0	1 0 0
	1 0 1	- - -	- - - -	- - -	- - -
	1 1 0	- - -	- - - -	- - -	- - -
	1 1 1	- - -	- - - -	- - -	- - -

Tabla 4.7.1. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3 , Z_2 , Z_1 y Z_0 . Por otra parte, hay que obtener las funciones de entrada a los biestables D_2 , D_1 , D_0 ó T_2 , T_1 , T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = Q_1 \cdot Q_0 ; D_1 = Q_1 \oplus Q_0 ; D_0 = \overline{Q_2} \cdot \overline{Q_0}$$

- ii. Las entradas T_i de cada biestable tipo T serían:

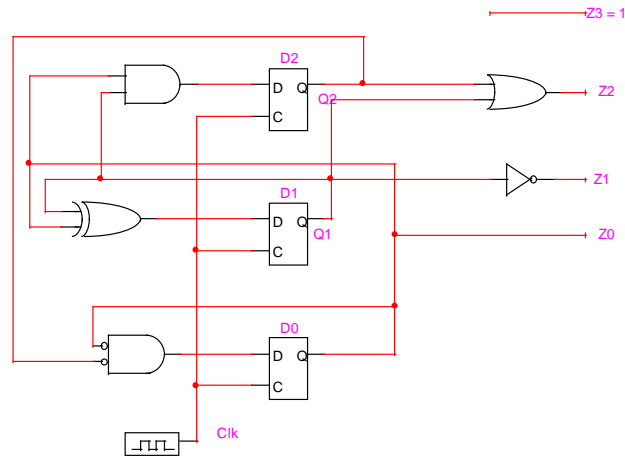
$$T_2 = Q_2 + (Q_1 \cdot Q_0) ; T_1 = Q_0 ; T_0 = \overline{Q_2}$$

- iii. Las funciones de salida Z_i serían:

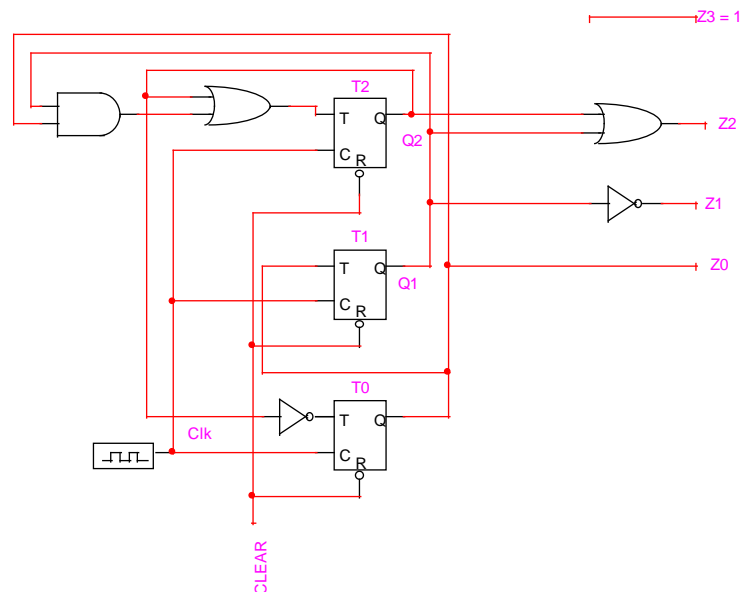
$$Z_3 = 1 ; Z_2 = Q_2 + Q_1 ; Z_1 = \overline{Q_1} ; Z_0 = Q_0$$

g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



2. Contador descendente, que genere la secuencia **14, 13, 12, 11, 10, 14, 13, ...**. ¿Cuál es su módulo?

- a) Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 14)_{10} = 1110)_{2}$ el número de salidas necesarias para implementar el contador es 4 bits $Z_3 Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del contador. Hay que averiguar el número de estados que conforman el contador. Para saber el número de estados o módulo del contador, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el mismo valor de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del contador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de

biestables que requiere el diseño de este contador, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).

- c) Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, NO se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Es decir, se diseñará un contador de módulo 5 descendente exactamente igual que el diseñado en el ejercicio 4.6.2 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- d) Se puede hacer para el diseño del contador su “Diagrama de Estados”. En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.7.2 (izquierda). Se denomina “asignación de estados” al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Como en este ejercicio dado que el número de salidas ($m = 4$) NO coincide con el número de biestables ($p = 3$) del sistema, no se puede hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.7.1 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.7.2 derecha). Comparando el diagrama de estados de un contador de módulo 5 con el de un contador de módulo 8 (figura 4.5.2 - izquierda) se ve que son muy similares. El diagrama de estados del contador de módulo 5 contiene 5 estados y le faltan los tres estados A5, A6 y A7.



Figura 4.7.2. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema, que indica la evolución de los cambios de estado y de las “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de “Tablas de Excitación” de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.6.2. Para realizar la tabla de excitación hay que recordar:
- La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q_i^+ de dicho biestable ($D_i = Q_i^+$).
 - Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q_i^+ correspondiente al biestable de tal manera que:
 - Si $Q_i = Q_i^+$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 - Si $Q_i \neq Q_i^+$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.
- Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición de un contador descendente de módulo 5 es como la de un contador descendente de módulo 8 pero está “incompleta”, en el sentido en que hay filas de dicha tabla que corresponden a valores binarios de estados denominados “no asignados” y cuyo estado siguiente será desconocido. Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	1 0 0	1 0 1 0	1 0 0	1 0 0
A1	0 0 1	0 0 0	1 0 1 1	0 0 0	0 0 1
A2	0 1 0	0 0 1	1 1 0 0	0 0 1	0 1 1
A3	0 1 1	0 1 0	1 1 0 1	0 1 0	0 0 1
A4	1 0 0	0 1 1	1 1 1 0	0 1 1	1 1 1
	1 0 1	- - -	- - - -	- - -	- - -
	1 1 0	- - -	- - - -	- - -	- - -
	1 1 1	- - -	- - - -	- - -	- - -

Tabla 4.7.2. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el contador. Por una parte, se tiene que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3 , Z_2 , Z_1 y Z_0 . Por otra parte, hay que obtener las funciones de entrada a los biestables D_2 , D_1 , D_0 ó T_2 , T_1 , T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}; D_1 = Q_2 + (Q_1 \cdot Q_0); D_0 = Q_2 + (Q_1 \cdot \overline{Q_0})$$

- ii. Las entradas T_i de cada biestable tipo T serían:

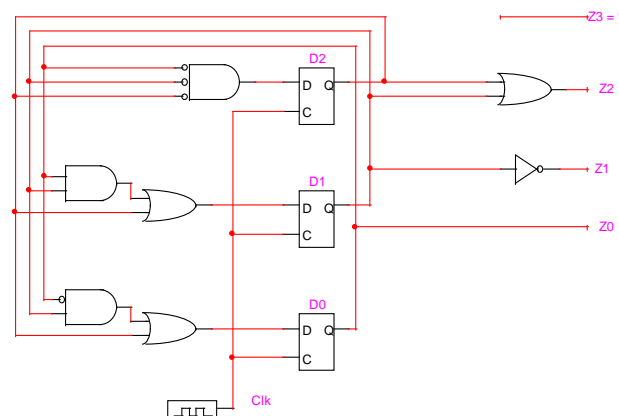
$$T_2 = \overline{Q_1} \cdot \overline{Q_0}; T_1 = Q_2 + (Q_1 \cdot \overline{Q_0}); T_0 = Q_2 + Q_1 + Q_0$$

- iii. Las funciones de salida Z_i serían:

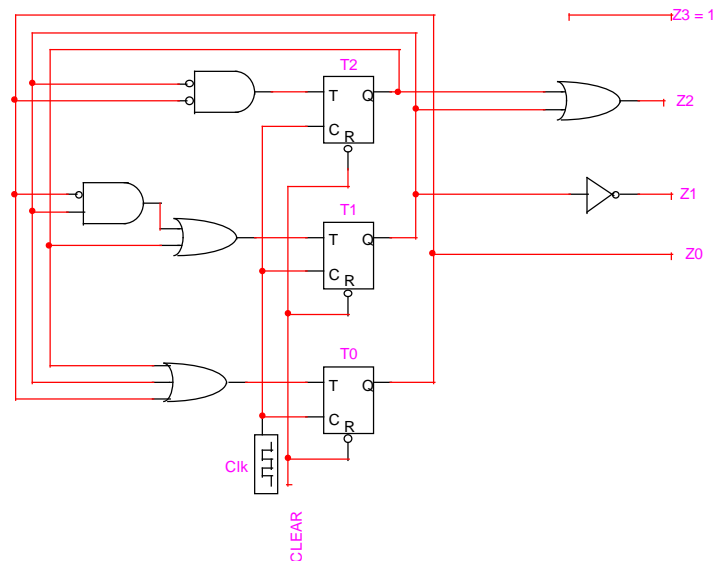
$$Z_3 = 1; Z_2 = Q_2 + Q_1; Z_1 = \overline{Q_1}; Z_0 = Q_0$$

- g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



3. Contador ascendente/descendente que reúna las características de los dos anteriores, controlado por una señal de modo de cuenta externa **U/D** (UP/DOWN).

Un contador Ascendente/Descendente se diseña como la unión de un contador ascendente como el diseñado en el apartado 4.7.1 uniéndolo a un contador descendente como el del apartado 4.7.2 y añadiéndole una señal de control externa, que en este caso se ha denominado U/D (UP/DOWN) que, por ejemplo, cuando tome el valor cero lógico, el contador funcione de forma ascendente (como en la figura y tabla 4.7.1) y cuando toma el valor uno lógico, el contador funcione de forma descendente (como en la figura y tabla 4.7.2). Por tanto, resumiendo lo expresado en los problemas 4.7.1 y 4.7.2 se tendría:

- Número de salidas binarias que ha de tener el contador. Como el número decimal máximo que ha de generar el contador es $Z_{\max} = 14)_{10} = 1110)_2$ el número de salidas necesarias para implementar el contador es 4 bits $Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del contador. Puesto que el módulo es $N = 5$, serían $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán "3" variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del contador, NO se puede hacer coincidir las salidas del contador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Es decir, se diseñará un contador de módulo 5 ascendente/descendente exactamente igual que el diseñado en el ejercicio 4.6.3 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- El diagrama de estados se puede ver en la figura 4.7.3 (izquierda). La asignación de estados se puede ver en la figura 4.7.3 (centro) y el diagrama de estados ya asignado en binario se puede ver en figura 4.7.3 (derecha).

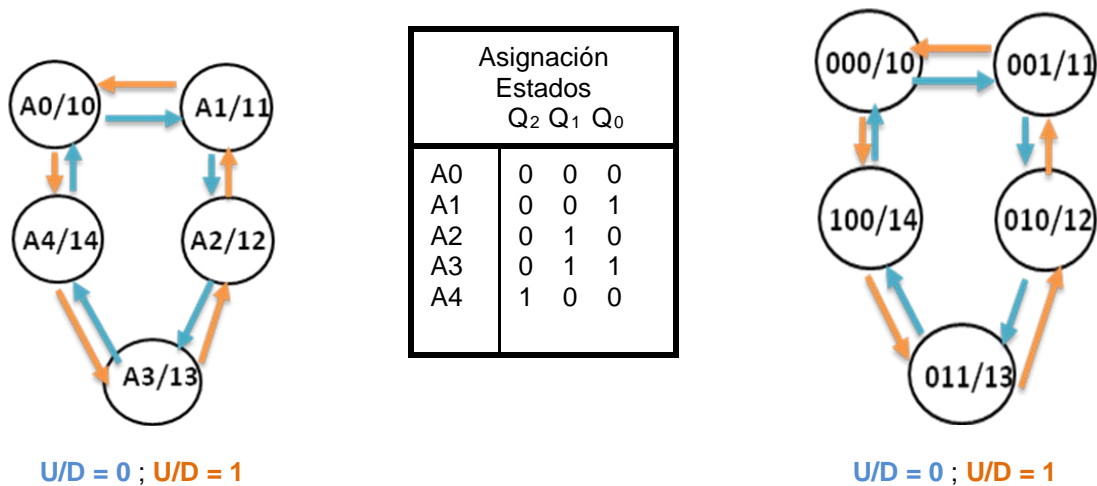


Figura 4.7.3. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema. En este caso, la tabla de transición ha de incluir, como una variable más, el valor de la entrada U/D para indicar si el contador actúa de forma ascendente o de forma descendente. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.7.3.

Estado	U/D	Estado actual $Q_2 Q_1 Q_0$	Estado siguiente $Q_2^+ Q_1^+ Q_0^+$	Salidas $Z_3 Z_2 Z_1 Z_0$	Tabla excitación $D_2 D_1 D_0$	Tabla excitación $T_2 T_1 T_0$
A0	0	000	001	1010	001	001
A1	0	001	010	1011	010	011
A2	0	010	011	1100	011	001
A3	0	011	100	1101	100	111
A4	0	100	000	1110	000	100
	0	101	- - -	- - - -	- - -	- - -
	0	110	- - -	- - - -	- - -	- - -
	0	111	- - -	- - - -	- - -	- - -
A0	1	000	100	1010	100	100
A1	1	001	000	1011	000	001
A2	1	010	001	1100	001	011
A3	1	011	010	1101	010	001
A4	1	100	011	1110	011	111
	1	101	- - -	- - - -	- - -	- - -
	1	110	- - -	- - - -	- - -	- - -
	1	111	- - -	- - - -	- - -	- - -

Tabla 4.7.3. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

Como puede verse, la tabla 4.7.3 podría considerarse como la unión de la tabla 4.7.1 (cuando $U/D = 0$) con la tabla 4.7.2 (cuando $U/D = 1$). Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$.

- f) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, se tienen que extraer los valores de las funciones de salida ($Z_3 Z_2 Z_1 Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3 , Z_2 , Z_1 y Z_0 . Estos valores de Z_3 , Z_2 , Z_1 y Z_0 no dependen del valor de U/D sino del estado en que se encuentra el contador. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2 , D_1 , D_0 ó T_2 , T_1 , T_0 en función, a su vez, de las variables de estado $Q_2 Q_1 Q_0$ y también de U/D. Para ello (salvo que se vea

claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = (\overline{U/D} \cdot Q_1 \cdot Q_0) + (U/D \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0})$$

$$D_1 = (\overline{U/D} \cdot \overline{Q_1} \cdot Q_0) + (\overline{U/D} \cdot Q_1 \cdot \overline{Q_0}) + (U/D \cdot Q_2) + (U/D \cdot Q_1 \cdot Q_0)$$

$$D_0 = (\overline{U/D} \cdot Q_2 \cdot Q_0) + (U/D \cdot Q_2) + (Q_1 \cdot \overline{Q_0})$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = Q_2 + (\overline{U/D} \cdot Q_1 \cdot Q_0) + (U/D \cdot Q_1 \cdot Q_0)$$

$$T_1 = (\overline{U/D} \cdot Q_0) + (U/D \cdot Q_2) + (U/D \cdot Q_1 \cdot \overline{Q_0})$$

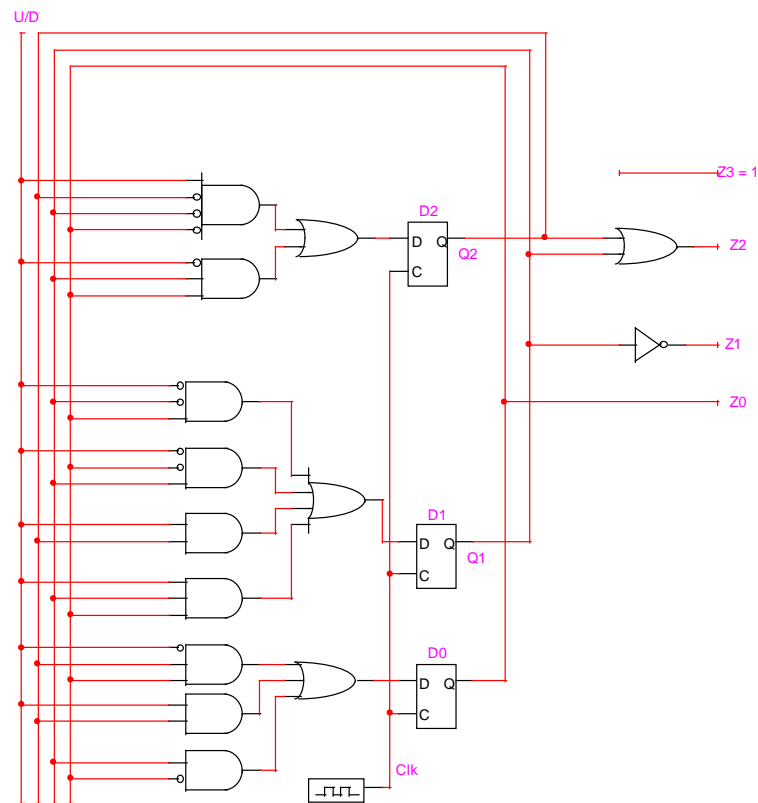
$$T_0 = (\overline{U/D} \cdot \overline{Q_2}) + (U/D \cdot Q_2) + Q_1 + Q_0$$

- iii. Las funciones de salida Z_i serían:

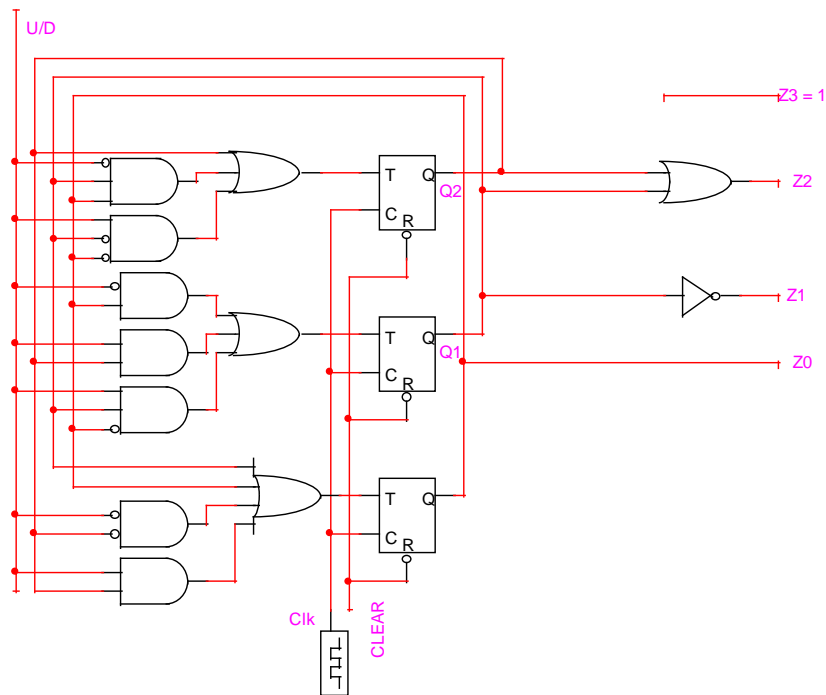
$$Z_3 = 1 ; Z_2 = Q_2 + Q_1 ; Z_1 = \overline{Q_1} ; Z_0 = Q_0$$

- g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



EJERCICIOS SOBRE GENERADORES DE SECUENCIAS:

Los generadores de secuencias son dispositivos que permiten generar una secuencia de salidas que tiene por qué ser correlativa (como en el caso de los contadores). Por tanto, en este caso no se puede hablar de un generador de secuencias que sea ascendente o descendente, como en el caso de los contadores. Al igual que los contadores, se pueden implementar utilizando biestables de tipo D o de tipo T (Ver sección 4.3 del fichero 04.-TEMA_4_TOC_ANALISIS_DISEÑO_SISTEMAS_SECUENCIALES.PDF).

El diseño de contadores y generadores de secuencias es muy similar. Se podría interpretar que o bien el diseño de contadores puede considerarse un caso particular de diseño de generadores de secuencia y viceversa, o sea, que el diseño de generadores de secuencias puede abordarse como un caso generalizado de diseño de contadores.

Para el diseño de generadores de secuencias es útil tener en cuenta las siguientes premisas:

- a) Número de salidas binarias que ha de tener el generador de secuencia. Este dato se puede averiguar conociendo el valor máximo (en decimal) que ha de tener la salida (Z_{\max}). El número "m" ($Z_{m-1}, Z_{m-2}, \dots, Z_1, Z_0$) de salidas binarias que ha de tener el generador de secuencia ha de ser tal que

$$2^{(m-1)} < Z_{\max} \leq 2^m$$

- b) Número de biestables que forman parte del generador de secuencia. El número de biestables (p) es un dato que se puede conocer a priori antes de proceder al diseño del generador de secuencia. Para deducir este valor (p) hay que conocer el valor de lo que se denomina "Módulo" N del generador de secuencia que es el número de estados por los que va pasando el generador de secuencia hasta que se cierra un ciclo de generador de secuencia. En cierta manera el Módulo N es el equivalente a lo que en una señal periódica se conoce como el periodo de la señal. El número (p) de biestables que requiere el diseño de un generador de secuencia, una vez conocido su Módulo (N) ha de ser tal que

$$2^{(p-1)} < N \leq 2^p$$

En general, se suelen utilizar para el diseño "p" biestables que suelen ser de tipo D ($D_{p-1}, D_{p-2}, \dots, D_1, D_0$) ó de tipo T ($T_{p-1}, T_{p-2}, \dots, T_1, T_0$), cuyas salidas generarán "p" variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$).

- c) En el caso general de diseño de generadores de secuencias, el número de salidas (m) no suele coincidir con el número de biestables (p) que se requieren para el diseño del generador de secuencias. Por tanto, las funciones de salida ($Z_{m-1}, Z_{m-2}, \dots, Z_1, Z_0$) en general serán funciones de las salidas de los elementos biestables ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$), es decir

$$Z_i = f_i (Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0)$$

- d) En la práctica, para realizar el diseño de un generador de secuencias de Módulo N se diseña un contador del mismo módulo que el del generador de secuencia y después se generan las funciones de salida en función, a su vez, de las salidas de los biestables o variables de estado de la forma

$$Z_i = f_i (Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0)$$

4.8.- Diseñe los siguientes generadores de secuencia síncronos:

1. Que genere la secuencia **10, 13, 9, 13, 7, 10, 13, ...** . ¿Cuál es su módulo?

En esencia, el diseño de este ejemplo de generador de secuencia es muy similar al indicado en el ejercicio 4.7.1. El diseño del generador de secuencia se va a realizar utilizando un contador de módulo el mismo que el generador de secuencia. La única diferencia en el diseño va estar en la columna de salidas de la tabla de transición del generador de secuencia, que en vez de ofrecer una secuencia de salidas correlativa, no va a ser correlativa.

- Número de salidas binarias que ha de tener el generador de secuencia. Como el número decimal máximo que ha de generar es $Z_{\max} = 13)_{10} = 1101)_2$ el número de salidas necesarias para implementar el generador es 4 bits $Z_3 Z_2 Z_1 Z_0$.
- Número de biestables que forman parte del generador de secuencia. Hay que averiguar el número de estados que conforman el mismo. Para saber el número de estados o módulo del generador de secuencia, hay que fijarse en cuántas salidas (iguales o diferentes) se generan hasta que se vuelve a repetir el mismo bloque de secuencias de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del generador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de biestables que requiere el diseño de este generador de secuencia, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador de secuencia con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Para diseñar el generador de secuencia, se diseñará un contador de módulo 5 ascendente exactamente igual que el diseñado en el ejercicio 4.7.1 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- Se puede hacer para el diseño del generador de secuencia su "Diagrama de Estados". En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.8.1 (izquierda). Se denomina "asignación de estados" al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Como en este ejercicio dado que el número de salidas ($m = 4$) NO coincide con el número de biestables ($p = 3$) del sistema, no se puede hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.8.1 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.8.1 derecha).



Figura 4.8.1. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema, que indica la evolución de los cambios de estado y de las "p" variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de "Tablas de Excitación" de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la

tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.8.1. Para realizar la tabla de excitación hay que recordar:

- i. La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q_i^+ de dicho biestable ($D_i = Q_i^+$).
- ii. Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q_i^+ correspondiente al biestable de tal manera que:
 1. Si $Q_i = Q_i^+$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 2. Si $Q_i \neq Q_i^+$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.

Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición 4.8.1 es como la de un contador ascendente de módulo 5 reflejada en la tabla 4.7.1. Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$. En este caso, la columna de salidas ha de coincidir con la secuencia de salidas (en binario) realizada por el generador de secuencia, en la que puede haber algún valor de salida (como es el caso) que se repita.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	0 0 1	1 0 1 0	0 0 1	0 0 1
A1	0 0 1	0 1 0	1 1 0 1	0 1 0	0 1 1
A2	0 1 0	0 1 1	1 0 0 1	0 1 1	0 0 1
A3	0 1 1	1 0 0	1 1 0 1	1 0 0	1 1 1
A4	1 0 0	0 0 0	0 1 1 1	0 0 0	1 0 0
	1 0 1	- - -	- - - -	- - -	- - -
	1 1 0	- - -	- - - -	- - -	- - -
	1 1 1	- - -	- - - -	- - -	- - -

Tabla 4.8.1. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el generador de secuencia. Por una parte, se tienen que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3, Z_2, Z_1 y Z_0 . Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habrá que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = Q_1 \cdot Q_0 ; D_1 = Q_1 \oplus Q_0 ; D_0 = \overline{Q_2} \cdot \overline{Q_0}$$

- ii. Las entradas T_i de cada biestable tipo T serían:

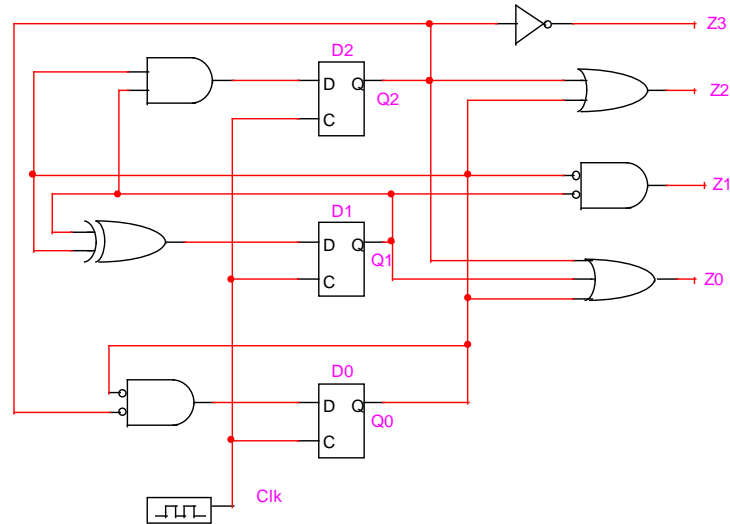
$$T_2 = Q_2 + (Q_1 \cdot Q_0) ; T_1 = Q_0 ; T_0 = \overline{Q_2}$$

- iii. Las funciones de salida Z_i serían:

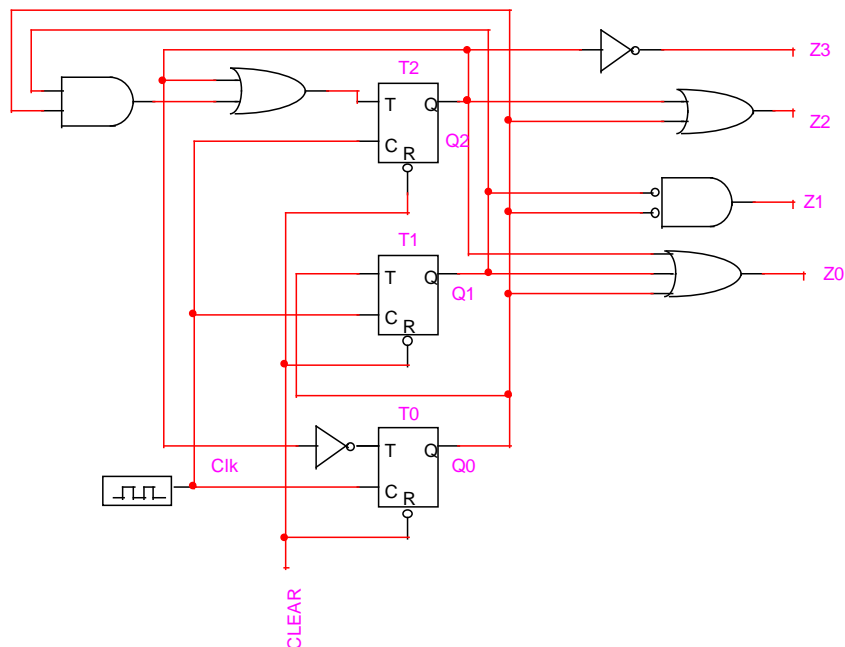
$$Z_3 = \overline{Q_2} ; Z_2 = Q_2 + Q_0 ; Z_1 = \overline{Q_1} \cdot \overline{Q_0} ; Z_0 = Q_2 + Q_1 + Q_0$$

g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida Q=0 de forma asíncrona. El sistema funcionará mientras Clear = 1):



2. Que genere la secuencia **7, 13, 9, 13, 10, 7, 13, ...** . ¿Cuál es su módulo?.

En esencia, el diseño de este ejemplo de generador de secuencia es muy similar al indicado en el ejercicio 4.7.2. El diseño del generador de secuencia se va a realizar utilizando un contador de módulo el mismo que el generador de secuencia. La única diferencia en el diseño va estar en la columna de salidas de la tabla de transición del generador de secuencia, que en vez de ofrecer una secuencia de salidas correlativa, no va a ser correlativa.

- Número de salidas binarias que ha de tener el generador de secuencia. Como el número decimal máximo que ha de generar es $Z_{\max} = 13)_{10} = 1101)_2$ el número de salidas necesarias para implementar el generador de secuencia es 4 bits $Z_3Z_2Z_1Z_0$.
- Número de biestables que forman parte del generador de secuencia. Hay que averiguar el número de estados que conforman el generador de secuencia. Para saber el número de estados o módulo del generador de secuencia, hay que fijarse en cuántas salidas (iguales o diferentes) se generan hasta que se vuelve a repetir el mismo bloque de secuencias de salida. Como la secuencia que hay que generar es de 5 valores, esto significa que el módulo del generador es 5, puesto que la secuencia se repite tras pasar por esos 5 valores. Por tanto, el número (p) de biestables que requiere el diseño de este generador de secuencia, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador de secuencia con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Para diseñar el generador de secuencia, se diseñará un contador de módulo 5 descendente exactamente igual que el diseñado en el ejercicio 4.7.2 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- Se puede hacer para el diseño del generador de secuencia su "Diagrama de Estados". En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.8.2 (izquierda). Se denomina "asignación de estados" al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Como en este ejercicio dado que el número de salidas ($m = 4$) NO coincide con el número de biestables ($p = 3$) del sistema, no se puede hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.8.2 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.8.2 derecha).



Figura 4.8.2. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema, que indica la evolución de los cambios de estado y de las “p” variables de estado ($Q_{p-1}, Q_{p-2}, \dots, Q_1, Q_0$) del sistema. Esto permitirá más adelante y en función del tipo de biestable elegido para el diseño, obtener los valores de las funciones de entrada a los biestables para que los cambios en sus salidas (las variables de estado) se realicen conforme al cambio deseado. Estas tablas que configuran las funciones de entrada a los biestables reciben el nombre de “Tablas de Excitación” de los biestables. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.8.2. Para realizar la tabla de excitación hay que recordar:

- La entrada D_i de cada biestable tipo D debe coincidir con el valor de estado siguiente Q^+_i de dicho biestable ($D_i = Q^+_i$).
- Para generar la entrada T_i de cada biestable tipo T, hay que estudiar el cambio posible entre la variable de estado Q_i y Q^+_i correspondiente al biestable de tal manera que:
 - Si $Q_i = Q^+_i$ entonces $T_i = 0$ para que el biestable NO cambie de estado.
 - Si $Q_i \neq Q^+_i$ entonces $T_i = 1$ para que el biestable SÍ cambie de estado.

Hay que insistir en que SÓLO se utiliza UN TIPO de BIESTABLE para completar el diseño.

La tabla de transición 4.8.2 es como la de un contador descendente de módulo 5 reflejada en la tabla 4.7.2. Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$. En este caso, la columna de salidas ha de coincidir con la secuencia de salidas (en binario) realizada por el generador de secuencia, en la que puede haber algún valor de salida (como es el caso) que se repita.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q^+_2Q^+_1Q^+_0$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	1 0 0	1 0 1 0	1 0 0	1 0 0
A1	0 0 1	0 0 0	1 1 0 1	0 0 0	0 0 1
A2	0 1 0	0 0 1	1 0 0 1	0 0 1	0 1 1
A3	0 1 1	0 1 0	1 1 0 1	0 1 0	0 0 1
A4	1 0 0	0 1 1	0 1 1 1	0 1 1	1 1 1
	1 0 1	- - -	- - - -	- - -	- - -
	1 1 0	- - -	- - - -	- - -	- - -
	1 1 1	- - -	- - - -	- - -	- - -

Tabla 4.8.2. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- f) Una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que finalizar el diseño e implementar el circuito que realiza el generador. Por una parte, se tienen que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3, Z_2, Z_1 y Z_0 . Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- Las entradas D_i de cada biestable tipo D serían:

$$D_2 = \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}; D_1 = Q_2 + (Q_1 \cdot Q_0); D_0 = Q_2 + (Q_1 \cdot \overline{Q_0})$$

- Las entradas T_i de cada biestable tipo T serían:

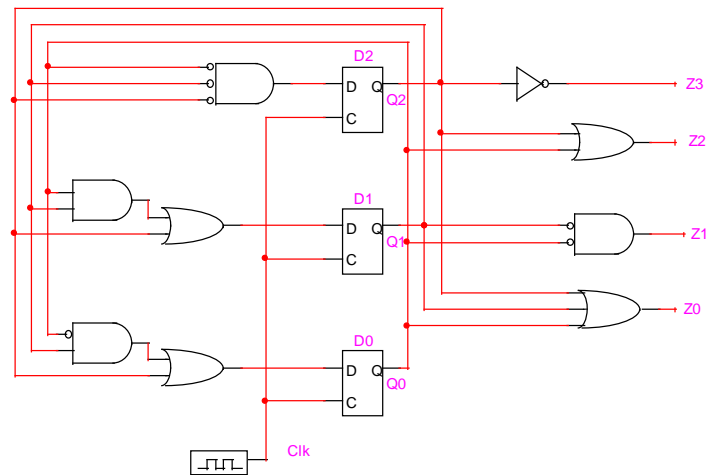
$$T_2 = \overline{Q_1} \cdot \overline{Q_0}; T_1 = Q_2 + (Q_1 \cdot \overline{Q_0}); T_0 = Q_2 + Q_1 + Q_0$$

- Las funciones de salida Z_i serían:

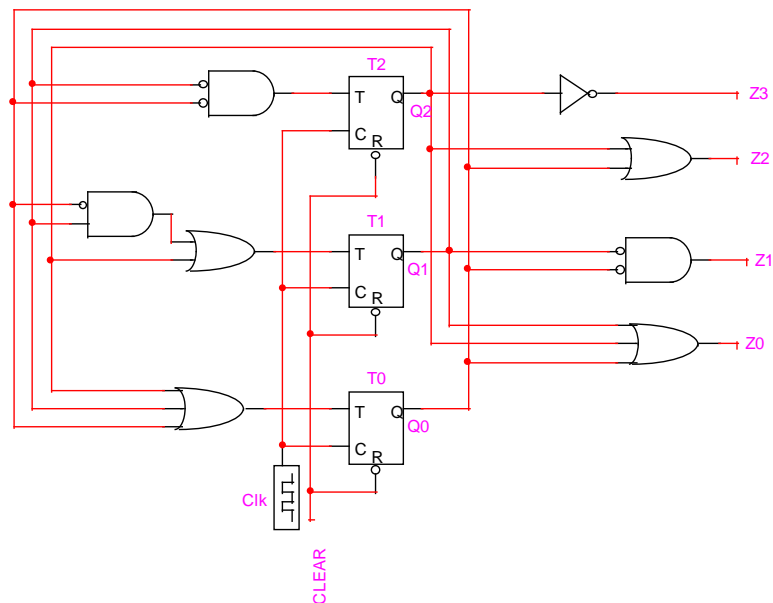
$$Z_3 = \overline{Q_2}; Z_2 = Q_2 + Q_0; Z_1 = \overline{Q_1} \cdot \overline{Q_0}; Z_0 = Q_2 + Q_1 + Q_0$$

g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida Q=0 de forma asíncrona. El sistema funcionará mientras Clear = 1):



3. Que genere dos secuencias que reúnan las características de las dos anteriores, controlado por una señal **M**. Es decir:

- Si $M = 0$ genere la secuencia **10, 13, 9, 13, 7, 10, 13, ...**
 - Si $M = 1$ genere la secuencia **7, 13, 9, 13, 10, 7, 13, ...**
- y se denominaría **Generador de Secuencia Bidireccional**.

En esencia, el diseño de este ejemplo de generador de secuencia es muy similar al indicado en el ejercicio 4.7.3. El diseño del generador de secuencia se va a realizar utilizando un contador de módulo el mismo que el generador de secuencia. La única diferencia en el diseño va estar en la columna de salidas de la tabla de transición del generador de secuencia, que en vez de ofrecer una secuencia de salidas correlativa, no va a ser correlativa.

Un generador de secuencias bidireccional (no cable aquí la denominación de “ascendente/descendente” como en el caso de los contadores) se diseña como la unión de un generador de secuencias como el diseñado en el apartado 4.8.1 uniéndolo a un generador de secuencias como el del apartado 4.8.2 y añadiéndole una señal de control externa (que en este caso se ha denominado **M**) que cuando tome el valor cero lógico, el generador funcione de la forma indicada en el apartado 4.8.1 (como en la figura y tabla 4.8.1) y cuando tome el valor uno lógico, el generador funcione de la forma indicada en el apartado 4.8.2 (como en la figura y tabla 4.8.2). Por tanto, resumiendo lo expresado en los problemas 4.8.1 y 4.8.2 se tendría:

- a) Número de salidas binarias que ha de tener el generador de secuencia. Como el número decimal máximo que ha de generar es $Z_{\max} = 13)_{10} = 1101)_2$ el número de salidas necesarias para implementar el generador de secuencia es 4 bits $Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del generador de secuencia. Puesto que el módulo es $N = 5$, serían $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán 3 variables de estado (Q_2, Q_1, Q_0).
- c) Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_2, Q_1, Q_0)$. Es decir, el generador de secuencia se diseñará partiendo de contador de módulo 5 ascendente/descendente exactamente igual que el diseñado en el ejercicio 4.6.3 y se le añadirán las funciones de salida necesarias para generar las nuevas salidas.
- d) El diagrama de estados se puede ver en la figura 4.8.3 (izquierda). La asignación de estados se puede ver en la figura 4.8.3 (centro) y el diagrama de estados ya asignado en binario se puede ver en figura 4.8.3 (derecha).

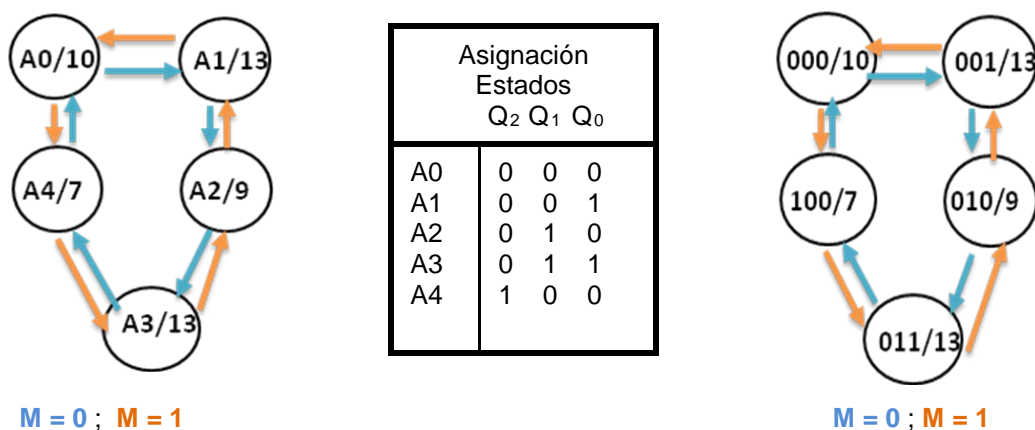


Figura 4.7.3. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada "Tabla de Transición" del sistema. En este caso, la tabla de transición ha de incluir, como una variable más, el valor de la entrada M para indicar si el generador de secuencia actúa generando una secuencia o la contraria. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.8.3.

Estado	M	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0	0 0 0	0 0 1	1 0 1 0	0 0 1	0 0 1
A1	0	0 0 1	0 1 0	1 1 0 1	0 1 0	0 1 1
A2	0	0 1 0	0 1 1	1 0 0 1	0 1 1	0 0 1
A3	0	0 1 1	1 0 0	1 1 0 1	1 0 0	1 1 1
A4	0	1 0 0	0 0 0	0 1 1 1	0 0 0	1 0 0
	0	1 0 1	- - -	- - - -	- - -	- - -
	0	1 1 0	- - -	- - - -	- - -	- - -
	0	1 1 1	- - -	- - - -	- - -	- - -
A0	1	0 0 0	1 0 0	1 0 1 0	1 0 0	1 0 0
A1	1	0 0 1	0 0 0	1 1 0 1	0 0 0	0 0 1
A2	1	0 1 0	0 0 1	1 0 0 1	0 0 1	0 1 1
A3	1	0 1 1	0 1 0	1 1 0 1	0 1 0	0 0 1
A4	1	1 0 0	0 1 1	0 1 1 1	0 1 1	1 1 1
	1	1 0 1	- - -	- - - -	- - -	- - -
	1	1 1 0	- - -	- - - -	- - -	- - -
	1	1 1 1	- - -	- - - -	- - -	- - -

Tabla 4.8.3. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

Como puede verse, la tabla 4.8.3 podría considerarse como la unión de la tabla 4.8.1 (cuando $M = 0$) con la tabla 4.8.2 (cuando $M = 1$). Además, en este caso, la columna de las salidas NO coincide con la columna de las variables de estado, puesto que el número $m \neq p$.

- f) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, se tienen que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3 , Z_2 , Z_1 y Z_0 . Estos valores de Z_3 , Z_2 , Z_1 y Z_0 no dependen del valor de M sino del estado en que se encuentra el generador de secuencia. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2 , D_1 , D_0 ó T_2 , T_1 , T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$ y también de M. Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = (\bar{M} \cdot Q_1 \cdot Q_0) + (M \cdot \bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0)$$

$$D_1 = (\bar{M} \cdot \bar{Q}_1 \cdot Q_0) + (\bar{M} \cdot Q_1 \cdot \bar{Q}_0) + (M \cdot Q_2) + (M \cdot Q_1 \cdot Q_0)$$

$$D_0 = (\bar{M} \cdot Q_2 \cdot Q_0) + (M \cdot Q_2) + (Q_1 \cdot \bar{Q}_0)$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = Q_2 + (\bar{M} \cdot Q_1 \cdot Q_0) + (M \cdot Q_1 \cdot Q_0)$$

$$T_1 = (\bar{M} \cdot Q_0) + (M \cdot Q_2) + (M \cdot Q_1 \cdot \bar{Q}_0)$$

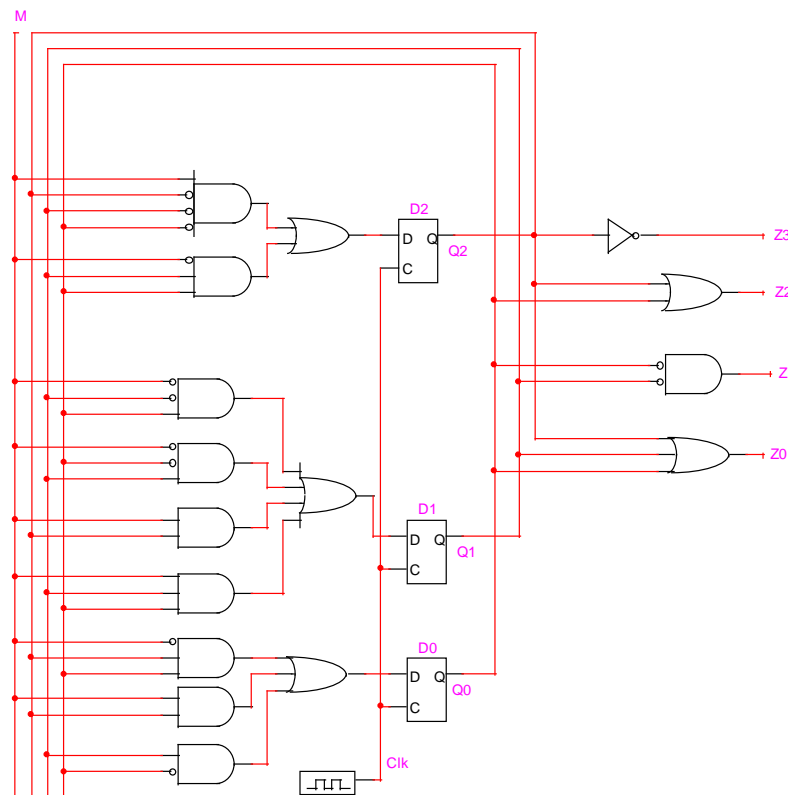
$$T_0 = (\bar{M} \cdot \bar{Q}_2) + (M \cdot Q_2) + Q_1 + Q_0$$

- iii. Las funciones de salida Z_i serían:

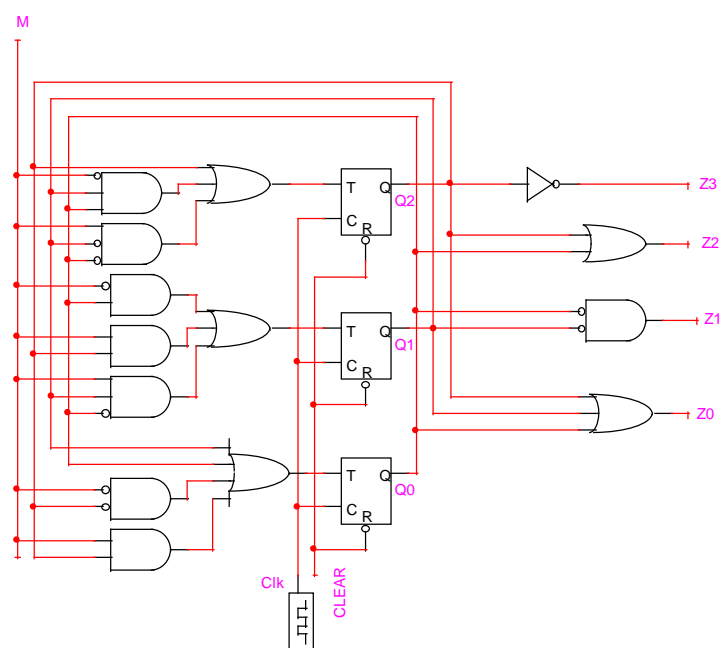
$$Z_3 = \bar{Q}_2 ; Z_2 = Q_2 + Q_0 ; Z_1 = \bar{Q}_1 \cdot \bar{Q}_0 ; Z_0 = Q_2 + Q_1 + Q_0$$

g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



4.9.- Diseña los siguientes generadores de secuencia síncronos:

1. Que genere la secuencia **10, 13, 9, 13, 7, 10, 13, ...**. ¿Cuál es su módulo?
Este ejercicio se puede realizar como el ejercicio 4.8.1

2. Que genere la secuencia **9, 3, 4, 9, 3, ...**. ¿Cuál es su módulo?

Este ejercicio se puede realizar como el ejercicio 4.8.1, con las siguientes diferencias:

- a) Número de salidas binarias que ha de tener el generador de secuencia. Como el número decimal máximo que ha de generar es $Z_{\max} = 9)_{10} = 1001)_{2}$ el número de salidas necesarias para implementar el contador es 4 bits $Z_3 Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del generador de secuencia. Hay que averiguar el número de estados que conforman el mismo. Para saber el número de estados o módulo del generador de secuencia, hay que fijarse en cuántas salidas se generan hasta que se vuelve a repetir el bloque de secuencias de salida. Como la secuencia que hay que generar es de 3 valores (que pueden ser iguales o diferentes), esto significa que el módulo del generador es 3, puesto que la secuencia se repite tras pasar por esos 3 valores. Por tanto, el número (p) de biestables que requiere el diseño de este generador de secuencia, una vez conocido su módulo (3) ha de ser tal que $2^{(p-1)} < 3 \leq 2^p$. Por tanto, $p = 2$ biestables que serán de tipo D (D_1, D_0) ó de tipo T (T_1, T_0), cuyas salidas generarán las 2 variables de estado (Q_1, Q_0).
- c) Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=2$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador de secuencia con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(Q_1, Q_0)$. Para diseñar el generador de secuencia, se diseñará un contador de módulo 3 ascendente siguiendo los pasos indicados en el ejercicio 4.7.1 y se le añadirán las funciones de salida.

Se deja como ejercicio la realización de este generador de secuencia.

3. Que genere dos secuencias que reúnan las características de las dos anteriores, controlado por una señal **M**. Es decir:

- Si $M = 0$ genere la secuencia **10, 13, 9, 13, 7, 10, 13, ...**
- Si $M = 1$ genere la secuencia **9, 3, 4, 9, 3, ...**

Este ejercicio requiere un tratamiento especial, puesto que las dos secuencias que han de generarse NO tienen la misma longitud o módulo ni tampoco los mismos valores de salidas posibles. Por tanto, no se trata, como en el ejercicio 4.8.3 de un "Generador de Secuencia Bidireccional". El problema, se aborda de la siguiente manera:

- a) Número de salidas binarias que ha de tener el generador de secuencia. Hay que buscar, dentro del conjunto de TODAS las salidas posibles que tenga el generador de secuencias, el número máximo (decimal) que se ha de generar. Como el número decimal máximo que ha de generar es $Z_{\max} = 13)_{10} = 1101)_{2}$ el número de salidas necesarias para implementar el generador es $m = 4$ bits $Z_3 Z_2 Z_1 Z_0$.
- b) Número de biestables que forman parte del generador de secuencia. Para ello, hay que averiguar el número de estados (módulo) que conforman la secuencia más dilatada de las posibles del generador de secuencias. Como la secuencia más larga que hay que generar es de 5 valores, esto significa que el módulo máximo del generador es 5. Por tanto, el número (p) de biestables que requiere el diseño de este generador de secuencia, una vez conocido su módulo (5) ha de ser tal que $2^{(p-1)} < 5 \leq 2^p$. Por tanto, $p = 3$ biestables que serán de tipo D (D_2, D_1, D_0) ó de tipo T (T_2, T_1, T_0), cuyas salidas generarán las 3 variables de estado (Q_2, Q_1, Q_0).
- c) Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=3$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador de secuencia con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(M, Q_2, Q_1, Q_0)$. En este caso, la variable de entrada M, que elige qué secuencia se va a generar, va a formar parte de cada función de salida, pues no son las mismas si $M = 0$ que si $M = 1$. Para diseñar el generador de secuencia, se diseñará
 - i. Un contador de módulo 5 ascendente para implementar la secuencia de 5 valores cuando $M = 0$.
 - ii. Un contador de módulo 3 ascendente para implementar la secuencia de 3 valores cuando $M = 1$.

- d) Se puede hacer para el diseño del generador de secuencia su “Diagrama de Estados”. En el ejemplo que nos ocupa, un posible diagrama de estados se puede ver en la figura 4.9.3 (izquierda). Se denomina “asignación de estados” al código binario que se le asigna a cada uno de los estados del sistema. Esta asignación de estados en un principio puede ser aleatoria, eligiendo de manera unívoca un código (y sólo uno) binario para cada estado que se codifica. Como en este ejercicio dado que el número de salidas ($m = 4$) NO coincide con el número de biestables ($p = 3$) del sistema, no se puede hacer coincidir el código binario asignado al estado con el código binario asignado a la salida (ver figura 4.9.3 centro). Se puede hacer también un diagrama de estados ya asignado en binario (ver figura 4.9.3 derecha).

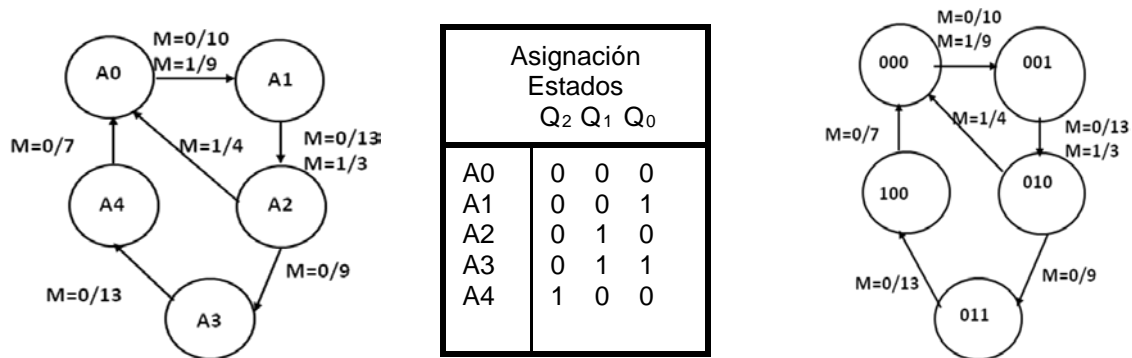


Figura 4.9.3. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

En el diagrama de estados de la figura 4.9.3 (izquierda) se representan los estados (A0, A1, A2, A3 y A4) mediante círculos y el cambio de estado de uno a otro mediante una flecha junto a la cual se ha puesto el valor de M (0 ó 1) y junto al valor de M, el valor de la salida que se produce en cada caso. Así pues cuando $M = 0$ el sistema evoluciona pasando por 5 estados y cuando $M = 1$ el sistema pasa solamente por 3 estados.

- e) Una vez realizada la asignación de los estados en binario, hay que pasar a la denominada “Tabla de Transición” del sistema. En este caso, la tabla de transición ha de incluir, como una variable más, el valor de la entrada M para indicar si el generador de secuencia actúa generando una secuencia o la otra. En el ejemplo que nos ocupa, la tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.9.3.

Estado	M	Estado actual Q ₂ Q ₁ Q ₀	Estado siguiente Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺	Salidas Z ₃ Z ₂ Z ₁ Z ₀	Tabla excitación D ₂ D ₁ D ₀	Tabla excitación T ₂ T ₁ T ₀
A0	0	000	001	1010	001	001
A1	0	001	010	1101	010	011
A2	0	010	011	1001	011	001
A3	0	011	100	1101	100	111
A4	0	100	000	0111	000	100
	0	101	- - -	- - - -	- - -	- - -
	0	110	- - -	- - - -	- - -	- - -
	0	111	- - -	- - - -	- - -	- - -
A0	1	000	001	1001	001	001
A1	1	001	010	0011	010	011
A2	1	010	000	0100	000	010
	1	011	- - -	- - - -	- - -	- - -
	1	100	- - -	- - - -	- - -	- - -
	1	101	- - -	- - - -	- - -	- - -
	1	110	- - -	- - - -	- - -	- - -
	1	111	- - -	- - - -	- - -	- - -

Tabla 4.9.3. Tabla de transición, de salidas y de excitación de biestables D_i y T_i.

- f) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, se tienen que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(M, Q_2, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3, Z_2, Z_1 y Z_0 . Estos valores de Z_3, Z_2, Z_1 y Z_0 dependen del valor de M y del estado en que se encuentra el generador de secuencia. Por otra parte, hay que obtener las funciones de entrada a los biestables D_2, D_1, D_0 ó T_2, T_1, T_0 en función, a su vez, de las variables de estado $Q_2Q_1Q_0$ y también de M . Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_2 = Q_1 \cdot Q_0 ; D_1 = (\bar{Q}_1 \cdot Q_0) + (M \cdot Q_1 \cdot \bar{Q}_0) ; D_0 = (\bar{Q}_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0) + (M \cdot Q_1 \cdot \bar{Q}_0)$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_2 = Q_2 + (Q_1 \cdot Q_0) ; T_1 = Q_0 + (M \cdot Q_1) ; T_0 = (\bar{M} \cdot \bar{Q}_2) + (M \cdot \bar{Q}_1)$$

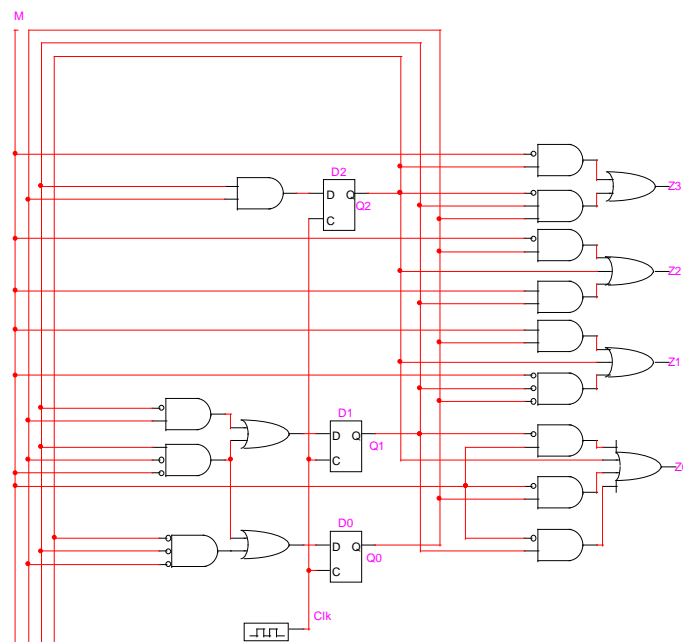
- iii. Las funciones de salida Z_i serían:

$$Z_3 = (\bar{M} \cdot Q_2) + (Q_2 \cdot Q_1 \cdot Q_0) ; Z_2 = Q_2 + (\bar{M} \cdot Q_0) + (M \cdot Q_1)$$

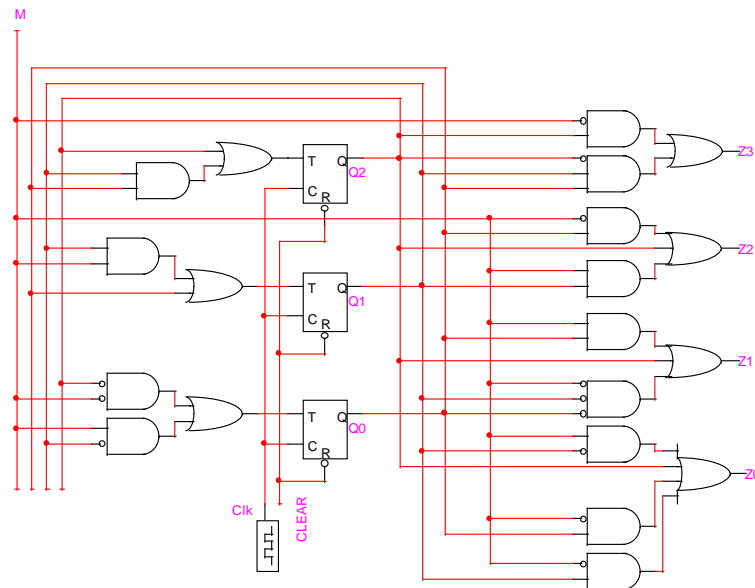
$$Z_1 = Q_2 + (M \cdot Q_0) + (\bar{M} \cdot \bar{Q}_1 \cdot \bar{Q}_0) ; Z_0 = Q_2 + (M \cdot \bar{Q}_1) + (\bar{M} \cdot Q_0) + (\bar{M} \cdot Q_1)$$

- g) Por último, queda realizar la implementación física mediante un circuito

- i. Realización con biestables de tipo D (aunque no se indica expresamente, se asume que se dispone de una señal de reset para inicializar los biestables al comienzo):



- ii. Realización con biestables de tipo T (En este caso se ha indicado la señal de Reset de forma explícita, con activación en bajo nivel, es decir, cuando toma el valor 0 lógico. Por ello, si la señal de Clear se pone a 0 los biestables toma el valor de salida $Q=0$ de forma asíncrona. El sistema funcionará mientras $\text{Clear} = 1$):



4.10.- Diseñe un generador de secuencia síncrono que, en función de dos entradas de modo de cuenta (M_1M_0), genere las siguientes secuencias de salidas:

- Si $M_1M_0 = 00$ genere la secuencia **10, 13, 9, 13, 10, 13, ...**
- Si $M_1M_0 = 01$ genere la secuencia **4, 3, 7, 4, 3, ...**
- Si $M_1M_0 = 10$ genere la secuencia **8, 7, 4, 8, 7, ...**
- Si $M_1M_0 = 11$ genere la secuencia **2, 3, 7, 6, 2, 3, ...**

Este ejercicio requiere un tratamiento especial, puesto que las dos secuencias que han de generarse NO tienen la misma longitud o módulo ni tampoco los mismos valores de salidas posibles. Por tanto, no se trata, como en el ejercicio 4.8.3 de un “Generador de Secuencia Bidireccional”. El problema, se aborda de la siguiente manera:

- a) Número de salidas binarias que ha de tener el generador de secuencia. Hay que buscar, dentro del conjunto de TODAS las salidas posibles que tenga el generador de secuencias, el número máximo (decimal) que se ha de generar. Como el número decimal máximo que ha de generar es $Z_{\max} = 13)_{10} = 1101)_2$ el número de salidas necesarias para implementar el generador es $m = 4$ bits $Z_3Z_2Z_1Z_0$.
- b) Número de biestables que forman parte del generador de secuencia. Para ello, hay que averiguar el número de estados (módulo) que conforman la secuencia más dilatada de las posibles del generador de secuencias. Como la secuencia más larga que hay que generar es de 4 valores, esto significa que el módulo máximo del generador es 4. Por tanto, el número (p) de biestables que requiere el diseño de este generador de secuencia, una vez conocido su módulo (4) ha de ser tal que $2^{(p-1)} < 4 \leq 2^p$. Por tanto, $p = 2$ biestables que serán de tipo D (D_1, D_0) ó de tipo T (T_1, T_0), cuyas salidas generarán las 2 variables de estado (Q_1, Q_0).
- c) Como el número de salidas ($m=4$) NO coincide con el número de biestables ($p=2$) que se requieren para el diseño del generador de secuencia, NO se puede hacer coincidir las salidas del generador de secuencia con las salidas del estado actual de los biestables tomando aquellas directamente de éstas. Por tanto $Z_i = f_i(M_1, M_0, Q_1, Q_0)$. En este caso, las variables de entrada M_1, M_0 que indican qué secuencia se va a generar van a formar parte de cada función de salida. Para diseñar el generador de secuencia, se diseñará
 - i. Un contador de módulo 4 ascendente para implementar las secuencias de 4 valores.
 - ii. Un contador de módulo 3 ascendente para implementar la secuencias de 3 valores.
- d) Se puede diseñar directamente “Tabla de Transición” del sistema. En este caso, la tabla de transición ha de incluir como variables los valores de las entradas M_1M_0 para indicar si el generador de secuencia actúa generando una secuencia u otra. En el ejemplo que nos ocupa, la

tabla de transición, la tabla de salidas y la tabla de excitación de los biestables (utilizando biestables de tipo D y de Tipo T para el diseño) se puede ver en la Tabla 4.10.

Estado	M_1M_0	Estado actual Q_1Q_0	Estado siguiente $Q^+_1Q^+_0$	Salidas $Z_3Z_2Z_1Z_0$	Tabla excitación D_1D_0	Tabla excitación T_1T_0
A0	00	00	01	1010	01	01
A1	00	01	10	1101	10	11
A2	00	10	11	1001	11	01
A3	00	11	00	1101	00	11
A0	01	00	01	0100	01	01
A1	01	01	10	0011	10	11
A2	01	10	00	0111	00	10
	01	11	- -	- - - -	- -	- -
A0	10	00	01	1000	01	01
A1	10	01	10	0111	10	11
A2	10	10	00	0100	00	10
	10	11	- -	- - - -	- -	- -
A0	11	00	01	0010	01	01
A1	11	01	10	0011	10	11
A2	11	10	11	0111	11	01
A3	11	11	00	0110	00	11

Tabla 4.10. Tabla de transición, de salidas y de excitación de biestables D_i y T_i .

- e) De nuevo se tiene que, una vez realizada la tabla de transición, de salidas y de excitación de los biestables, hay que extraer los valores de las funciones de salida ($Z_3Z_2Z_1Z_0$), valores que en este caso ya NO son inmediatos de obtener puesto que $Z_i = f_i(M_1, M_0, Q_1, Q_0)$ y habrá que obtener las expresiones mínimas de Z_3, Z_2, Z_1 y Z_0 . Estos valores de Z_3, Z_2, Z_1 y Z_0 dependen del valor de M_1, M_0 y del estado en que se encuentra el generador de secuencia. Por otra parte, hay que obtener las funciones de entrada a los biestables D_1, D_0 ó T_1, T_0 en función, a su vez, de las variables de estado Q_1Q_0 y también de M_1M_0 . Para ello (salvo que se vea claramente el valor D_i ó T_i de la tabla de excitación), habría que realizar un mapa de Karnaugh para minimizar cada función D_i ó T_i . En el caso que nos ocupa:

- i. Las entradas D_i de cada biestable tipo D serían:

$$D_1 = (\overline{Q_1} \cdot Q_0) + (\overline{M_1} \cdot \overline{M_0} \cdot Q_1 \cdot \overline{Q_0}) + (M_1 \cdot M_0 \cdot Q_1 \cdot \overline{Q_0})$$

$$D_0 = (\overline{Q_1} \cdot \overline{Q_0}) + (\overline{M_1} \cdot \overline{M_0} \cdot Q_1 \cdot \overline{Q_0}) + (M_1 \cdot M_0 \cdot Q_1 \cdot \overline{Q_0})$$

- ii. Las entradas T_i de cada biestable tipo T serían:

$$T_1 = Q_0 + (\overline{M_1} \cdot M_0 \cdot Q_1) + (M_1 \cdot \overline{M_0} \cdot Q_1)$$

$$T_0 = \overline{Q_0} + (\overline{M_1} \cdot \overline{M_0}) + (M_1 \cdot M_0)$$

- iii. Las funciones de salida Z_i serían: Se deja como ejercicio

Por último, queda realizar la implementación física mediante un circuito

- Realización con biestables de tipo D: se deja como ejercicio
- Realización con biestables de tipo T: se deja como ejercicio

4.11.- Dibuje el diagrama de estados de un generador de secuencia síncrono que, en función de una entrada M , genere las siguientes secuencias de salidas:

Si $M = 0$; $Z = \dots, 3, 0, 3, 4, 3, 0, 3, 4 \dots$

Si $M = 1$; $Z = \dots, 0, 6, 1, 0, 6, 1, \dots$

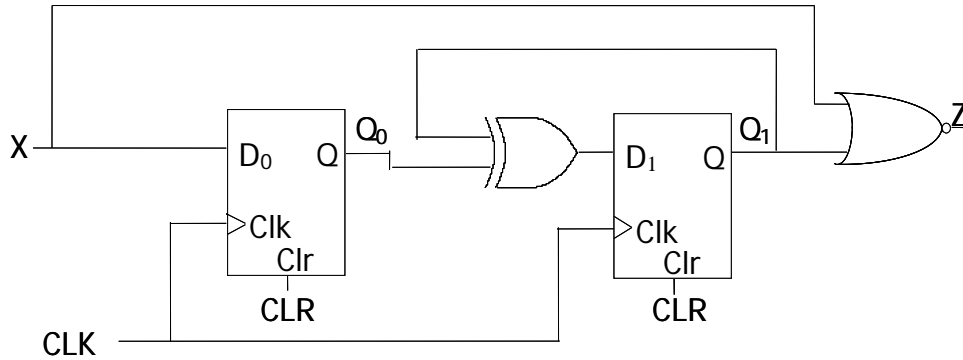
A la vista del generador de secuencia diseñado, responda a las siguientes preguntas:

- ¿Cuántas salidas se requieren para implementar el sistema?
- ¿Cuántos biestables se requieren para implementar el sistema?

Ayuda para resolución: ver ejercicio 4.9.3

EJERCICIOS SOBRE ANÁLISIS DE SISTEMAS SECUENCIALES:

4.12.- Complete el siguiente diagrama de tiempos para el circuito de la figura.

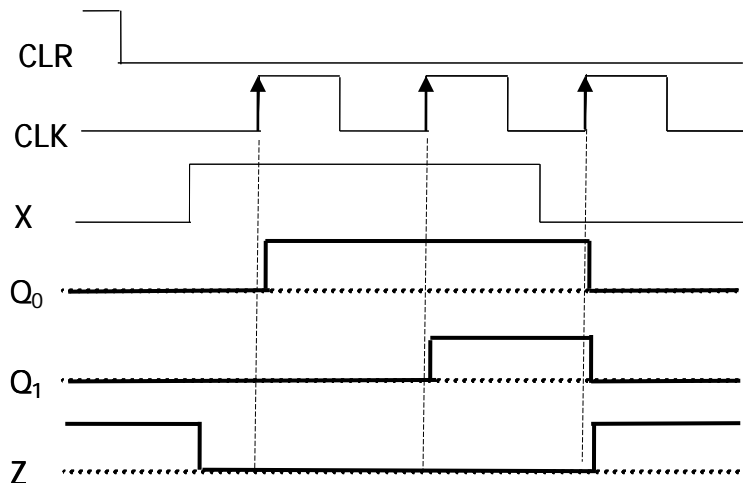


$$D_0 = X; D_1 = Q_1 \oplus Q_0; Z = \overline{X + Q_1}$$

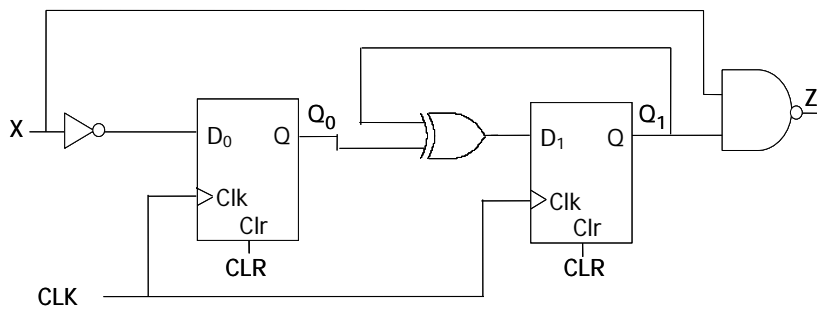
$$Q_i^+ = D_i$$

X	Q ₁	Q ₀	D ₁	D ₀	Q ₁ ⁺	Q ₀ ⁺	Z
0	0	0	0	0	0	0	1
0	0	1	1	0	1	0	1
0	1	0	1	0	1	0	0
0	1	1	0	0	0	0	0
1	0	0	0	1	0	1	0
1	0	1	1	1	1	1	0
1	1	0	1	1	1	1	0
1	1	1	0	1	0	1	0

Tabla de Transición y de Salidas



4.13.- Complete el siguiente diagrama de tiempos para el circuito de la figura.

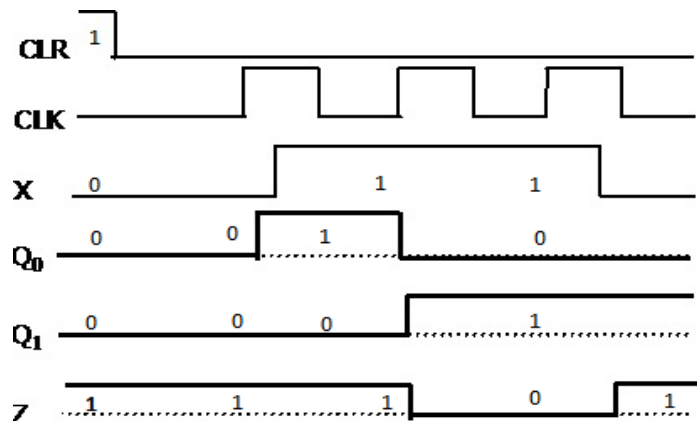


$$D_0 = \overline{X}; D_1 = Q_1 \oplus Q_0; Z = \overline{X \cdot Q_1}$$

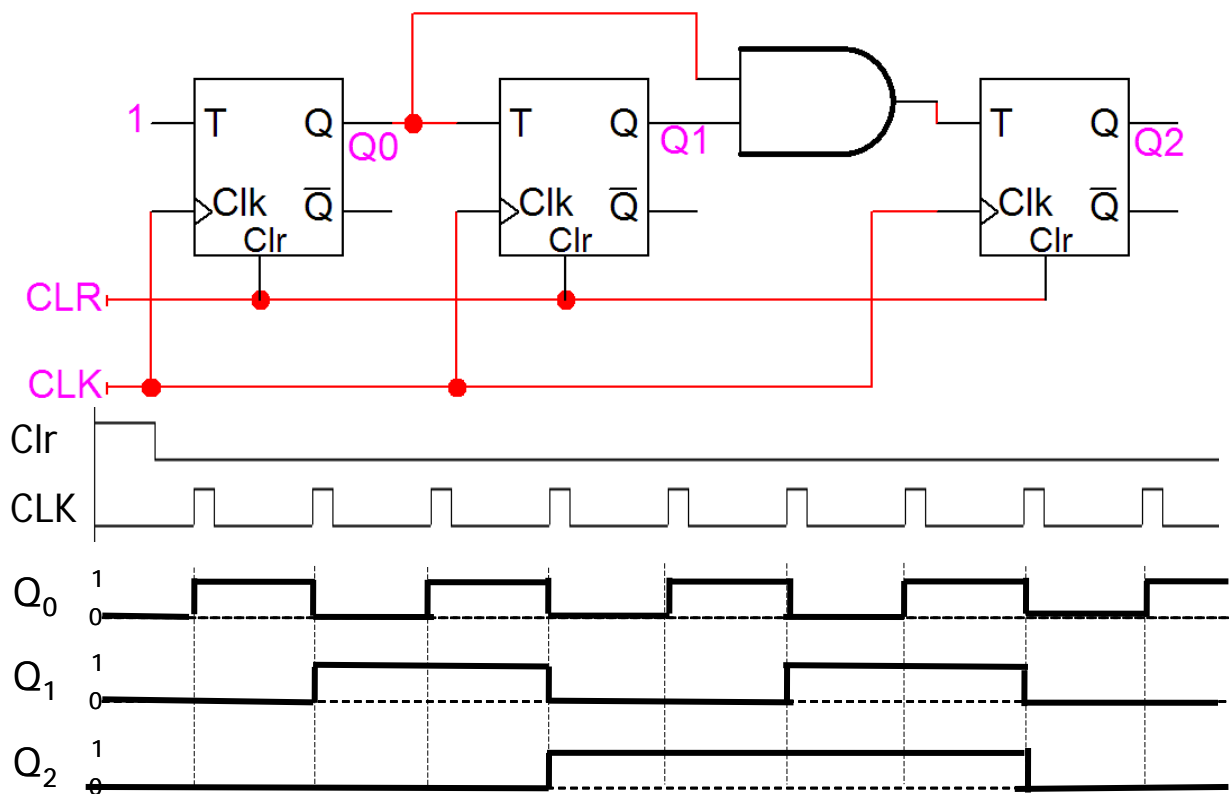
$$Q_i^+ = D_i$$

X	Q ₁	Q ₀	D ₁	D ₀	Q ₁ ⁺	Q ₀ ⁺	Z
0	0	0	0	1	0	1	1
0	0	1	1	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	1	0	1	1
1	0	0	0	0	0	0	1
1	0	1	1	0	1	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	0	0	0

Tabla de Transición y de Salidas

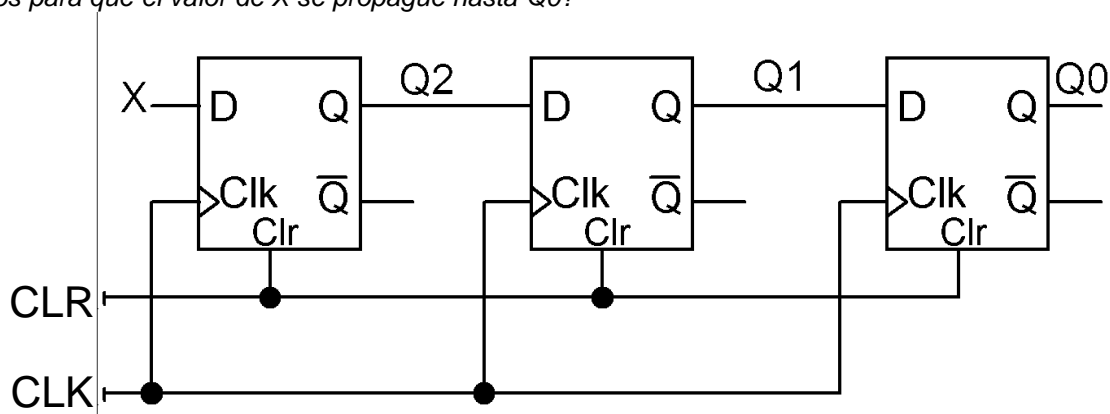


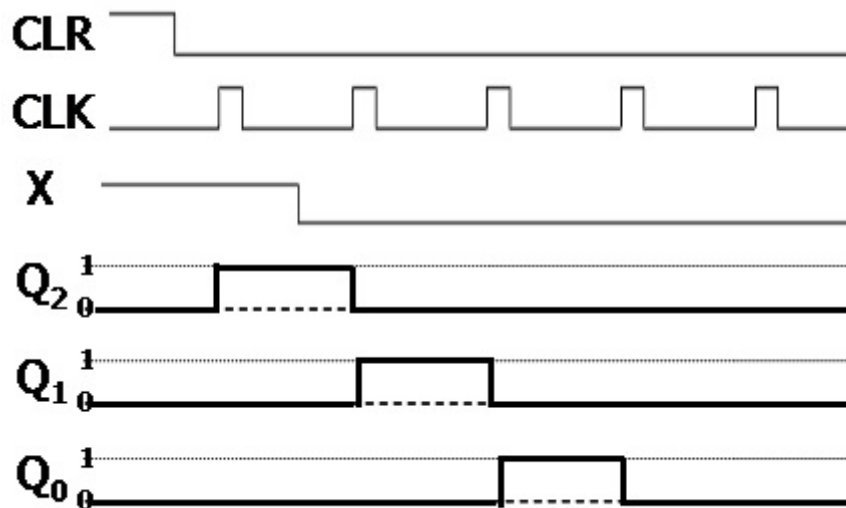
4.14.- Complete el siguiente diagrama de tiempos para el circuito de la figura. Dibuje el diagrama de estados del circuito y razone cuál puede ser su utilidad.



Es un contador ascendente de módulo 8 que genera la secuencia de salidas: **0, 1, 2, 3, 4, 5, 6, 7**, 0, 1, 2,..., ya que $T_2 = Q_1 \cdot Q_0$; $T_1 = Q_0$; $T_0 = 1$. Ver problema 4.5.1.

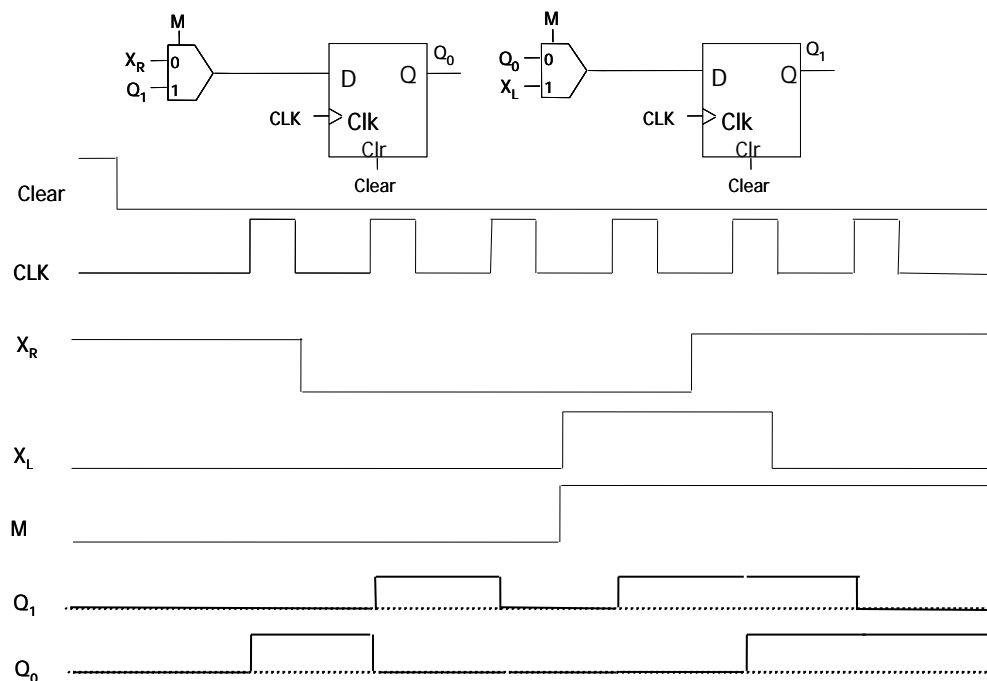
4.15.- Complete el siguiente diagrama de tiempos para el circuito de la figura. ¿Cuántos flancos de subida son necesarios para que el valor de X se propague hasta Q0?





Hacen falta TRES flancos de subida de la señal de reloj para que el valor de X se propague hasta Q_0 .

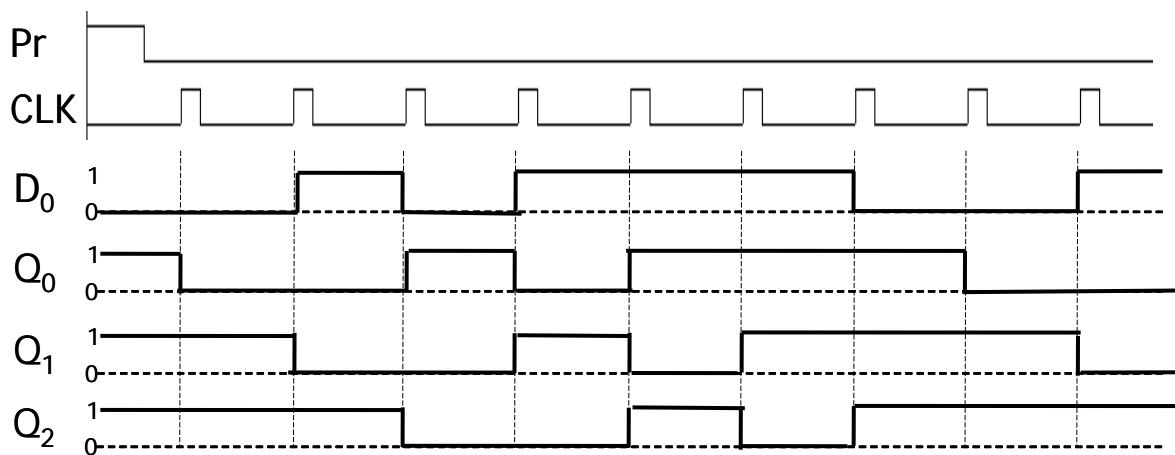
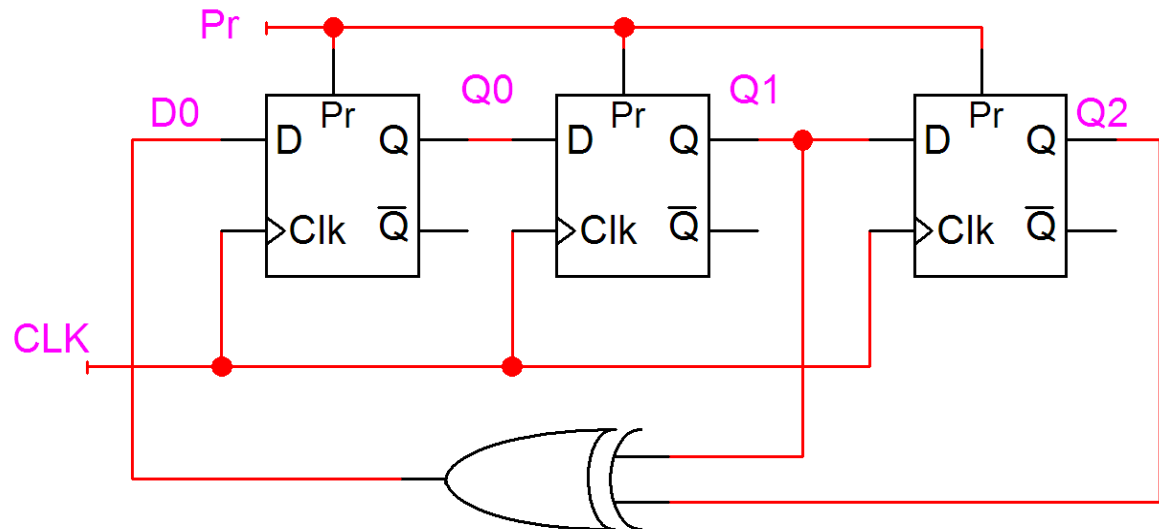
4.16.- Complete el diagrama de tiempos para el circuito de la figura. Desprecie los retardos de propagación de las señales.



Para la realización de este ejercicio hay que tener en cuenta que:

- Cuando la señal de control de multiplexor $M = 0$, $D_0 = X_R$ y $D_1 = Q_0$
- Cuando la señal de control de multiplexor $M = 1$, $D_0 = Q_1$ y $D_1 = Q_L$

4.17.- Complete el siguiente diagrama de tiempos (cronograma) para el circuito de la figura.



$$D_2 = Q_1 ; D_1 = Q_0 ; D_0 = Q_2 \oplus Q_1$$

$$Q_i^+ = D_i$$

$Q_2 Q_1 Q_0$	$D_2 D_1 D_0$	$Q_2^+ Q_1^+ Q_0^+$
0 0 0	0 0 0	0 0 0
0 0 1	0 1 0	0 1 0
0 1 0	1 0 1	1 0 1
0 1 1	1 1 1	1 1 1
1 0 0	0 0 1	0 0 1
1 0 1	0 1 1	0 1 1
1 1 0	1 0 0	1 0 0
1 1 1	1 1 0	1 1 0

Tabla de Transición del Sistema

4.18.- Complete el siguiente diagrama de tiempos (cronograma) para el circuito de la figura. Los biestables son de tipo T disparados por flanco de subida.

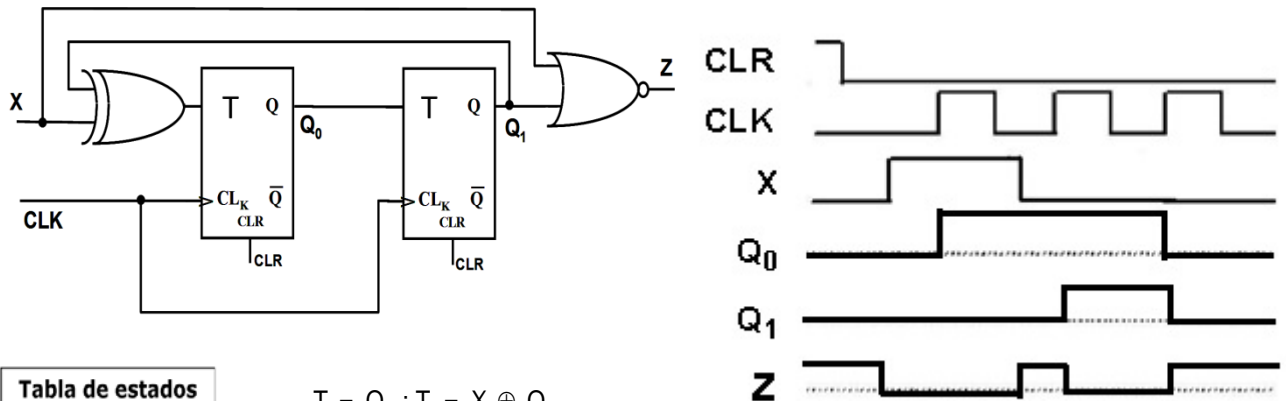


Tabla de estados	
T	Q ⁺
0	Q
1	/Q

Tabla de Transición del sistema

$$T_1 = Q_0 ; T_0 = X \oplus Q_1$$

$$Z = \overline{X + Q_1}$$

XQ ₁ Q ₀	T ₁ T ₀	Q ₁ ⁺ Q ₀ ⁺	Z
000	00	00	1
001	10	11	1
010	01	11	0
011	11	00	0
100	01	01	0
101	11	10	0
110	00	10	0
111	10	00	0

4.19.- Para el circuito secuencial de la figura, rellene el cronograma adjunto:

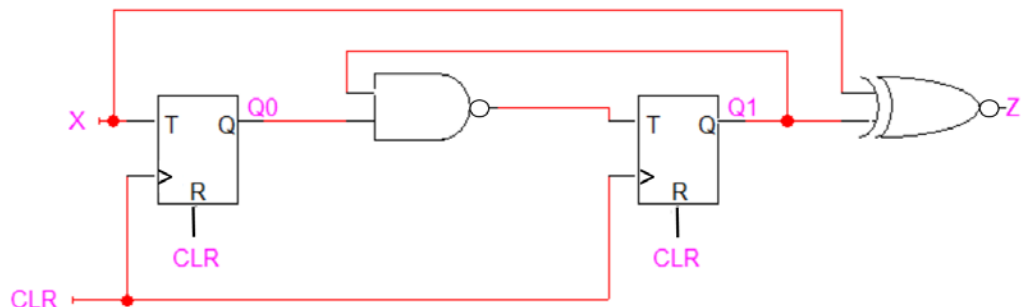


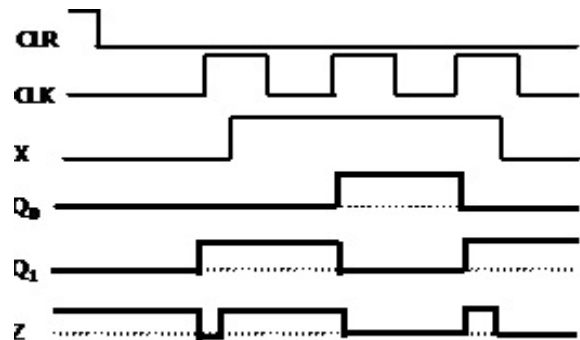
Tabla de estados	
T	Q ⁺
0	Q
1	/Q

Tabla de Transición del sistema:

$$T_1 = \overline{Q_1 \cdot Q_0} ; T_0 = X$$

$$Z = \overline{X \oplus Q_1}$$

XQ ₁ Q ₀	T ₁ T ₀	Q ₁ ⁺ Q ₀ ⁺	Z
000	10	10	1
001	10	11	1
010	10	00	0
011	00	11	0
100	11	11	0
101	11	10	0
110	11	01	1
111	01	10	1



Realice los ejercicios siguientes:

- Ejercicios de la relación de problemas del Tema 4º ubicado en el fichero 04.- TEMA_4_TOC_SISTEMAS_SECUENCIALES_PROBLEMAS.PDF.
- Ejercicios del Tema 6º del libro [PRI06]: Prieto, A., Lloris, A., Torres, J. C.. Introducción a la Informática, 4ª Edición, McGraw-Hill, 2006.