Politehnica University Timișoara

Faculty of Automation and Computers

**Computers and Information Technology**

Bachelor Thesis

*Candidate:*

**Name SURNAME**

*Supervisors:*

Prof. dr. eng. **Name SURNAME**

Conf. dr. eng. **Name SURNAME**

Șl. dr. eng. **Name SURNAME**

As. dr. eng. **Name SURNAME**

Timișoara

2017

1. **Introducere**
   1. Descriere companie

Fondată în Hanovra, Germania, în 1871, Continental se poate mândri cu o istorie de succes. Compania ajută oamenii din întreaga lume să-şi transforme ideile de mobilitate în realitate. Tehnologiile, sistemele și soluțiile noastre de service fac ca mobilitatea și transportul să fie mai durabile, mai sigure, mai confortabile, mai personalizate și mai accesibile. Ca furnizor de automobile şi partener industrial, compania oferă soluţii care ajută la menţinerea siguranţei şi sănătăţii oamenilor, la protejarea mediului înconjurător și mai multe oportunități persoanelor de a-şi modela propriul viitor. În prezent, angajații Continental din întreaga lume dezvoltă noi soluţii pentru mobilitatea viitorului.

Continental se numără printre cei mai importanți furnizori pentru industria auto la nivel mondial și are în prezent aproximativ 220 de mii de angajați în 55 de țări. Prin produsele si soluțiile oferite partenerilor săi (anvelope, sisteme de frână, componente pentru mecanismele de rulare, infotainment, electronică pentru vehicule, anvelope și elastomeri tehnici) compania contribuie la siguranța în trafic si la protejarea mediului înconjurător.

În cadrul Continental Automotive România, lucrează peste 5000 de oameni în centrele de cercetare și devoltare și în unitățiile de producție din Timișoara, Sibiu, Iași si Brașov pentru dezvoltarea de soluții software, hardware si de design mecanic pentru aplicații dedicate interiorului mașinii, siguranței, motorului și transmisiei, cât și a sistemelor de navigație ,a instrumentelor de bord pentru viitoarele mașini.

* 1. Descriere department

Departamentul de Instrumentation & Driver (Soluții si servicii de conectare, control si funcționare a vehiculelor).

Un obiectiv important este dezvoltarea de soluții inteligente care să facă conducerea mai sigură și mai confortabilă. Prin urmare, conectăm vehiculele cu șoferii și pasagerii, cu alte vehicule și mediul înconjurător.

Business Unit-ului HMI Instrumentation & Driver lucrează la posibilitățile de prelucrare și prezentare optimă a informațiilor. Accentul este pus pe prioritizarea informațiilor afișate pe diferite afișaje și indicatoare pentru o bună și plăcută desfășurare a condusului.

* 1. Contextul problemei : domeniul proiectului – zona din care face parte, zona in care se aplica Solutia

Descriere:

“The device Atmel AT-Tiny T1616 will replace the Cypress PSoC4 device used in the MIB 2GP. The same driver module shall be used on host controller (HC) side.

Implement a command interface to be able to serve the CAPSENSE1 read and write commands. See the driver document attached. Additionally to the commands used in the PSoC4 device, a command to start the boot loader shall be implemented. This command shall also have some protection to prevent accidentally starts of the boot loader. The command shall perform a jump to the boot loader start address. The boot loader team found out that a SW-reset is not sufficient.”

Microcontrolerul Atmel AT-Tiny T1616 va înlocui microcontrolerul Cypres PSoC4.

* 1. Motivatia: de ce, ce lipseste, ce se doreste, ce se propune
  2. Descrierea proiectului

De ce se schimba cypress cu at tiny? Ce se doreste sa se faca, ce functionalitati? Requrementuri mari.

1. **Fundamentare teoretica** – state-of-the-art în rezolvarea problemei, abordări similare, tehnologii și teorii pe care se bazează lucrarea, ce se adaugă. Echipamente hardware, soluții software etc.

Initial a fost Cypress care a fost inlocuit cu at tiny.

1. **Specificatiile proiectului** - funcționalitate, use-cases și UML relevante, procesarea și stocarea datelor, cost, fezabilitate (pe piață).

Ceva diagrame….

1. **Proiectare si implementare**
   1. **Arhitectura -** componentele hardware/software (ex. MVC, 3-tier, blackboard, producer-consumer).
      1. **Microcontrolerul Atmel-AVR-ATtiny1614-1616-1617**

**Introducere**  
Modelul ATtiny1614 / 1616/1617 este membru al seriei tinyAVR1 a microcontrolerelor, folosind procesorul AVR® pe 8 biți cu multiplicator de hardware, care rulează până la 20MHz și cu Flash 16KB, 2KB de SRAM și 256B de EEPROM într-o rețea de 14, 20 și 24 de pini. Seria tinyAVR1 utilizează cele mai noi tehnologii cu o arhitectură flexibilă și cu putere redusă, inclusiv sistem de evenimente și SleepWalking, caracteristici analogice exacte și periferice avansate. Interfețele touch capacitive cu senzorul de proximitate și ecranul acționat sunt susținute cu controlerul tactil QTouch® integrat.

**Caracteristici**  
• PROCESOR  
 - CPU pe 8 biți AVR®  
 - Rularea la 20MHz  
 - Acces I / O cu ciclu unic  
 - Controlor de întrerupere pe două nivele  
 - Multiplicatorul hardware cu două cicluri  
• Memorii  
 - Memorie flash auto-programabilă de 16KB în sistem  
 - 256B EEPROM  
 - 2KB SRAM  
• Sistem  
 - Resetare la pornire (POR)  
 - detecția maro-out (BOD)  
 - Opțiuni de ceas intern și extern:  
• Oscilator RC cu putere redusă de 16/20 MHz  
• Oscilator RC intern cu 32,768 kHz Ultra Low Power (ULP) cu precizie de ± 10%, ± 2%  
mărimea pasului de calibrare  
• Oscilator de cristal extern de 32.768 kHz  
• Intrare ceas extern  
 - Interfață de programare și depanare cu un singur pin (UPDI)  
 - Trei moduri de somn:  
• Inactiv cu toate perifericele care rulează pentru trezire imediată  
• Așteptare  
 - Funcționare configurabilă a perifericelor selectate  
 - periferice SleepWalking  
• Power Down cu funcționalitate limitată de trezire  
© 2017 Microchip Technology Inc. Fișă tehnică preliminară DS40001893B-pagina 1  
• Periferice  
 - un timer / contor de 16 biți tip A cu registru de perioadă dedicat, 3 canale de comparare (TCA)  
 - Două timer / numărător de 16 biți de tip B cu captare de intrare (TCB)  
 - un timer / contor de 12 biți tip D optimizat pentru aplicații de control (TCD)  
 - contor de timp real (RTC) de 16 biți care rulează de la oscilatorul extern cristal sau intern RC  
 - Un USART cu generator de rata baud fractionata, autobaud si detectie de start-cadru  
 - interfață serial periferică Master / Slave (SPI)  
 - Master / slave I2C cu potrivire adresă dublă  
• Modul standard (Sm, 100kHz)  
• Modul rapid (Fm, 400kHz)  
• Modul rapid plus (Fm +, 1MHz)  
 - Configurabil Custom Logic (CCL) cu două tabele de căutare programabile (LUT)  
 - Trei comparatoare analogice (AC) cu întârziere redusă de propagare  
 - Două convertoare analoge la digital de 115 biți (ADC) de 10 biți  
 - Trei convertoare digitale la analogice pe 8 biți (DAC) cu un singur canal extern  
 - Cinci referințe interne de tensiune selectabile: 0.55V, 1.1V, 1.5V, 2.5V și 4.3V  
 - Scanarea automată a memoriei CRC  
 - Timer de supraveghere a ferestrelor (WDT) cu oscilator separat pe cip  
 - Controler tactil periferic (PTC)  
• Butoane cu atingere capacitivă, glisoare și roți  
• Trezire la atingere  
• Ecran condus pentru o performanță îmbunătățită a umidității și a zgomotului  
• Până la 14 capacități de auto-capacitate și până la 49 de canale de capacitate reciprocă  
 - întreruperea externă a tuturor pinilor cu scop general  
• I / O și pachete:  
 - 12 până la 22 de linii I / O programabile  
 - SOIC150 cu 14 pini  
 - 20-pini QFN 3x3 și SOIC300  
 - 24-pin QFN 4x4  
• Domenii de temperatură:  
 - -40 ° C până la 105 ° C  
 - -40 ° C până la 125 ° C Dispozitiv de temperatură Opțiuni disponibile  
• Clasamente de viteză:  
 - 0-5MHz @ 1.8V - 5.5V  
 - 0-10MHz @ 2.7V - 5.5V  
 - 0-20MHz @ 4.5V - 5.5V





* + 1. **Atmel At-Tiny – Xplained Board**

Principalul hardware folosit pentru dezvoltarea acestui software a fost această placă de dezvoltare Atmel At-Tiny Xplained board.

**Descriere**

Kitul de evaluare Atmel® ATtiny817 Xplained Pro este o platformă hardware pentru evaluarea microcontrolerului ATtiny817.  
 Suportat de platforma de dezvoltare integrată Atmel Studio, kitul oferă acces ușor la caracteristicile Atmel800 și explică modul de integrare a dispozitivului într-un design personalizat.  
 Seturile de evaluare pentru seria Xplained Pro MCU includ un debugger încorporat la bord și nu sunt necesare instrumente externe pentru a programa sau depana ATtiny817.  
 Seturile de extensie Xplained Pro oferă periferice suplimentare pentru a extinde  
caracteristicile plăcii și facilitarea dezvoltării unui design personalizate.

**Caracteristici**  
• Microcontrolerul ATtiny817  
• Două butoane mecanice de utilizator  
• Două butoane QTouch®  
• Un LED galben pentru utilizator  
• cristal de 32.768kHz  
• Două plăcuțe de extensie Xplained Pro  
• Debugger încorporat  
 - Identificare automată pentru identificarea plăcii în Atmel Studio  
 - Un LED galben  
 - Un LED de putere de bord  
 - Depistarea simbolică a tipurilor de date complexe, inclusiv informații despre domeniul de aplicare  
 - Programare și depanare, inclusiv măsurători de putere  
 - Interfață pentru datele de intrare: SPI, I2C, două GPIO-uri  
 - Portul COM Virtual (CDC)  
• Circuite de măsurare a curentului încorporat, cu suport Atmel Data Visualizer pentru vizualizarea datelor  
• USB alimentat  
• Suportat cu exemple de aplicații în programul Atmel Start



**Observație**: Pentru a putea dezvolta întreaga funcționalitate cerută de proiect, a fost înlociut microcontrolerul ATtiny817 (Flash memory 8K) cu Attiny1616 (Flash memory 16K).

* + 1. **Project hardware**

**Schema de circuit a hardwareului…..**

* 1. **Comunicare** - între componente și cu exteriorul. Proiectarea I/O, a bazei de date, și orice specific legat de tehnologie.

**Comunicarea cu HC**?

Comunicarea este realizata intre un Host Controler (Master) si At-Tiny (Slave) prin intermediul interfetei TWI (Two Wire Interface).

TWI - Interfață cu două fire  
Caracteristici  
• Interfață de comunicare bidirecțională, cu două fire  
 - compatibil Philips I2C  
 - Sistem de administrare bus (SMBus) compatibil  
• Este acceptată operația master bus și slave  
 - Operațiunea sclavilor  
 - Operațiunea principală a magistralei  
 - magistrala magistralei în mediul de autobuz multi-master  
 - arbitraj multi-master  
• Funcții de potrivire a adreselor slave flexibile  
 - recunoașterea adreselor de apel pe 7 biți și general în hardware  
 - Adresarea pe 10 biți acceptată  
 - înregistrare a măștii de adrese pentru potrivirea adreselor duale sau mascarea domeniului de adrese;  
 - Recunoașterea opțională a adresei software pentru un număr nelimitat de adrese  
• Slave poate funcționa în toate modurile de repaus, inclusiv oprirea  
• Potrivirea adresei slave poate să trezească dispozitivul din toate modurile de repaus  
• Suport frecvență bus până la 1MHz  
• Drivere de ieșire limitată cu viteză redusă  
• Filtru de intrare pentru zgomotul busului și suprimarea spike-ului  
• Susținerea arbitrajului dintre startul / începutul repetat și bitul de date (SMBus)  
• Arbitrajul Slave permite suport pentru protocolul de rezolvare a adreselor (ARP) (SMBus)  
• Suporta time-out-urile SMBus Layer 1  
• Valori de expirare configurabile

**Prezentare generală**Interfața cu două fire (TWI) este o interfață de comunicare bidirecțională, cu două fire. Acesta este compatibil cu I2C și System Management Bus (SMBus). Singurul hardware extern necesar pentru implementarea magistralei este un rezistor de tracțiune pe fiecare linie de magistrală. Orice dispozitiv conectat la magistrala trebuie să acționeze ca un master sau un slave. Masterul inițiază o tranzacție de date prin adresarea unui slave pe magistrală și comunicând dacă dorește să transmită sau să primească date. O magistrală poate avea mai mulți slave și unul sau mai mulți masteri care pot prelua controlul magistralei. Un proces de arbitraj se ocupă de prioritate dacă mai mult de un master încearcă să transmită date în același timp. Mecanismele de rezolvare a conflictelor de pe magistrală sunt inerente protocolului.  
Perifericul TWI suportă funcționalitatea master și slave. Funcțiile master și slave sunt separate una de alta și pot fi activate și configurate separat. Modulul master acceptă funcționarea și arbitrajul cu magistrală multi-master. Acesta conține generatorul rata de transfer. Toate frecvențele de bus 100kHz, 400kHz și 1MHz sunt acceptate. Comanda rapidă și modul inteligent pot fi activate pentru a declanșa automat operații și reducerea complexității software-ului.  
Modulul slave implementează potrivirea adreselor pe 7 biți și recunoașterea generală a apelurilor de adresă în hardware. Adresarea pe 10 biți este, de asemenea, acceptată. Un registru de mască adresă dedicat poate acționa ca un registru de potrivire a adreselor secunde sau ca registru pentru mascarea domeniului de adrese. Slave-ul continuă să funcționeze în toate modurile de repaus, inclusiv în modul de pornire. Aceasta permite robotului să trezească dispozitivul din toate modurile de repaus de pe modul de potrivire a adresei TWI. Este posibil să dezactivați potrivirea adreselor pentru a permite ca acestea să fie tratate în software.  
Perifericul TWI va detecta condițiile START și STOP, coliziunile cu autobuzul și erorile din magistrala. Arbitrajul pierdut, erorile, ciocnirea și menținerea ceasului pe magistrală sunt, de asemenea, detectate și indicate în stegulețe separate de stare disponibile atât în ​​modul master, cât și în modul slave.  
Acest dispozitiv oferă o instanță a dispozitivului periferic TWI, TWI0.



**Descriere functionala**  
**Inițializare**  
Pentru a porni TWI ca Master, scrieți un '1' bitului ENABLE din registrul Master Control A (TWI.MCTRLA), urmată de scrierea adresei slave în registrul Adresa Master (TWI.MADDR). TWI.MADDR registrul are, de asemenea, un bit R / W care indică dacă Masterul transmite sau primește. Maestrul Registrul de date (TWI.MDATA) este scris în cazul în care masterul transmite date.  
Pentru a activa TWI-ul ca Slave, scrieți Adresa Slave (ADDR) în TWI.SADDR și scrieți un '1' la  
Bit ENABLE în registrul Slave Control A (TWI.SCTRLA). Perifericul TWI va aștepta să primească un octet adresate acestuia.

**Concepte generale TWI Bus**  
TWI oferă un autobuz simplu, bidirecțional, cu două fire, compus dintr-o linie de ceas serial  
(SCL) și o linie de date seriale (SDA). Cele două linii sunt linii cu colector deschis (prin cablu) și trageți în sus rezistoarele (Rp) sunt singurele componente externe necesare pentru a conduce autobuzul. Rezistoarele de tracțiune oferă un a nivel ridicat pe linii atunci când nici unul dintre dispozitivele conectate nu conduce magistrala.  
Circuitul TWI este o metodă simplă și eficientă de interconectare a mai multor dispozitive pe o magistrală de serie. Un dispozitiv conectat la magistrala poate fi un maestru sau un sclav, în cazul în care comandantul controlează magistrala și toată comunicarea.



**Topologie magistralei TWI**O adresă unică este atribuită tuturor dispozitivelor slave conectate la magistrala, iar comandantul va folosi aceasta pentru a adresa un slave și pentru a iniția o tranzacție de date.  
Mai multe maeștri pot fi conectați la aceeași magistrală, numită mediu multi-master. Este prevăzut un mecanism de arbitraj pentru rezolvarea proprietății autobuzelor în rândul comandanților, deoarece numai un singur dispozitiv principal poate deține autobuzul în orice moment.  
Un dispozitiv poate conține atât logică master cât și slave și poate emula mai multe dispozitive slave răspunzând la mai multe adrese.  
Un master indică începerea unei tranzacții prin emiterea unei condiții START (S) pe magistrala. Se trimite un pachet de adresă cu o adresă slave (ADDRESS) și o indicație dacă masterul dorește să citească sau să scrie date (R / W). După transferarea tuturor pachetelor de date (DATA), comandantul emite o condiție STOP (P) pe magistrală pentru a încheia tranzacția. Receptorul trebuie să confirme (A) sau să nu recunoască (A) fiecare octet primit.



The master provides the clock signal for the transaction, but a device connected to the bus is allowed to stretch the low-level period of the clock to decrease the clock speed.

**START și STOP Condiții**  
Două condiții de autobuz unice sunt utilizate pentru marcarea începutului (START) și terminarea (STOP) a unei tranzacții.  
Comandantul emite o condiție START (S) prin indicarea unei tranziții de la linia SDA până la linia SCL în timp ce linia SCL este menținută ridicată. Comandantul încheie tranzacția emise o condiție STOP (P), indicată printr-o tranziție de la low-to-high pe linia SDA, în timp ce linia SCL este menținută ridicată.



În timpul unei singure tranzacții pot fi emise condiții START multiple. O condiție START care nu urmărește în mod direct o condiție STOP se numește o condiție START repetată (Sr).

**Bit Transfer**După cum este ilustrat în Figura 26-5, un bit transferat pe linia SDA trebuie să fie stabil pentru întreaga perioadă înaltă a liniei SCL. În consecință, valoarea SDA poate fi modificată numai în perioada mică a ceasului. Acest lucru este asigurat în hardware de către modulul TWI.



Combinarea transferurilor de biți duce la formarea adreselor și a pachetelor de date. Aceste pachete constau din opt biți de date (un octet) cu cel mai semnificativ bit transferat mai întâi, plus un răspuns unic-bit non-acknowledge (NACK) sau confirmare (ACK). Aparatul adresat semnalează ACK trăgând linia SCL scăzută în timpul celui de-al nouălea ciclu de ceas și semnalizează NACK lăsând linia SCL ridicată.

**Pachetul de adrese**După condiția START, este trimisă o adresă pe 7 biți urmată de un bit de citire / scriere (R / W). Acest lucru este întotdeauna transmis de comandant. Un slave care își recunoaște adresa va ACK adresa prin tragerea liniei de date  
scăzut pentru următorul ciclu SCL, în timp ce ceilalți sclavi ar trebui să păstreze liniile TWI eliberate și să aștepte următoarea START și adresă. Adresa, bitul R / W și bitul de confirmare combinat este pachetul de adresă. Este permisă numai un singur pachet de adresă pentru fiecare condiție START, de asemenea, atunci când este utilizată o adresare pe 10 biți.  
Bitul R / W specifică direcția tranzacției. Dacă bitul R / W este scăzut, acesta indică o tranzacție de scriere principală, iar comandantul va transmite datele după ce slave-ul și-a confirmat adresa. Dacă bitul R / W este ridicat, acesta indică o tranzacție de citire principală, iar slave-ul va transmite datele sale după confirmarea adresei sale.

**Pachetul de date**Un pachet de adresă este urmat de unul sau mai multe pachete de date. Toate pachetele de date sunt lungi de nouă biți, constând dintr-un octet de date și un bit de confirmare. Bitul de direcție din pachetul de adrese anterior determină direcția în care sunt transferate datele.

**Tranzacţie**O tranzacție este transferul complet de la START la starea STOP, inclusiv orice condiții START repetate între ele. Standardul TWI definește trei moduri de tranzacție fundamentale: Master write, master read și o tranzacție combinată.  
Figura 26-6 ilustrează tranzacția de scriere principală. Comandantul inițiază tranzacția emise o condiție START (S) urmată de un pachet de adresă cu bitul de direcție setat la zero (ADDRESS + W).



Presupunând că slave-ul recunoaște adresa, comandantul poate începe transmiterea datelor (DATA) iar slave-ul va activa sau NACK (A / A) fiecare octet. Dacă nu trebuie transmise pachete de date, comandantul termină tranzacția emise o condiție STOP (P) imediat după pachetul de adresă. Nu există restricții  
la numărul de pachete de date care pot fi transferate. Dacă slave-ul semnalează un NACK la date, comandantul trebuie să presupună că slave-ul nu mai poate recepționa date și termină tranzacția.

Figura 26-7 ilustrează tranzacția de citire principală. Comandantul inițiază tranzacția prin emiterea unei condiții START, urmată de un pachet de adresă, cu un bit de direcție setat la unul (ADDRESS + R). Slave-ul adresat trebuie să confirme adresa pentru ca masterul să aibă permisiunea de a continua tranzacția.

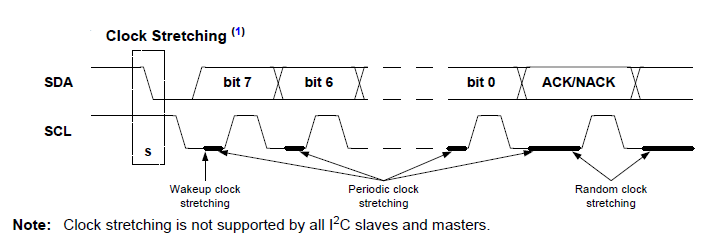


Presupunând că slave-ul recunoaște adresa, comandantul poate începe să primească date de la slave. Nu există nicio limitare a numărului de pachete de date care pot fi transferate. Sclavul transmite datele  
în timp ce comandantul semnalează ACK sau NACK după fiecare octet de date. Maestrul încheie transferul cu un NACK înainte de a emite o condiție STOP.

Figura 26-8 ilustrează o tranzacție combinată. O tranzacție combinată constă în mai multe tranzacții de citire și scriere separate prin condiții START repetate (Sr).



**Extinderea ceasului și ceasului**Toate dispozitivele conectate la magistrală au permisiunea de a întinde perioada mică a ceasului pentru a încetini frecvența generală a ceasului sau pentru a introduce stările de așteptare în timpul procesării datelor. Un dispozitiv care trebuie să întindă ceasul poate face acest lucru prin menținerea / forțarea liniei SCL scăzută după ce detectează un nivel scăzut al liniei.  
Se pot defini trei tipuri de întindere a ceasului, după cum se arată în figura 26-9.



Dacă un dispozitiv slave este în modul de aºteptare și este detectată o condiĠie START, funcĠia de întindere a ceasului funcĠionează în mod normal în timpul perioadei de trezire. Pentru dispozitivele AVR, întinderea ceasului va fi fie înainte, fie după bitul ACK / NACK, deoarece dispozitivele AVR nu trebuie să se trezească pentru tranzacții care nu sunt adresate acestuia.  
Un dispozitiv slave poate încetini frecvența busului prin întinderea periodică a ceasului la un nivel de biți. Aceasta permite slave-ului să ruleze la o frecvență ceas de sistem mai mică. Cu toate acestea, performanța generală a autobuzului va fi redusă corespunzător. Atât dispozitivul master cât și dispozitivul slave pot întinde aleatoriu ceasul la un nivel de octeți înainte și după bitul ACK / NACK. Aceasta oferă timp pentru a procesa datele primite sau pentru a pregăti datele de ieșire sau pentru a efectua alte sarcini critice de timp.  
În cazul în care sclavul întinde ceasul, comandantul va fi forțat să stea în stare de așteptare până când robul este gata și invers.

**Arbitraj**Un master poate porni o tranzacție de autobuz numai dacă a detectat că magistrala este inactivă. Deoarece magistrala TWI este o magistrală multimaster, este posibil ca două dispozitive să poată iniția o tranzacție în același timp. Acest lucru are ca rezultat mai mulți maeștri care dețin autobuzul în același timp. Acest lucru este rezolvat folosind o schemă de arbitraj în care comandantul pierde controlul asupra magistralei dacă nu este capabil să transmită un nivel ridicat pe linia SDA. Stăpânii care pierd arbitrajul trebuie să aștepte până când autobuzul se oprește (adică, așteaptă o condiție STOP) înainte de a încerca să recâștige proprietatea cu autobuzul. Dispozitivele slave nu sunt implicate în procedura de arbitraj.



Figura 26-10 arată un exemplu în care doi maeștri TWI se luptă pentru proprietatea cu autobuzul. Ambele dispozitive pot emite o condiție START, dar DEVICE1 pierde arbitraj atunci când încearcă să transmită un nivel ridicat (bitul 5), în timp ce DEVICE2 transmite un nivel scăzut.  
Arbitrajul dintre o condiție START repetată și un bit de date, o condiție STOP și un bit de date sau o stare START repetată și o stare STOP nu sunt permise și vor necesita o manipulare specială prin  
software-ul.

**Sincronizare**Un algoritm de sincronizare a ceasului este necesar pentru rezolvarea situațiilor în care mai mult de un maestru încearcă să controleze linia SCL în același timp. Algoritmul se bazează pe aceleași principii utilizate pentru întinderea ceasului descrisă anterior. Figura 26-11 arată un exemplu în care doi comandanți concurează pentru controlul ceasului de autobuz. Linia SCL este rezultatul cablului-AND al celor două ieșiri de ceas master.

O tranziție de la linia SCL va duce la scăderea liniei pentru toți comandanții de pe magistrală și vor începe să își cronometreze perioada de ceas mic. Durata de sincronizare a perioadei de ceas mic poate varia între maeștri.  
Când un maestru (DEVICE1 în acest caz) și-a finalizat perioada redusă, acesta eliberează linia SCL. Cu toate acestea, linia SCL nu va fi ridicată până când toți comandanții nu l-au eliberat. În consecință, linia SCL va fi menținută de dispozitivul cu cea mai lungă perioadă de timp (DEVICE2). Dispozitivele cu perioade scurte mai scurte trebuie să introducă o așteptare  
stat până când se eliberează ceasul. Toți maeștrii își încep perioada îndelungată când linia SCL este eliberată de toate dispozitivele și a crescut. Dispozitivul care își încheie prima perioadă de timp înaltă (DEVICE1) forțează linia de ceas redusă și procedura se repetă. Rezultatul este că dispozitivul cu cea mai scurtă perioadă de ceas determină perioada mare, în timp ce perioada redusă a ceasului este determinată de dispozitivul cu cea mai lungă perioadă de ceas.

**Operațiunea TWI Slave**Sclavul TWI este orientat octet cu întreruperi opționale după fiecare octet. Există date slave separate și steaguri de întrerupere adresa / stop. Întreruperile de întrerupere pot fi de asemenea utilizate pentru operațiuni de întreținere. Există steaguri de stare dedicate pentru a indica recepția ACK / NACK, ținerea ceasului, coliziunea, eroarea busului și direcția citire / scriere.  
Când este setat un steg de întrerupere, linia SCL este forțată să scadă. Acest lucru va oferi timpului slavei să răspundă sau să manipuleze datele și, în majoritatea cazurilor, va necesita interacțiuni software. Figura 26-16. arată funcționarea slave TWI. Simbolurile formelor de diamant (SW) indică unde este necesară interacțiunea software-ului.  
Numărul de întreruperi generate este menținut la minimum prin manipularea automată a majorității condițiilor. Comanda rapidă poate fi activată pentru a declanșa automat operațiile și pentru a reduce complexitatea software-ului. Modul de recunoaștere a adresei poate fi activat pentru a permite slavei să răspundă la toate adresele recepționate.

**Primirea pachetelor de adrese**Atunci când modulul slave TWI este configurat corespunzător, va aștepta detectarea unei condiții START. Când se întâmplă acest lucru, octetul de adresă succesiv va fi recepționat și verificat de logica de potrivire a adresei, iar sclavul va activa o adresă corectă și va stoca adresa în registrul de date. Dacă adresa primită nu este o potrivire, sclavul nu va confirma și nu va stoca adresa și va aștepta o nouă condiție START.  
Semnalul de întrerupere adresă / stop slave este setat când se detectează o condiție START reușită de un octet de adresă valid. O adresă generală de apel va seta de asemenea pavilionul de întrerupere.  
O condiție START imediat urmată de o condiție STOP este o operație ilegală și este setat stegul de eroare de magistrală.  
Steagul direcției R / W reflectă bitul de direcție primit cu adresa. Acest lucru poate fi citit de software pentru a determina tipul de operațiune în curs de desfășurare.  
În funcție de starea de biți și de bus a direcției R / W, apare unul dintre cele patru cazuri distincte (S1 până la S4) urmând pachetul de adresă. Diferitele cazuri trebuie tratate în software.

**Cazul S1**: Acceptarea pachetului de adrese - setarea setului de direcții  
Dacă este setat steagul direcției R / W, aceasta indică o operație de citire principală. Linia SCL este forțată să scadă de către sclav, întinzând ceasul autobuzului. Dacă ACK-ul este trimis de slave, hardware-ul slave va seta semnalul de întrerupere a datelor indicând că datele sunt necesare pentru transmitere. Datele, START repetate sau STOP pot fi primite după aceasta. Dacă NACK este trimis de slave, sclavul va aștepta o nouă condiție START și o potrivire a adresei.

**Cazul S2**: Acceptarea pachetului de adrese - Ștergerea direcției Șterse Dacă indicatorul de direcție R / W este șters, aceasta indică o operație de scriere master. Linia SCL este forțată să scadă, întinzând ceasul autobuzului. Dacă ACK-ul este trimis de slave, sclavul va aștepta recepția datelor. Datele, START repetate sau STOP pot fi primite după aceasta. Dacă este trimis NACK, sclavul va aștepta o nouă stare START și o potrivire a adresei.

**Cazul S3**: Coliziune  
Dacă robotul nu este capabil să trimită un nivel înalt sau NACK, steagul de coliziune este setat și va dezactiva datele și ieșirea de confirmare din logica slave. Ceasul este eliberat. Este acceptată o START sau o condiție START repetată.

**Cazul S4**: Starea STOP primită  
Când se primește condiția STOP, se va seta semnalizatorul adresa / stop-ul slave, indicând faptul că a apărut o condiție STOP și nu o potrivire a adresei.

**Primirea pachetelor de date**Slave-ul va ști când a fost recepționat cu succes un pachet de adresă cu un bit de direcție R / W. După ce a confirmat acest lucru, sclavul trebuie să fie pregătit să primească date. Când se recepționează un pachet de date, parametrul de întrerupere a datelor este setat, iar slave-ul trebuie să indice ACK sau NACK. După indicarea unui NACK, sclavul trebuie să aștepte o stare STOP sau o stare repetată START.

**Transmiterea pachetelor de date**Slave-ul va ști când a fost recepționat cu succes un pachet de adrese cu setul de biți direcți R / W. Apoi, poate începe trimiterea datelor prin scrierea în registrul de date slave. Când este finalizată transmisia de pachete de date, este setat stegul de întrerupere a datelor. Dacă comandantul indică NACK, slave-ul trebuie să oprească transmiterea datelor și să aștepte o stare STOP sau o stare repetată START.

**Intreruperi**



Când se produce o condiție de întrerupere, semnalul de întrerupere corespunzător este setat în registrul Master (TWI.MSTATUS) sau Registrul de stare Slave (TWI.SSTATUS).  
Atunci când mai multe condiții de cerere de întrerupere sunt suportate de un vector de întrerupere, cererile de întrerupere sunt ORed împreună într-o cerere de întrerupere combinată către controlerul de întrerupere. Utilizatorul trebuie să citească registrul INTFLAGS al perifericului pentru a determina care dintre condițiile de întrerupere sunt prezente.



1. **Rezultate**  - în funcție de proiect, orice legat de configurare, testare, calibrare, performanță, scalabilitate etc. Se vor prezenta variabilele din sistem sau externe, și se vor face teste modificând câte o singură variabilă per suită de teste.

**Test environment din MTS**

**Obiectul de testare**Sistemul testat este SYSFWARE, sistemul SW pentru controlerul Atmel AT-Tiny T1616, cu privire la mai multe servicii:  
- supravegherea vieții HC  
- semnalul viu al controlerului BTN  
- detectarea sincronizată, ieșirea semnalului de sincronizare  
- resetați manevrarea  
- trezirea sistemului prin atingerea butonului.  
- comunicare I2C

**Abordare de testare**Toate testele caracteristicilor de bază și configurația pachetului SYSFWARE vor fi efectuate prin inițierea secvențelor de testare corecte pe baza cerințelor clientului.

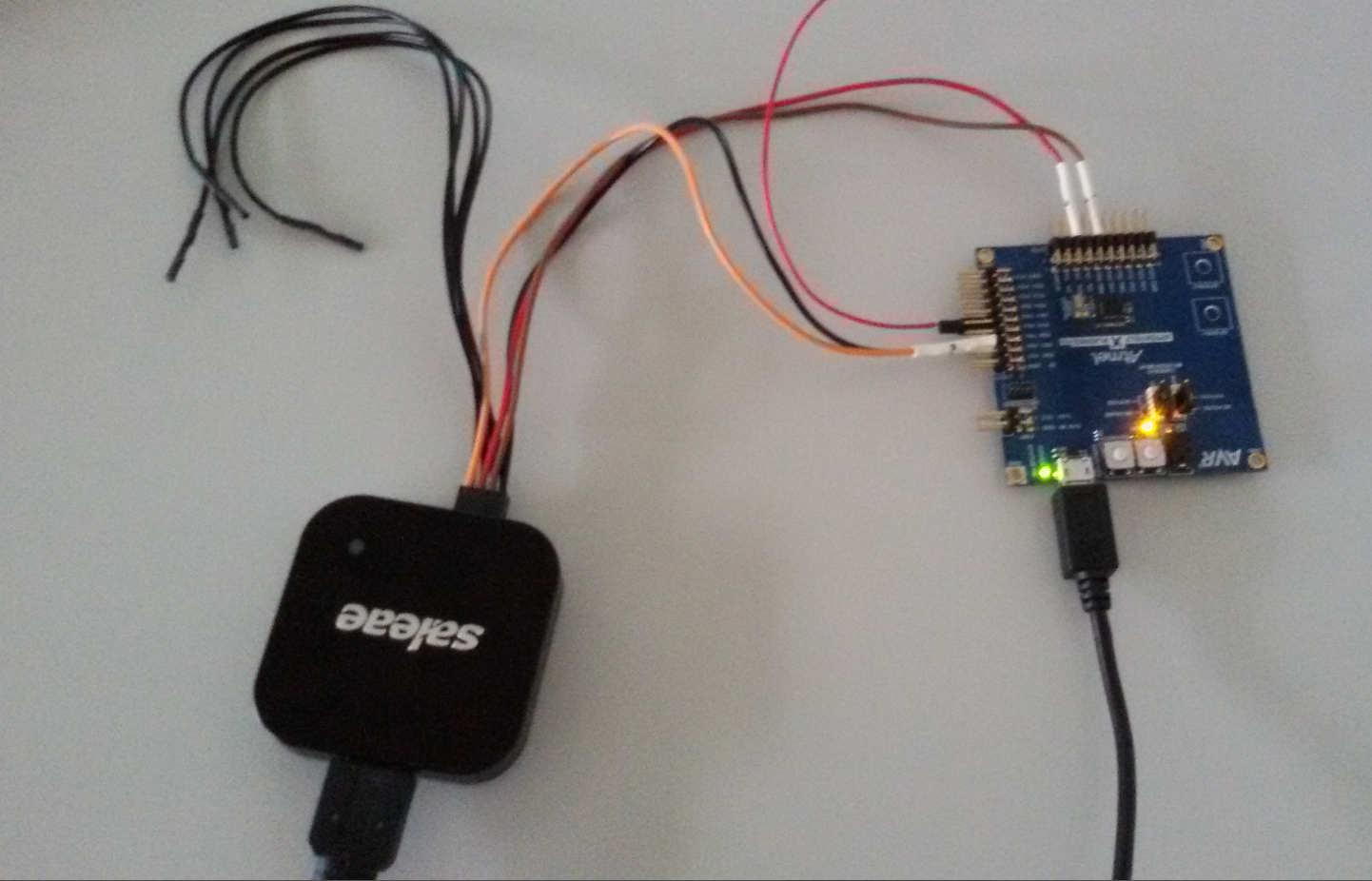
**Scopul testelor**  
Testarea funcționalității modulului SYSFWARE.  
 Criteriile de completare a testelor  
Toate testele bazate pe specificația testului modulului (MTS) sunt complete.  
  
 Testarea criteriilor finale  
Toate testele bazate pe specificația testului modulului (MTS) se fac și se transmit.

**Strategia de testare**Există două tipuri de teste:  
- teste manuale: în cazul în care este necesar să verificați dacă led-ul este pornit sau oprit, atingeți sau eliberați butonul tactil, verificați semnalele generate cu instrumentul Saleae (sau osciloscop)  
- teste automate: trimiteți comenzi prin intermediul dispozitivului I2C la dispozitivul AT-Tiny și vedeți modul în care sistemul reacționează verificând semnalele, semnalele.

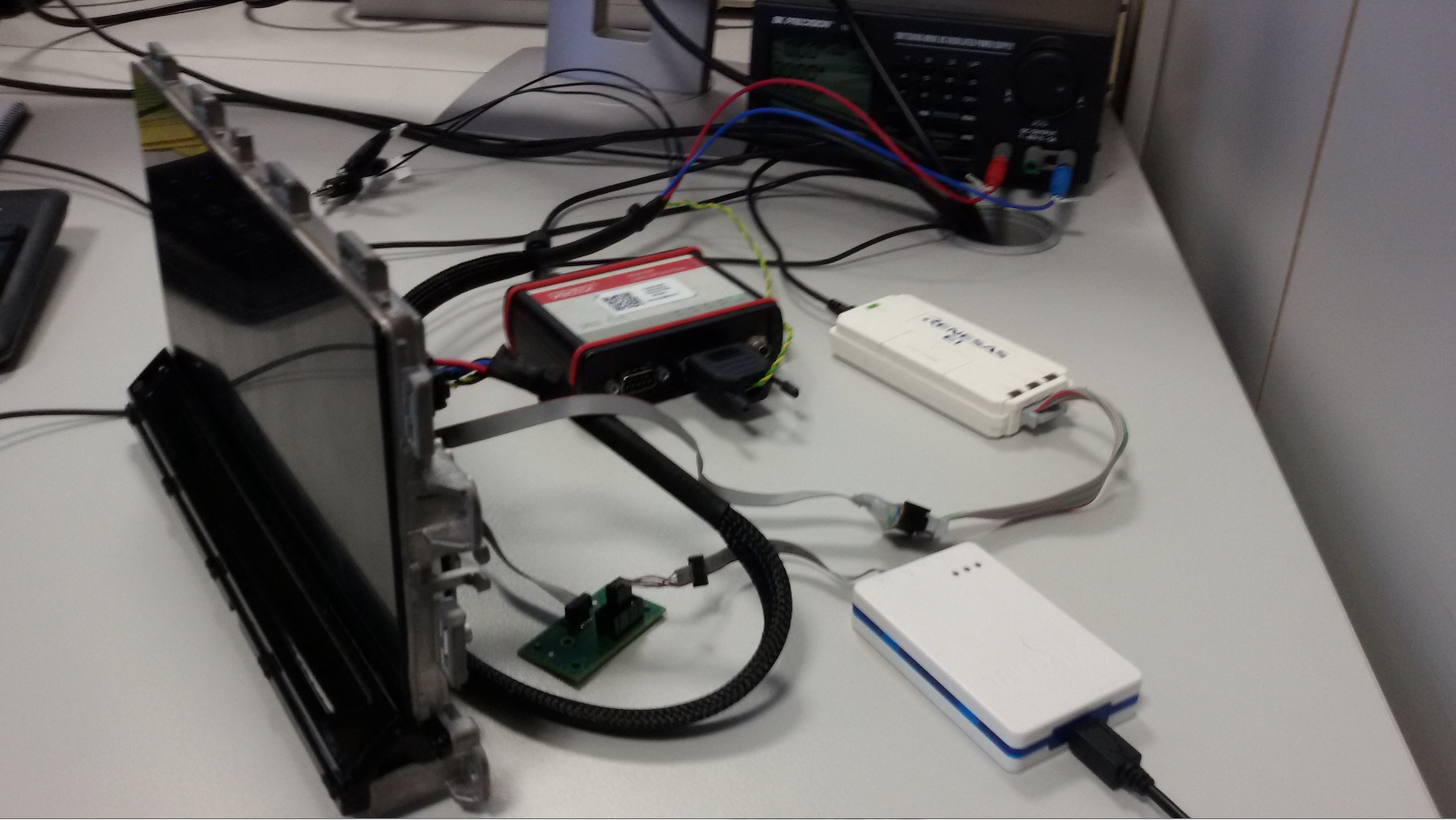
**Mediul de testare**

Există un singur sistem SW disponibil pentru AT-Tiny și varianta corespunzătoare este utilizată pe baza hardware-ului testat:

- platforma de dezvoltare (sistemul AT-Tiny 1617 eXplained Pro și sistemul SW cu BLOGIC\_nHwUsed macro care conține valoarea BLOGIC\_nAtTinyExpBoard).



- proiectul VW\_MIB\_ABT\_W (versiunea PCB hw B0301 și sistemul sw cu BLOGIC\_nHwUsed macro care conține valoarea BLOGIC\_nPCBSample\_H20).



Instrumente hardware  
• Generator de semnal  
• Analizor logic Saleae (sau osciloscop)  
• Atmel ICE debugger și adaptor  
• E1 debugger și adaptor  
• Can case

Instrumente software  
• Atmel Visual Studio 7  
• Instrumentul Saleae LLC  
• Green Hills Multi 2000 (MULTI\_V850\_7\_1\_4\_2017\_1\_5)  
• Visual Studio 2013  
• Vector CANoe 8.2

**TESTE**

Exista 3 categorii mari de teste:

1. **Testarea funcționalităților de touch** (touch buttons, transitions between operational modes)
2. **Testarea stărilor sistemului** (alive indication, watchdog, logic reset, external wakeup)
3. **Testarea modului diagnoză** (read memory by address, write memory by address, read 128 bytes from EEPROM, write 126 bytes to EEPROM, read CS device information, read raw button data, reset AT-Tiny device, start flash, prepare checksum, provide checksum)
4. **Testarea funcționalităților de touch**

Pentru a testa aceste funcționalități am folosit placa de dezvoltare Attiny817 Xplain Board.

Exemplu de câteva cerințe ale proiectului ce au trebuit a fi respectate:

* În cazul în care nu este disponibil un semnal de sincronizare pe SYNC\_IN, atingeți butonul  
  controlerul trebuie să treacă de la synchronized scan la free runing scan
* Sistemul trece in free runing mode dacă nu este detectată o tranziție a semnalului SYNC\_IN pentru un t > [C\_SYNC\_TIMEOUT]
* Semnalul de ieșire SYNC\_OUT va fi setat corespunzător [C\_GEN\_SYNC DELAY]  
  milisecunde după frontul crescator al semnalului de intrare SYNC\_IN.
* Tranzitia T1

Modul normal de funcționare va fi activat când se va verifica atingerea degetului pe butonul de trezire  
SAU  
semnalul de intrare 3V3\_MON are un nivel HIGH pentru t> = [C\_MAINPOWER\_ON\_TIME].

Următoarele porturi trebuie configurate în consecință.

[ALIVE\_OUT]: HIGH level

[RESET\_OUT\_EXT]: LOW level

[RESET]: HIGH level

[SYNC\_OUT]: Depends on SYNC\_IN

[SHIELD]: Depends on scan status

[BTNx\_OUT]: Depends on touch status

* Tranitia T2

3V3\_MON este LOW pentru t> = [C\_MAINPOWER\_OFF\_TIME].  
Porturile de ieșire trebuie să intre într-o stare adecvată pentru a consuma minimum actual.

**Exemplu de teste**

| **TestCaseID** | **Test Case Name** | **Prio** | **Input** | **Expected result** |
| --- | --- | --- | --- | --- |
| TOUCH1 | SYNC\_OUT : Low lvl | 1 | [TBSS\_REQ\_045; TBSS\_REQ\_047]  1. Set BLOGIC\_nHwUsed from blogic\_ce.h to BLOGIC\_nAtTinyExpBoard and compile the system.  2. Connect tested pins to Saleae (3V3\_MON – PA4, SYNC\_IN – PA5, SYNC\_OUT – PB5).  3. Set 3V3\_MON to HIGH(use a power supply and set the voltage to 3.3 V).  4. Connect the eXplained emulator board to an USB cable  (any 5.0 V USB PC port).  5. Start the system and check the expected results. | Check the output signal for SYNC\_OUT: should be constant on low level.  The module is in free running mode.  BLOGIC\_enModState = BLOGIC\_nenFreeRunningMode; |
| TOUCH2 | SYNC\_OUT : alternates from Low to High lvl | 1 | [TBSS\_REQ\_080]  1. Repeat first 4 steps described above. 2. Using the signal generator, apply an input signal of 100 ms (80 ms on Low and 20 ms on High) on PA5 pin from EXT1 connector on the PCB.  3. Start the system and check the expected results. | SYNC\_OUT depends on SYNC\_IN and both signals looks similar with below remark :  1) SYNC\_IN get on High level and SYNC\_OUT will get on HIGH after 2 ms;  2) SYNC\_IN get on Low and in the next clock cycle, SYNC\_IN get on Low as well (after around 1 ms). |
| TOUCH3 | Touch button status - touched | 1 | [TBSS\_REQ\_030]  The output signal BTNx\_OUT indicates the status of the assigned touch button.  If the touch button is evaluated as touched, BTNx\_OUT is set to HIGH level.  Touch the button and evaluate the result. | BTNx\_OUT is set to HIGH level. |
| TOUCH4 | Touch button status - released | 1 | [TBSS\_REQ\_030]  The output signal BTNx\_OUT indicates the status of the assigned touch button.  If the touch button is evaluated as released (not touched), BTNx\_OUT is to be set to LOW level.  Touch and then release the button and evaluate the result. | BTNx\_OUT is to be set to LOW level. |
| TOUCH5b | Transition from low power mode to normal mode (based on host 3V3 pin) | 1 | [TBSS\_REQ\_036]  Make sure that reset logic functionality is active.  The input signal 3V3\_MON has HIGH level for t >=  [C\_MAINPOWER\_ON\_TIME]. Apply 3V3 input signal to 3V3\_MON pin. | The following ports shall be configured accordingly.  [RESET\_OUT\_EXT]: LOW level  [RESET]: HIGH level  [SYNC\_OUT]: Depends on SYNC\_IN  [SHIELD]: Depends on scan status  [BTNx\_OUT]: Depends on touch status |
| TOUCH6 | Transition from normal operation mode to low power operation mode | 1 | [TBSS\_REQ\_037]  The Low Power Operation Mode shall be activated if the input signal 3V3\_MON is LOW for t >= [C\_MAINPOWER\_OFF\_TIME].  1. In ATTiny debugger, put a breakpoint in function BLOGIC\_vEnterLowPowerMode. | The output ports shall enter a proper state in order to consume minimum current (less than 30 uA – [TBSS\_REQ\_051]).  The breakpoint is reached. |

1. **Testarea stărilor sistemului**

Pentru a testa aceste funcționalități am folosit atat placa de dezvoltare Attiny817 Xplain Board cat si hardware-ul de proiect.

Exemplu de câteva cerințe ale proiectului ce au trebuit a fi respectate:

* Alive indication va fi dezactivată automat la intrarea în modul de funcționare cu consum redus de energie.
* Această funcție va fi dezactivată automat la intrarea în bootloader.
* Dacă alive indication este inactiv, semnalul ALIVE\_OUT este menținut la nivelul LOW.
* Microcontrolerul trebuie să informeze controlorul gazdă în mod frecvent despre nivelul său de viață, prin comutarea unui port
* Alive indication trebuie activată automat la intrarea în modul normal de funcționare.
* Alive indication trebuie să fie activat numai dacă este asigurată funcționalitatea obișnuită (de exemplu, supravegherea supravegherii de supraveghere).
* Funcția watchdog este controlată de semnalul de intrare WDEN
* Pentru a activa funcționalitatea, semnalul de intrare WDEN trebuie să fie setat la nivelul HIGH constant.
* Pentru a dezactiva funcționalitatea, semnalul de intrare WDEN trebuie setat la un nivel LOW constant.
* Timpul de supraveghere începe cu activarea funcționalității. Dezactivarea înseamnă că temporizatorul va fi resetat.

1. **Concluzii** - o elegantă combinație narativă dintre ideile propuse în introducere, coroborate cu rezultatele obținute. Opțional, se vor prezenta pași de dezvoltare pentru viitor.